

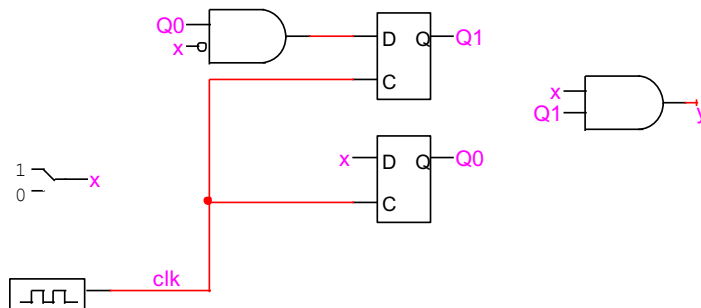
CIRCUITOS SEQUENCIAIS

Tópicos

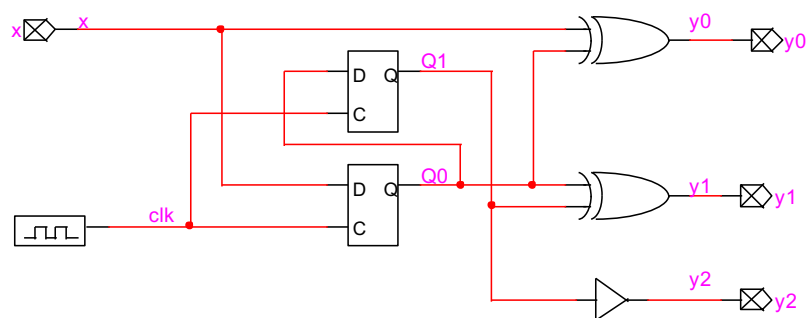
- Dispositivos básicos de memória
- Diagramas de estados/saídas
- Análise de circuitos sequenciais síncronos
- Blocos sequenciais fundamentais: contadores, registos, registos de deslocamento
- Implementação e Simulação com Quartus Prime

Exercícios

- 1 Esboce diagramas temporais para ilustrar as diferenças entre dispositivos de memória *clocked latch* e *edged triggered flip-flop* ambos do tipo *D*.
- 2 Analise o circuito da figura e determine a sua função:
 - a. Comece por identificar entradas e saídas do circuito.
 - b. Determine a função de saída.
 - c. Determine a função do próximo estado.
 - d. Qual é o tipo da máquina de estados finitos: Mealy or Moore?
 - e. Construa a tabela de transições/saídas.
 - f. Desenhe o diagrama de estados.
 - g. Explique o que faz o circuito.



- 3 Desenhe e verifique o diagrama de estados e de saídas do circuito da figura. Indique o tipo da máquina. Mostre que o circuito se comporta como um conversor série paralelo do código binário para Gray para palavras de comprimento 3.



Assumindo que os flip-flops que compõem o circuito têm as características temporais seguintes: $t_{\text{setup}}=15$ ns, $t_{\text{hold}}=5$ ns, $t_{\text{pHL}}=25$ ns, $t_{\text{pLH}}=20$ ns e que o tempo de atraso de uma porta lógica elementar é $t_{\text{porta}} = 10$ ns determine a frequência máxima de funcionamento do circuito.

Altere o circuito do exercício anterior de modo é que tenha uma entrada de *reset* síncrono, ativa a *low*.

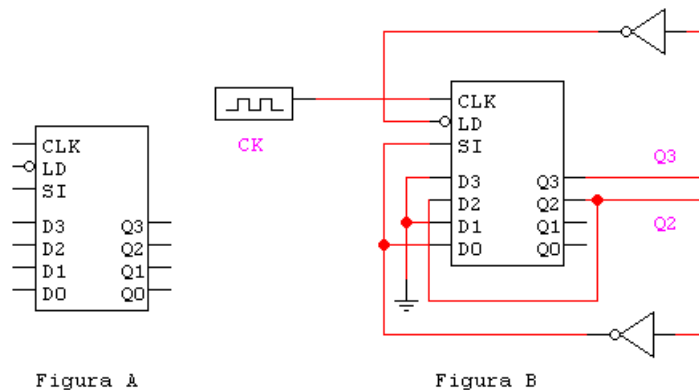
- 4 Projete um contador binário de 3 bits com uma sequência de contagem em código de Gray. Use flip-flops *D* com reset assíncrono. Crie no Quartus Prime um projeto “GrayCnt3”. Elabore o esquema lógico no ficheiro “GrayCnt3.bdf”. Simule o comportamento e verifique a sequência de contagem.
- 5 Projete um detetor de sequências segundo o modelo de Mealy e cuja saída, *y*, será ‘1’ sempre que ocorrer a sequência de entradas 1101. São permitidas sequências sobrepostas.

Exemplo: x 01011101101011
 y 00000001001000

Desenhe o circuito com flip-flops *D*. Crie no Quartus Prime um projeto “DETSEQ1”. Elabore o esquema lógico no ficheiro “DETSEQ1.bdf”. Simule o comportamento e demonstre que é capaz de detetar a sequência pretendida.

- 6 Projete e implemente um circuito sequencial síncrono segundo o modelo de Moore que realize o complemento para dois dum número, de comprimento arbitrário, que entra no circuito começando pelo seu bit menos significativo. Admita que este circuito tem uma entrada de reset síncrona e ativa a 0. Crie no Quartus Prime um projeto “SERIAL2SC”. Elabore o esquema lógico no ficheiro “SERIAL2SC.bdf”. Simule o respetivo comportamento.
- 7 Com base no componente 74x163 construa um circuito que segue a sequência de contagem seguinte: (4,5,6,7,8,9,10,11,12), (4,5,6,7,8,9,10,11,12), ... Crie no Quartus Prime um projeto “OFFSETCOUNT”. Elabore o esquema lógico correspondente a esta configuração de contagem. Pode encontrar o componente 74163 na biblioteca *maxplus2* do Quartus Prime. Simule o respetivo comportamento.

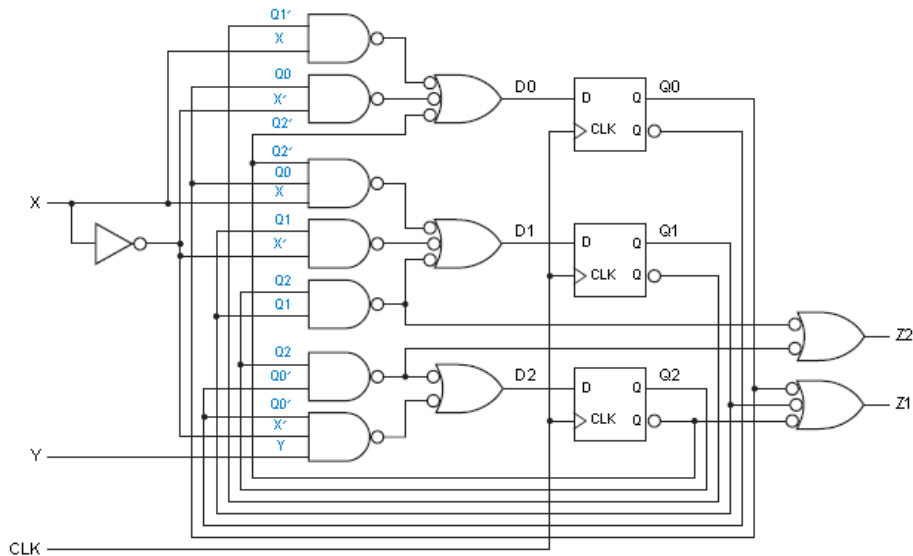
- 8 Com base nos componentes 74x163 desenhe um contador módulo 64. Determine, justificando a máxima frequência de funcionamento do circuito tendo em conta as seguintes especificações temporais:
- flip-flops que compõem o contador: $t_{\text{setup}}=10$ ns, $t_{\text{hold}}=4$ ns, $t_{\text{pHL}}=20$ ns, $t_{\text{pLH}}=15$ ns;
 - tempo de atraso de uma porta lógica elementar (se usada): $t_{\text{porta}} = 5$ ns.
- 9 O circuito da figura A é um shift-register de 4 bits, que faz deslocamento à esquerda (i.e. no sentido $Q0 \rightarrow Q3$), com inicialização síncrona.
- Desenhe o esquema interno do circuito. Explique o seu princípio de funcionamento.
 - Na figura B temos uma aplicação do mesmo circuito, funcionando como contador. Desenhe o diagrama de estados deste circuito.



- 10 Projete uma linha de atraso de comprimento N , variável entre 1 e 16. O comprimento desejado é especificado por 4 entradas $A3 A2 A1 A0$ contendo a representação binária de $N-1$. Para o seu projeto dispõe de *shift registers* de 4 bits (semelhantes aos do exercício anterior) e de multiplexers 4:1. Pretende-se uma solução com o menor número de blocos. Para minimizar o número de blocos, note que $(A3 A2 A1 A0) = (A3 A2) \times 4 + A1 A0$. Explique detalhadamente o raciocínio que o conduziu à solução escolhida.
- Crie no Quartus Prime um projeto “DELAYLINE” e implemente o circuito que projetou. Sugere-se a utilização de registos de deslocamento do tipo 74194 e de multiplexers do tipo 74153 disponíveis na biblioteca *maxplus2* do Quartus Prime. Simule e comprove o funcionamento desta linha de atraso programável.

Problemas suplementares

- 1 Desenhe e verifique o diagrama de estados e de saídas do circuito da figura. Indique o tipo da máquina.



Assumindo que os flip-flops que compõem o circuito têm as características temporais seguintes: $t_{\text{setup}}=10$ ns, $t_{\text{hold}}=4$ ns, $t_{\text{pHL}}=20$ ns, $t_{\text{pLH}}=15$ ns determine o atraso máximo numa porta lógica para que o circuito possa funcionar com a frequência 10 MHz.

- 2 Com base no componente 74x163, que é um contador binário módulo 16, desenhe um circuito que segue a sequência de contagem seguinte: (0,1,2,3,4,5,6,7,8,9), (0,1,2,3,4,5,6,7,8,9), ...
- 3 Construa uma máquina sequencial síncrona que detete sequências de comprimento 5 contendo três '1' e começando por '11'. A máquina deve ser tal que, uma vez detetados dois '1' iniciais, a sequência é analisada até ao fim (com ou sem êxito), ou seja, a sequência seguinte só pode começar ao fim de mais três entradas.

Exemplo: x 100110110011010
 y 000000000000001

Crie no Quartus Prime um projeto "DETSEQ2". Elabore o esquema lógico no ficheiro "DETSEQ2.bdf". Simule o respetivo comportamento. Comprove a deteção em várias ocorrências possíveis.