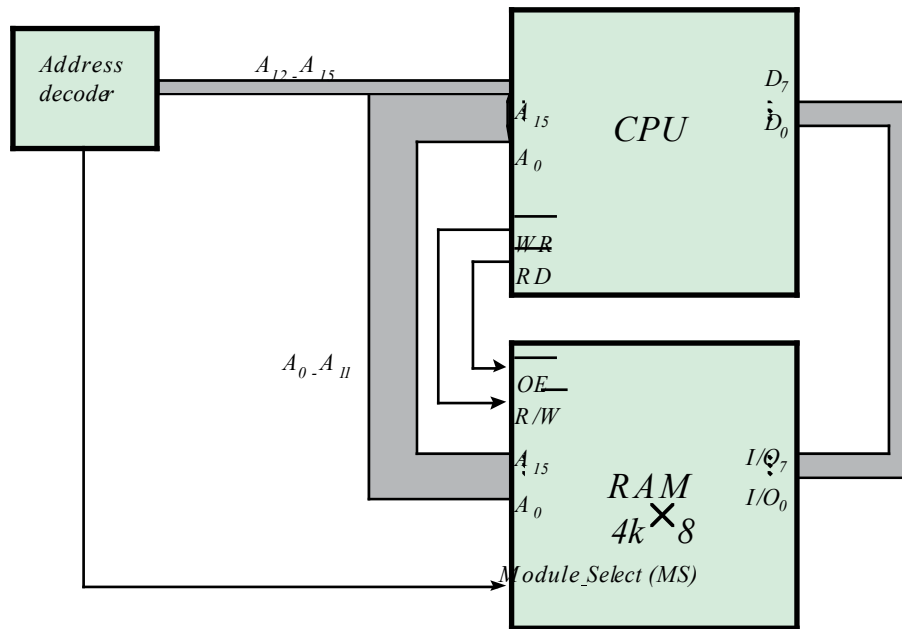


## I/O

1. Nalguns processadores o espaço de endereçamento de memória e dos dispositivos de entrada-saída é o mesmo, enquanto que noutros o espaço de endereçamento dos dispositivos de E/S é distinto.
  - a. Quais as designações destas duas alternativas?
  - b. Enumere as vantagens e desvantagens de cada uma das alternativas
  - c. Quando os sinais de leitura (RD) e escrita (WR) de memória estão ligados aos interfaces adaptadores de E/S qual o tipo de sistema usado?
  - d. Qual o tipo de sistema de E/S do MIPS
2. Um dado processador tem 8 linhas de interrupção (IR0 – IR/7) tendo as interrupções de número mais baixo prioridade mais elevada. Não havendo inicialmente interrupções pendentes, ocorre a seguinte sequência de interrupções: 4, 7, 1, 3, 0, 5, 6, 4, 2, 1. Assuma que durante o tratamento de uma interrupção ocorrem dois novos pedidos de interrupção e que, uma vez iniciado, o tratamento de uma interrupção não é interrompido. Por que ordem são os pedidos de interrupção atendidos?
3. Num dado processador a mudança de contexto e o início da execução da rotina de tratamento da interrupção consome 1000 ciclos de relógio (e igual numero de ciclos para retomar a execução do programa que estava a ser executado quando ocorreu a interrupção). Por outro lado o *polling* de um dispositivo de E/S consome 500 ciclos. Um dispositivo de E/S ligado ao processador gera 150 pedidos por segundo, em que cada pedido consome 10000 ciclos após a rotina de serviço da interrupção ter iniciado a execução. Quando não estão a ser usadas interrupções o processador interroga o dispositivo cada 0,5ms.
  - a. Quantos ciclos por segundo gasta o processador a atender o dispositivo quando são usadas interrupções?
  - b. Quantos ciclos por segundo são gastos em I/O quando é usado *polling*? (não inclua tempos de mudança de contexto no cálculo)
  - c. Qual a frequência com que o processador teria de interrogar o dispositivo para que *polling* consumisse tantos ciclos como as interrupções?
4. Um dispositivo de E/S transfere 10 MB/s para a memoria através do bus de E/S que tem uma capacidade de 100 MB/s. Os 10 MB são transferidos como 2500 páginas independentes de 4 kB cada. O processador opera a 200 MHz e são necessários 1000 ciclos para iniciar uma transferência por DMA e 1500 ciclos para responder à interrupção quando a transferência fica concluída. Que fração do tempo do processador é gasta com a transferência de dados com e sem DMA?

## Memória Central

1. Considere o esquema da figura seguinte.
  - a. Quantas palavras de quantos bits tem a RAM?
  - b. Para escrever na RAM os bits de endereço  $A_0 \dots A_{11}$  têm de estar ativados e MS *enabled*. Para isso deve ser colocado HIGH ou LOW? R/W tem de ser mantido constante; a HIGH ou a LOW? OE deve ser HIGH ou LOW?  $I/O_0 \dots I/O_7$  são inputs ou outputs nesta operação?
  - c. Que linhas constituem na figura o bus de control?



2. 0100101111010 é uma palavra de 8 bits com ECC e um bit de paridade. Os bits estão na seguinte ordem:  
M8M7M6M5M4M3M2M1C8C4C2C1P.  
Está a palavra correta, tem um bit errado ou tem dois bits errados? Se tiver um bit errado corrija-o.
  
3. Um sistema de memória está organizado em 2 bancos, em que um armazena as palavras de endereço par e o outro as de endereço ímpar. Os bancos têm ligações independentes ao processador, não havendo pois conflitos no bus de memória. O processador pode executar duas referências à memória em cada ciclo.  
Supondo que a latência de cada banco de memória é de 1 ciclo, pelo que os bancos nunca estão ocupados a satisfazer pedidos formulados em ciclos anteriores e que o processador quer sempre executar duas referências à memória em cada ciclo:
  - a. Qual o número máximo de operações por ciclo que a memória suporta?
  - b. Se o acesso a posições de memória fosse aleatório (o que é irrealista), quantas operações de memória executaria em média o processador?
  - c. Se cada banco de memória transfere 8 bytes de dados por acesso e o tempo de ciclo do processador é de 10 ns, qual a taxa máxima de transferência e qual a taxa média, em bytes/s?

# Arquitetura de Computadores II -Problemas

---

## Cache

1. Descreva as características gerais de um programa em que os acessos à memória para dados tenham localidade espacial e localidade temporal muito reduzidas
2. Descreva as características gerais de um programa em que os acessos à memória para dados tenham elevada localidade temporal e reduzida localidade espacial
3. Descreva as características gerais de um programa em que os acessos à memória para dados tenham elevada localidade espacial e reduzida localidade temporal
4. Descreva as características gerais de um programa em que os acessos à memória para instruções tenham localidade espacial e localidade temporal muito reduzidas
5. Descreva as características gerais de um programa em que os acessos à memória para instruções tenham elevada localidade temporal e reduzida localidade espacial
6. Descreva as características gerais de um programa em que os acessos à memória para instruções tenham elevada localidade espacial e reduzida localidade temporal
7. Considere uma memória de 32 blocos (0 ... 31) e uma cache de 8 blocos (0 .. 7).
  - a. Se a cache for direct-mapped quais os blocos de memória que mapeiam no bloco 2 da cache?
  - b. Se a cache for *4-way set associative* para que blocos da cache pode ser transferido o bloco 31?
  - c. Na sequência seguinte de referências a blocos de memória, e assumindo que a cache está inicialmente vazia, qual a primeira referência em que uma cache direct-mapped e outra 4-way set associative diferem?

Ordem da referência	1	2	3	4	5	6	7	8
bloco referenciado	0	15	18	5	1	13	15	26

8. Como é que uma cache de dados tira vantagem da localidade especial das referências?
9. A cache C1 é direct-mapped com 16 linhas e uma palavra por linha. A cache C2 é direct-mapped com 4 linhas e 4 palavras por linha. A miss penalty para C1 é de 8 ciclos de relógio e para C2 de 11 ciclos de relógio. Supondo que as caches estão inicialmente vazias, indique:
  - a. uma sequência de referências para a qual C2 tem uma menor miss rate mas gasta mais ciclos em cache misses do que C1.
  - b. uma sequência de referências para a qual C2 tem mais cache misses do que C1.Use *word addresses*.

### Hierarquia de Memória

1. Um computador tem uma cache, memória central e um disco usado para memória virtual. O tempo de acesso à cache é de 10 ns, à memória central de 100 ns e ao disco de 10,000 ns. Suponha que a cache hit ratio é 0.9 e a hit ratio da à memória central 0.8. Qual o tempo de acesso efetivo (EAT) em ns para aceder a uma palavra neste sistema?
2. Um disco tem uma velocidade de rotação de 15000 rpm, sectores de 512 bytes, 400 setores por trilho e o disco tem 1000 trilhos. O seek time médio é 4 ms. Quer-se transmitir um ficheiro de 1 MByte que está armazenado no disco de forma contígua.
  - a. Qual o tempo de transferência do ficheiro?
  - b. Qual o tempo médio de acesso a este ficheiro?
  - c. Qual o tempo de atraso rotacional ?
  - d. Qual o tempo necessário para ler 1 setor?
  - e. Qual o tempo necessário para ler 1 trilho?
3. Um disco magnético com 5 pratos tem 2048 trilhos por prato, 1024 setores por trilho (número fixo de sectores/trilho), e sectores de 512 bytes. Qual a capacidade total da unidade de disco?