

# DEPARTAMENTO DE ENGENHARIA ELETRÓNICA E DE TELECOMUNICAÇÕES E COMPUTADORES

Licenciatura em Engenharia Informática e de Computadores

# Arquitetura de Computadores

### Memórias e Portos

Alun@s:

A49418 - Roberto Petrisoru

A49447 - Francisco Castelo

A49506 - Pedro Malafaia

Docentes:

Rui Policarpo

# Conteúdo

1	Def	inição do mapa de endereçamento	1							
	1.1	Caracterização dos módulos de memória	1							
		1.1.1 Caracterização dos dispostivos #2 e #3	1							
		1.1.2 Caracterização dos dispostivos #4 e #5	. 1 . 1 . 1 . 1 . 1 . 1 . 2 . 3							
	1.2	Caracterização dos portos	1							
	1.3	Mapa de endereçamento	1							
		1.3.1 Módulo #1	1							
		1.3.2 Módulos #2 e #3	1							
		1.3.3 Módulos #4 e #5								
	1.4									
2	Car	acterização da atividade dos barramentos	4							
3	Evolução da Arquitetura									
	3.1	Mapa de endereçamento	5							
	3.2	Expressões lógicas								
	3.3	Logigrama do novo porto								
4	Cor	nclusão	7							

### 1 Definição do mapa de endereçamento

#### 1.1 Caracterização dos módulos de memória

#### 1.1.1 Caracterização dos dispostivos #2 e #3

- **Tipo:** Estes módulos de memória tratam-se de ROMs, visto que estes não possuem um sinal de controlo para ativar a escrita (WE)
- Organização: 8K x 8. Este valor é obtido pelo facto deste módulo ter 13 bits em Address e 8 bits em Data. Assim, obtemos  $2^{13}$  x 8, que simplificado fica 8K x 8
- Capacidade: Este módulo tem uma capacidade de 16KB

#### 1.1.2 Caracterização dos dispostivos #4 e #5

- **Tipo:** Estes módulos de memória tratam-se de RAMs, sendo que estes possuem um sinal de controlo para escrita (WE)
- Organização: 2K x 8. Este valor é obtido pelo facto deste módulo ter 11 bits em Address e 8 bits em Data. Assim, obtemos 2<sup>11</sup> x 8, que simplificado fica 2K x 8
- Capacidade: Este módulo tem uma capacidade de 4KB

### 1.2 Caracterização dos portos

O único porto neste sistema é o módulo #1.

- **Tipo:** Este módulo é um porto de entrada. (justificação?)
- Dimensão: 2 bytes, pois liga-se aos bits 0-15 do barramento de dados
- Modos de acesso suportados: Word-wise porque é possível escrever 2 bytes no porto.

#### 1.3 Mapa de endereçamento

#### 1.3.1 Módulo #1

- CS:  $A15 \cdot \overline{A14} \cdot A13 \cdot \overline{A12}$
- Gama de endereços: 0xA000 até 0xAFFF

#### 1.3.2 Módulos #2 e #3

- Capacidade do conjunto: 16K
- Capacidade utilizável: 16K
- CS:  $\overline{A15} \cdot \overline{A14}$
- Gama de endereços: 0x0000 até 0x3FFF

#### 1.3.3 Módulos #4 e #5

• CS:  $\overline{A14} \cdot \overline{A13}$ 

- Gama de endereços 1 ( $\overline{A15}$ ): 0x0000 até 0x1FFF
- Gama de endereços 2 (A15): 0x8000 até 0x9FFF
- Existência de foldback: Neste caso existe fold-back visto que o endereço A15 não está a ser utilizado para definir o endereço.

Na figura 1 é possível observar o mapa de endereçamento formado por todos os módulos descritos anteriormente.

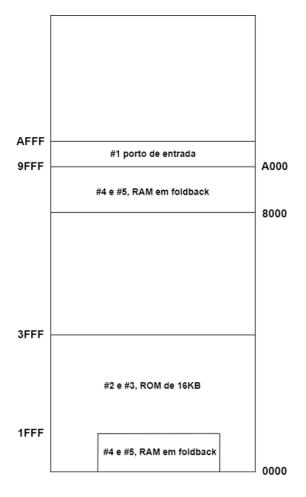


Figura 1: Mapa de endereçamento

### 1.4 Comentário crítico

"A capacidade de memória instalada no sistema é plenamente acessível."

Esta afirmação é falsa, pelo que, como o bit A15 não é utilizado para codificar o Chip-Select. Assim, não é possível aceder a toda a memória.

# 2 Caracterização da atividade dos barramentos

Na figura 2 é possível observar a atividade dos barramentos e dos sinais em referência quando observados passo-a-passo.

Instrucão	Controlo			Endereço	Dados	Valores iniciais
Instrução	nRD	nWRH	nWRL	A15A0	D15D0	R0 = 0xA055
movt r0, #0xFD	0	1	1	0x3000	0x7FD0	R1 = 0x1000
strb r1, [r0, #0]	0	1	1	0x3002	0x2810	R2 = 0x0080
	1	1	0	0xA055 (r0+0)	0x0000 (r1[07])	SP = 0x8000
push r1	0	1	1	0x3004	0x2401	PC = 0x3000
	1	0	0	0x7FFE (SP-2)	0x1000 (r1)	
lsl, r1, r1, #3	0	1	1	0x3006	0xE191	
ldr r3, [r2, #0]	0	1	1	0x3008	0x0023	
	0	1	1	0x0080 (r2+0)	R3 (???)	
pop r4	0	1	1	0x3010	0x0404	
	1	0	0	0x8000 (SP+2)	0x1000	

Figura 2: Atividade nos barramentos

# 3 Evolução da Arquitetura

### 3.1 Mapa de endereçamento

Na figura 3 é possível observar o mapa de endereçamento do novo sistema, desta vez, completamente funcional.

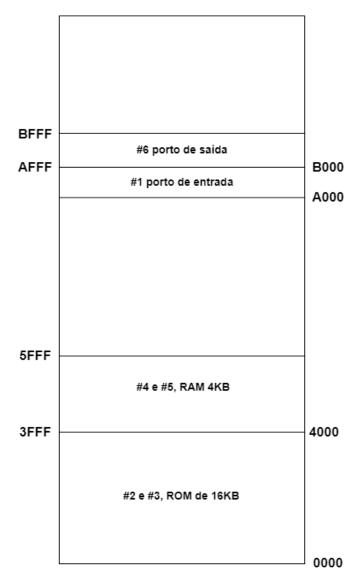


Figura 3: Mapa de endereçamento do novo sistema

### 3.2 Expressões lógicas

• ROM CS:  $\overline{A15} \cdot \overline{A14}$ 

• RAM CS:  $\overline{A15} \cdot A14 \cdot \overline{A13}$ 

• Porto de entrada CS:  $A15 \cdot \overline{A14} \cdot A13 \cdot \overline{A12}$ 

• Porto de saída CS:  $A15 \cdot \overline{A14} \cdot A13 \cdot A12$ 

# 3.3 Logigrama do novo porto

Na figura 4 é possível observar o logigrama do novo porto de saída.

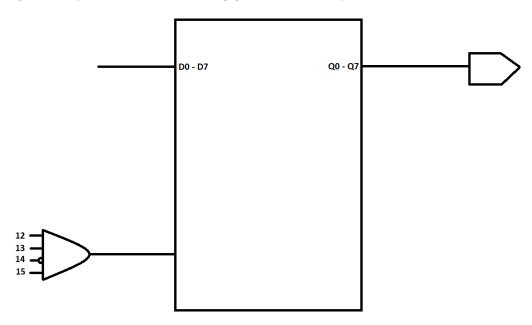


Figura 4: Logigrama do novo porto de saída

# 4 Conclusão

Este trabalho permitiu aprofundar os conhecimentos de diversos conteúdos acerca de memórias e portos, como por exemplo o desenho de mapas de endereçamento, a existência de fold-back e de zonas de conflito, entre outros.