

Pedro Fausto Rodrigues Leite Junior

Análise, Confiabilidade e Envelhecimento em sistemas micro e nanoeletrônicos/
Pedro Fausto Rodrigues Leite Junior. – Brasil, Dezembro 15, 2016-
18 p. : il. (algumas color.) ; 30 cm.

Orientador: Prof. Frank Sill Torres

Dissertação de Mestrado – Universidade Federal de Minas Gerais
Programa de Pós-Graduação em Engenharia Elétrica, Dezembro 15, 2016.

1. Reliability. 2. Robustness. 2. Remaning Useful Lifetime. I. Frank Sill Torres.
II. Universidade Federal de Minas Gerais. III. Programa de Pós-Graduação em Engenharia Elétrica. IV. Análise, Confiabilidade e Envelhecimento em sistemas micro e nanoeletrônicos

Pedro Fausto Rodrigues Leite Junior

Análise, Confiabilidade e Envelhecimento em sistemas micro e nanoeletrônicos

Brasil

Dezembro 15, 2016

Agradecimentos

Gostaria de agradecer ao meu orientador, Professor Dr.Frank Sill Torres pela paciência, auxílio e ensinamentos. Este trabalho não seria possível sem sua incansável capacidade de ensinar, compartilhar seu conhecimento e busca pela excelência.

A todos os membros do *OptMA^{lab}/ART*, agradeço de coração pelas trocas de experiência, incentivos e momentos de alegria que nos ajudaram a relaxar, respirar fundo e continuar o trabalho.

À minha família pelo apoio incondicional. À Sabrina, pelo carinho.

Resumo

O estudo da confiabilidade de circuitos integrados tem se tornado de súbita importância para o entendimento, detecção e correção de falhas dos mesmos. O entendimento de como ou de em quais condições este envelhecimento se torna prejudicial a um sistema permitirá tomar decisões que sanem ou evitem estas condições. O objetivo deste trabalho é estabelecer um fluxo de análise e simulação que permitam entender o comportamento de circuitos integrados, em diferentes condições, e extrair dados que sirvam de entrada para sistemas de verificação, avaliação e atuação contra falhas.

Este trabalho tem como objetivos:

1. Analisar o envelhecimento de CI's utilizando ferramentas comerciais;
2. Realizar um envelhecimento realístico baseado em parâmetros cedidos por *foundries*;
3. Estabelecer um fluxo capaz de envelhecer diferentes circuitos integrados e que forneça uma massa de dados para análise comportamental;
4. Organizar um universo de dados que classifique e permita a tomada de decisões inteligentes por sistemas preditivos e de recuperação de falhas.
5. Utilização de um método para cálculo e/ou estimativa de pontos deste universo de dados através de parâmetros de entrada, utilizando ferramentas computacionais (Modelo Linear Generalizado, Regressão Linear, Distância Euclidiana, Correlação Linear, etc.)

Palavras-chave: RUL. Confiabilidade. Envelhecimento de circuitos integrados.

Lista de ilustrações

Figura 1 – Excerto do ITRS 2011 com destaque para Confiabilidade.	5
Figura 2 – Primeira rodada de envelhecimento.	8
Figura 3 – Segunda rodada de envelhecimento.	9
Figura 4 – Caracterização de células-padrão utilizando um modelo linear generalizado.	13
Figura 5 – Estimativas de <i>delays</i> utilizando: GLM, Distância Euclidiana e Correlação.	14
Figura 6 – <i>Mean Square Error</i> entre métodos.	16

Lista de abreviaturas e siglas

CMOS	Complementary Metal-Oxide Semiconductor
RUL	Remaining Useful Lifetime

Sumário

1	INTRODUÇÃO	1
1.1	Motivação	1
1.2	Roteiro da dissertação	1
1.3	Definições	2
2	BASE TEÓRICA	3
2.1	Confiabilidade	3
2.1.1	Confiabilidade em Engenharia	4
2.1.2	Confiabilidade como um problema	4
2.1.3	Confiabilidade em circuitos integrados	5
2.1.3.1	NBTI e PBTI	5
2.1.3.2	HCI	6
2.1.3.3	TDDDB	6
2.2	Técnicas de análise de envelhecimento	6
2.2.1	Simuladores	6
2.3	Metodologia	7
2.3.1	Simulação de circuitos envelhecidos	7
2.3.2	Fluxo de envelhecimento e predição de tempo de vida restante	7
2.3.3	Preparação de células lógicas	9
2.3.4	Preparação de células lógicas	10
2.3.5	Estimativa de atrasos e tempo de vida restante	10
2.3.6	Métodos de estimativa	10
3	RESULTADOS	13
3.0.1	Caracterização de células	13
3.0.2	Caracterização de circuitos de teste ISCAS	15
3.0.3	Discussão	15
	REFERÊNCIAS	17

1 Introdução

1.1 Motivação

Sistemas computacionais exercem hoje uma tarefa de sumária importância em diversas área de atuação. O poder computacional tem facilitado a solução de problemas antes considerados de longa ou difícil obtenção. Para este intento, a integração, e consequentemente miniaturização, em escalas cada vez maiores foi necessária, aumentando a quantidade de cálculos que poderiam ser realizados em um menor intervalo de tempo [1]. Como consequência, a quantidade de efeitos indesejados, antes irrisórios, aumentou dramaticamente. Diversos destes causam a indisponibilidade temporária ou permanente de um circuito. Outros podem interferir de forma não-destrutiva a performance destes sistemas, tornando-o um circuito não confiável. Essa perda de confiabilidade pode ser atribuída, em alguns casos, ao envelhecimento do circuito ao longo de sua operação, seja em condições normais de operação ou não, e que degradam sua performance. Muitos esforços têm sido realizados na análise dos efeitos que causam este envelhecimento, bem como propostas para detecção e correção, de forma dinâmica, deste comportamento indesejado. Este trabalho de pesquisa visa obter através de simulações, e de seus dados obtidos, padrões de comportamento de circuitos integrados que estão sobre efeito de envelhecimento e dar suporte às promissoras técnicas de verificação, avaliação e atuação contra falhas, futuras ou previstas.

1.2 Roteiro da dissertação

Esta dissertação é organizada em 7 capítulos, incluindo esta Introdução. Os capítulos restantes são:

Capítulo 2, Base Teórica utilizada no trabalho.

Capítulo 3, Trabalhos Relacionados, discorre sobre pesquisas que abordam o mesmo problema e avanços obtidos.

Capítulo 4, Técnicas de Análise de Envelhecimento, apresenta as técnicas empregadas até então pela indústria e academia...

Capítulo 5, Fluxo de envelhecimento, apresenta a metodologia utilizada.

Capítulo 6, apresenta os resultados de simulações de envelhecimento em cinco células-padrão.

Capítulo 7 encerra o trabalho, apresenta suas conclusões e melhorias futuras para

este trabalho, bem como sugestões para trabalhos correlatos.

1.3 Definições

Esta seção define algumas palavras-chave que serão utilizadas ao longo da dissertação.

- **Dispositivo:** Elementos básicos de um sistema eletrônico.
- **Célula padrão:** An arrangement of devices designed to implement an elemental logic function, *i.e.* the logic gates.
- **Circuit:** A collection of components combined together in order to perform a complex logic function, *i.e.* full adders, multiplexers and memory cells.
- **System:** A set of circuits interconnected in order to process a higher level function, *i.e.* Ripple Carry Adders (RCAs), processors, routers, memory architectures and ALUs (Arithmetic Logic Units).
- **Defect:** In the context of this work, defects are flaws of the cells of a structure, generally caused by manufacturing process variations.
- **Errors:** Errors, in this work, are unexpected deviations in the behavior of the system. In the circuit's context, an error occurs when, given a known input vector, the state of the outputs is unexpected.
- **Robustness:** Robustness, in the context of this work, may be defined as the system capability to get along with defects and operate under unusual conditions.
- **Foundries:** Empresas de fabricação de semicondutores.

2 Base Teórica

Este capítulo introduz os conceitos essenciais necessários para o entendimento deste trabalho. Na primeira parte são apresentadas as bases de confiabilidade, robustez e falhas em sistemas. A segunda parte apresenta detalhes sobre os efeitos físicos que surgem em transistores CMOS que levam ao envelhecimento dos mesmos.

2.1 Confiabilidade

A confiabilidade de um sistema é definida como a "probabilidade de que uma porção de sistema irá durar por pelo menos um tempo previamente especificado sob a ação de condições experimentais especificadas" [2]. Dado que é esperado que um sistema obedeça suas condições de operação especificadas por um tempo mínimo sem que apresente problemas ou se mostre confiável, podemos analisar, prever e informar a sistemas supervisores quais condições levariam a interrupções no funcionamento adequado do sistema monitorado. Para compor esta análise, é utilizado um conjunto de métricas para eventos de falha e recuperação de falhas para um sistema, quais sejam [3][4]:

- MTTF – Mean time to failure: é o tempo médio que leva até que um sistema falhe;
- MTBF – Mean time between failures: é o tempo médio que o Sistema leva entre falhas. Neste caso é considerado o tempo de recuperação;
- FIT – Failures in time: é a razão de falhas que acontecem em um sistema em 1 bilhão de horas.

Já para a definição de uma falha é preciso considerar as seguintes definições [3]:

- Falta: considerada uma falha física, tais como condutores quebrados, transistores com portas danificadas, resistores queimados;
- Erro: A falta acima definida pode se manifestar em um erro, que é a troca ou incorreta representação da informação que o meio físico deveria permitir, como bits trocados dentro de uma memória;
- Falha: O erro por sua vez pode se manifestar visivelmente como um comportamento indesejado, apresentando-se como operações errôneas, travamentos ou até indisponibilidade de um sistema.

2.1.1 Confiabilidade em Engenharia

A confiabilidade em engenharia estabeleceu-se como um ramo de pesquisa nos tempos modernos, sendo o termo "confiabilidade" usado extensivamente pelo público em geral e pela comunidade técnica de forma geral como a capacidade de um sistema ou componente de operar normalmente sobre certas condições [2]. A base para a confiabilidade é a teoria probabilística e estatística, que permitiram o avanço deste campo de estudo tal como é conhecido atualmente. A partir daí, e com o advento da produção em massa de bens de consumo, o estudo da confiabilidade de sistemas se tornou essencial em projetos de engenharia, como foi o caso da (não)confiabilidade de tubos de vácuo [2].

Esta preocupação vital com sistemas perdura até hoje, incluindo sistemas elétricos e eletrônicos de diferentes requisitos, e de forma pervasiva encontra-se em diferentes campos de estudo, tais como: sistemas de potência (modelagem baseada em agentes ou métodos clássicos) [5][6], rádio frequência [7][8], tempo de vida restante para transformadores de potência [9]–[10], sistemas de supervisão e intervenção de estados clínicos [11][12]).

Os métodos e técnicas utilizadas são desenvolvidos, adaptados e/ou expandidos para esses diversos campos de pesquisa levando em consideração suas particularidades e quais fenômenos contribuem para o surgimento de falhas. Apesar destas particularidades, tais metodologias podem ser estudadas em um âmbito mais generalista, sem prejuízo ao estudo de um problema específico [13].

2.1.2 Confiabilidade como um problema

A confiabilidade de circuitos integrados tornou-se essencial para a indústria de CI's, sendo considerado um dos maiores problemas a ser enfrentado em curto prazo, como definido no "The international technology roadmap for semiconductors"[14].

<i>Table PIDS1</i>	
<i>Process Integration Difficult Challenges</i>	
<i>Near-Term 2011-2018</i>	<i>Summary of Issues</i>
1. Scaling Si CMOS	<p>Scaling planar bulk CMOS</p> <p>Implementation of fully depleted SOI and multi-gate (MG) structures</p> <p>Controlling source/drain series resistance within tolerable limits</p> <p>Further scaling of EOT with higher κ materials ($\kappa > 30$)</p> <p>Threshold voltage tuning and control with metal gate and high-κ stack</p> <p>Inducing adequate strain in new structures</p>
2. Implementation of high-mobility CMOS channel materials	<p>Basic issues same as Si devices listed above</p> <p>High-κ gate dielectrics and interface states (D_{it}) control</p> <p>CMOS (n- and p-channel) solution with monolithic material integration</p> <p>Epitaxy of lattice-mismatched materials on Si substrate</p> <p>Process complexity and compatibility with significant thermal budget limitations</p>
3. Scaling of DRAM and SRAM	<p>DRAM—</p> <p>Adequate storage capacitance with reduced feature size; implementing high-κ dielectrics</p> <p>Low leakage in access transistor and storage capacitor; implementing buried gate type/saddle fin type FET</p> <p>Low resistance for bit- and word-lines to ensure desired speed</p> <p>Improve bit density and lower production cost in driving toward $4F^2$ cell size</p> <p>SRAM—</p> <p>Maintain adequate noise margin and control key instabilities and soft-error rate</p> <p>Difficult lithography and etch issues</p>
4. Scaling high-density non-volatile memory	<p>Endurance, noise margin, and reliability requirements</p> <p>Multi-level at < 20 nm nodes and 4-bit/cell MLC</p> <p>Non-scalability of tunnel dielectric and interpoly dielectric in flash memory – difficulty of maintaining high gate coupling ratio for floating-gate flash</p> <p>Few electron storage and word line breakdown voltage limitations</p> <p>Cost of multi-patterning lithography</p> <p>Implement 3-D NAND flash cost effectively</p> <p>Solve memory latency gap in systems</p>
5. Reliability due to material, process, and structural changes, and novel applications.	<p>TDDB, NBTI, PBTI, HCI, RTN in scaled and non-planar devices</p> <p>Electromigration and stress voiding in scaled interconnects</p> <p>Increasing statistical variation of intrinsic failure mechanisms in scaled and non-planar devices</p> <p>3-D interconnect reliability challenges</p> <p>Reduced reliability margins drive need for improved understanding of reliability at circuit level</p> <p>Reliability of embedded electronics in extreme or critical environments (medical, automotive, grid...)</p>

Figura 1 – Excerto do ITRS 2011 com destaque para Confiabilidade.

2.1.3 Confiabilidade em circuitos integrados

2.1.3.1 NBTI e PBTI

Conhecido de forma genérica por BTI (Bias Temperature Instability), é considerada uma das ameaças mais críticas em tecnologias CMOS. Apesar de conhecido há bastante

tempo, este efeito tem se tornado mais proeminente em tecnologias abaixo de 90nm [15]. Este efeito é influenciado pela temperatura e se mostra presente quando sob a aplicação de uma tensão sobrelimiar (e estressante) é aplicada na porta do transistor, sendo percebido como uma alteração nos parâmetros de operação do transistor. No caso do NBTI (Negative BTI) esse fenômeno é observado em pFETs e em nFETs para o PBTI. Estudos posteriores modelam este efeito como consequência de dois mecanismos [16]:

1. Geração de imperfeições próximas a interface entre silício e óxido, resultando numa componente de probabilidade de tunelamento dos átomos de Hidrogênio (H+);
2. E uma componente de recuperação, quantificada a captura e soltura de portadores.

2.1.3.2 HCI

Hot Carrier Injection é um dos efeitos mais antigos e estudados, tendo sido introduzido por Shockley em 1961 para explicar fenômenos em junções $p-n$ na época [17]. O campo elétrico próximo à região de dreno de um transistor (MOSFET, por exemplo) é considerado como a principal causa deste efeito, onde alguns portadores possuem uma energia cinética muito alta em comparação à energia média dos demais portadores. Tais portadores de alta energia possuem uma temperatura efetiva acima da temperatura ambiente ("mais quentes") e são capazes de vencer o potencial da superfície e são injetados no óxido de porta. Parte destes permanecem no óxido, gradualmente acumulando cargas e alterando a tensão de limiar ao longo da vida do dispositivo.

2.1.3.3 TDDB

É resultado de um dano no óxido graças a fortes campos elétricos que surgem em tecnologias CMOS. Como consequência, há um acréscimo da corrente na porta do transistor. *Hard breakdown* (HBD) ocasionam um aumento significativo da corrente de porta e uma redução da controlabilidade da tensão na porta do dispositivo. Este tipo de quebra em qualquer transistor é considerado como capaz de causar uma falha no circuito. *Soft breakdown* (SBD) é observado como uma perda parcial das propriedades dielétricas, em comparação com o HBD. Entretanto, mesmo para circuitos que funcionam sobre voltagens levemente acima das tensões de operação nominal, possuem apenas um pequeno aumento da corrente de porta, enquanto a completa quebra do dispositivo é improvável [2].

2.2 Técnicas de análise de envelhecimento

2.2.1 Simuladores

Com os efeitos de envelhecimento de transistores possuindo um impacto cada vez maior, a simulação da confiabilidade de circuitos eletrônicos se tornou uma parte importante

em um fluxo moderno de design. Simulações precisas da confiabilidade permitem que o projetista aumente significativamente o design, satisfaça especificações mais complexas e ainda assim garanta uma operação confiável do sistema. Diversas ferramentas surgiram na década de 70 após o advento do simulador *SPICE*. A partir daí, a complexidade das ferramentas seguiu o avanço dos métodos utilizados para caracterizar o envelhecimento de transistores e são construídos ao redor do *SPICE* [2].

Este trabalho utiliza o simulador Relxpert©(Cadence Systems©), baseado no *BERT*©, que fornece um modelo analítico descrevendo cada efeito de envelhecimento. Normalmente, o modelo deve ser fornecido pelos fabricantes, mas podem ser desenvolvido pelo próprio pesquisador. Esses modelos devem descrever as mudanças nos parâmetros dos dispositivos como função da idade do transistor.

Apesar de utilizar esta ferramenta, a metodologia que será apresentada independente da escolha feita pelo pesquisador.

2.3 Metodologia

2.3.1 Simulação de circuitos envelhecidos

Um dos pontos mais importantes para a simulação e obtenção de dados que deem apoio às futuras pesquisas e projetos é a decisão de qual metodologia, das disponíveis, será utilizada para obter resultados coerentes com experimentos reais. Este será um ponto crucial deste trabalho pois os dados obtidos e o comportamento observado deverão dar apoio à tomada de decisões de sistemas de recuperação de falhas. Para garantir esta fidelidade, foi escolhida a ferramenta Relxpert. Este simulador é desenvolvido especialmente para cálculo de envelhecimento de circuitos integrados e considera efeitos como HCI, TDDB e NBTI/PBTI. Dada à experiência e proximidade da Cadence com o mercado de semicondutores, temos disponível uma ferramenta confiável para simulação e extração de resultados. Outro fator importante é o uso de parâmetros de envelhecimento coerentes com os dispositivos reais. Ao evitar a modelagem destes parâmetros poderemos trabalhar com modelos mais realísticos. Para isso, teremos que contar com parâmetros disponibilizados pelas próprias *foundries* de dispositivos semicondutores. Para nossa conveniência, usaremos os parâmetros disponibilizados pela própria Cadence em seus arquivos de demonstração da ferramenta Relxpert.

2.3.2 Fluxo de envelhecimento e predição de tempo de vida restante

O RelXpert possui dois modos principais de atuação: *Aged device models* e *Agemos*. Para este trabalho de pesquisa será utilizado o método *Agemos*, considerado mais rápido e mais preciso. Neste método, o próprio modelo do dispositivo virgem (não envelhecido)

possui os parâmetros de envelhecimento e envelhece estes parâmetros ao longo da análise transiente. Através da análise dos exemplos fornecidos pela ferramenta possuímos as seguintes entradas e saídas para este método. Entrada:

1. A netlist que será envelhecida;
2. Os arquivos de modelos para os dispositivos do tipo nmos e pmos (fornecidos pelas foundries) que contém:
 - a) Parâmetros elétricos;
 - b) Parâmetros de envelhecimento;
 - c) Efeitos considerados para o envelhecimento HCI, NBTI, PBTI.

Então teremos a primeira "rodada" de cálculos.

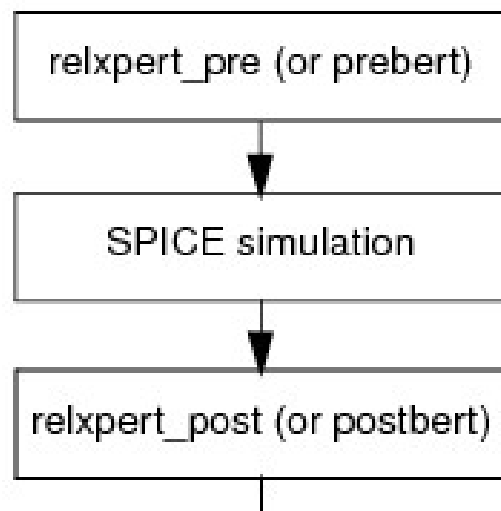


Figura 2 – Primeira rodada de envelhecimento.

A netlist e os parâmetros de robustez são a entrada para uma ferramenta chamada de *prebert* que é responsável pelo pré-processamento. Ele filtra a linha de comando e guarda as informações relevantes de simulação de robustez em um arquivo temporário, depois armazena elementos dos dispositivos em outros arquivos temporários para serem utilizados posteriormente no pré-processamento.

O *SPICE* é executado e gera formas de onda de corrente e tensão para o circuito descrito. Em seguida é utilizada a ferramenta de pós-processamento conhecida como *postbert*. Ela lê os parâmetros dos modelos, informação dos dispositivos e opções de simulação extraídas pelo *prebert* e *SPICE*. Esta primeira etapa obtém resultados para degradação por HCI e NBTI e/ou PBTI e constrói uma tabela com estas informações.

Saída:

1. A netlist que terá os parâmetros de envelhecimento inseridos na mesma;
2. Arquivos que possuem tabelas de resultados e parâmetros de NBTI/PBTI e HCI.

Uma segunda "rodada" é executada para simular o circuito já com transistores degradados:

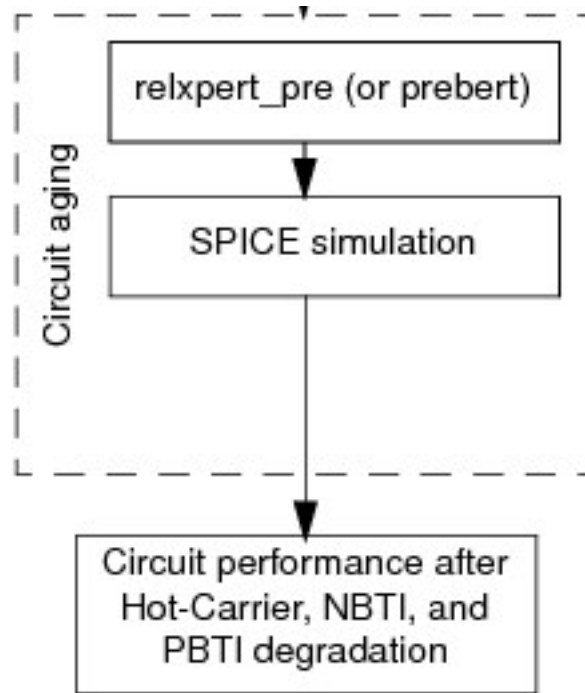


Figura 3 – Segunda rodada de envelhecimento.

A netlist gerada pela segunda rodada do *prebert* é atualizada com cada parâmetro de envelhecimento que será usado na simulação envelhecida. Em seguida será estimulada e simulada através do *Spectre*.

2.3.3 Preparação de células lógicas

Este trabalho irá gerar e coletar amostras intencionais de diferentes condições de operações de diferentes circuitos integrados. Serão realizadas simulações de portas lógicas básicas (Inversores, NAND's, OR's e AND's), que servirão de exemplo em diferentes condições de operação. Serão variados os parâmetros de alimentação das portas lógicas (V_{DD}), temperatura de operação e tempo de envelhecimento. Eles irão compor diferentes vetores de entrada para o problema em questão. Estes vetores serão inseridos em um conjunto de scripts que tratarão estas informações e enviá-las às ferramentas de envelhecimento. Para este trabalho, inicialmente, serão escolhidos vetores significativos que permitam avaliar como estes parâmetros afetam o envelhecimento. Após, será obtido como resultado destas simulações o atraso (*delay*) relativo entre a saída calculada em uma porta envelhecida

e a calculada em uma porta não envelhecida, um para cada vetor de entrada. De mãos destas amostras será realizada uma análise dos mesmos e inferir um comportamento que possibilite a detecção e/ou previsão de futuras falhas decorrentes de envelhecimento. Um novo universo de dados será gerado. De posse destas novas informações, serão considerados novos vetores de entrada. De mão destes novos resultados, serão propostos modelos que podem prever o comportamento de circuitos envelhecidos para diferentes condições de operação. Esse comportamento poderá ser utilizado por sistemas de detecção e recuperação de falhas como entrada para a tomada de decisões em futuros trabalhos e pesquisas.

2.3.4 Preparação de células lógicas

O circuitos integrados atuais trabalham sobre condições de operação que oscilam constantemente. Podemos abordar estas variações de inúmeras maneiras. Esse trabalho considera inicialmente duas abordagens:

- Um perfil de operação que considera a média das tensões aplicadas no dispositivo ao longo do seu funcionamento em N anos de vida e a média das temperaturas às quais o dispositivo esteve submetido ao longo desse tempo analisado;
- Um conjunto de perfis que representam faixas de operação para o dispositivo. Este conjunto considera variações na temperatura e na tensão ao longo de um período de análise predeterminado. Ao variar a quantidade de tempo a qual o circuito permanece em cada elemento deste conjunto, obtemos uma tabela que possui uma variabilidade de condições ambientais de operação.

Em ambos os casos teremos uma tabela que associa temperatura e tensão a um atraso calculado em uma saída desejada.

2.3.5 Estimativa de atrasos e tempo de vida restante

Utilizando ferramentas de simulação e envelhecimento de circuitos, aliados a esta abordagem de perfis é possível estimar o tempo de vida restante de um sistema conhecido. Sendo assim, é necessário determinar a relação entre os parâmetros de entrada desta tabela e o atraso do circuito, e consequentemente o tempo de vida restante. Estas informações podem ser usadas em métodos de estimativa para determinar, aproximadamente, em qual estado o circuito está e o que acontecerá se ele continuar a operar nestas condições.

2.3.6 Métodos de estimativa

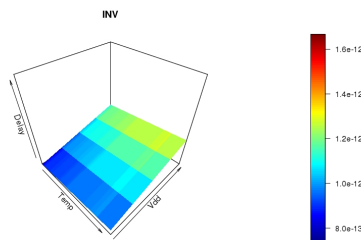
Inicialmente foi utilizado um modelo linear generalizado para estimar a relação entre o atraso de saída e as temperaturas e tensões de entrada. Além disso, esta relação linear

foi estimada para uma célula padrão e extrapolada para circuitos maiores. A contribuição no atraso de um circuito devido a um inversor era considerado como linear em uma cadeia de inversores. Esta aproximação é posteriormente testada e averiguada quanto ao erro obtido na estimativa do atraso. Para uma tabela de perfis a estimativa da relação linear se mostrou, inicialmente, inviável. Estes casos teriam dez entradas, a princípio independentes, para uma saída desejada (atraso). Ao invés disso foram testados mais dois métodos de estimativa: distância euclidiana e correlação.

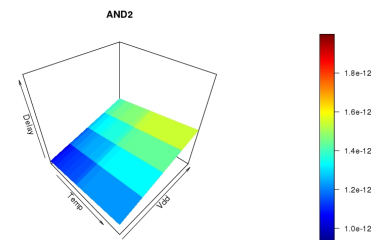
3 Resultados

3.0.1 Caracterização de células

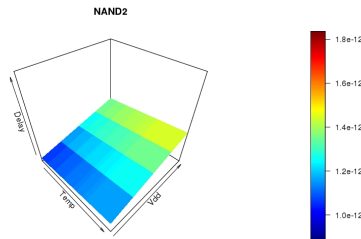
Foram caracterizadas as seguintes células: INV, AND2, OR2, NOR2, NAND2. Suas curvas características, estimadas através de um modelo linear generalizado (GLM) são dadas por:



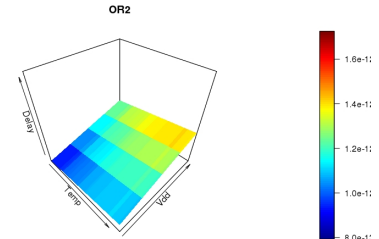
(a) Inversor



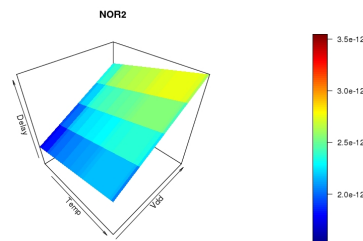
(b) AND2



(c) NAND2



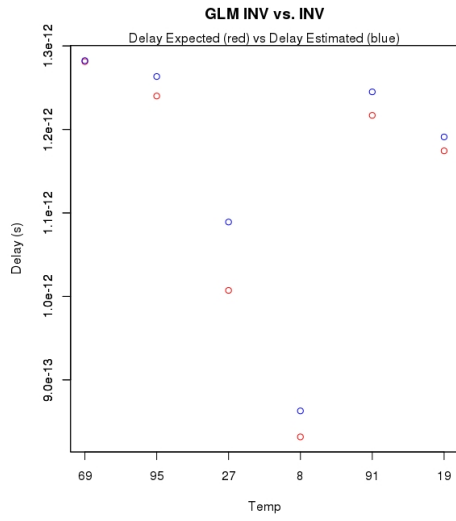
(d) OR2



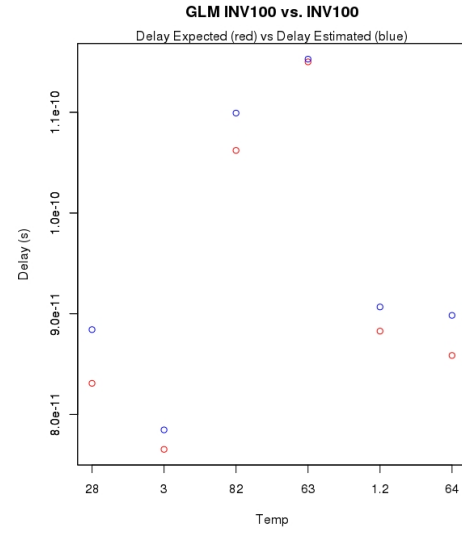
(e) NOR2

Figura 4 – Caracterização de células-padrão utilizando um modelo linear generalizado.

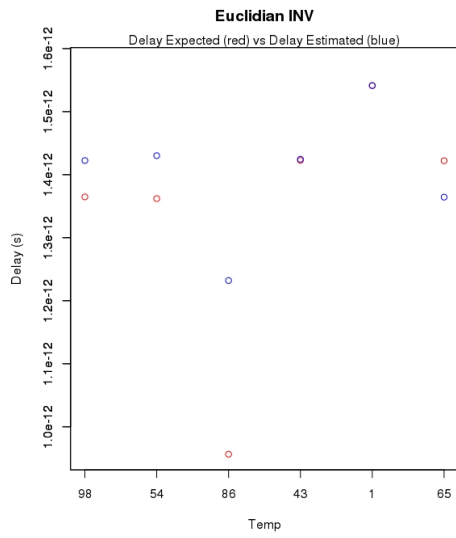
Foi realizada uma comparação entre delays absolutos e relativos para os diferentes métodos de estimativa foi aplicada a um inversor e a uma cadeia de inversores.



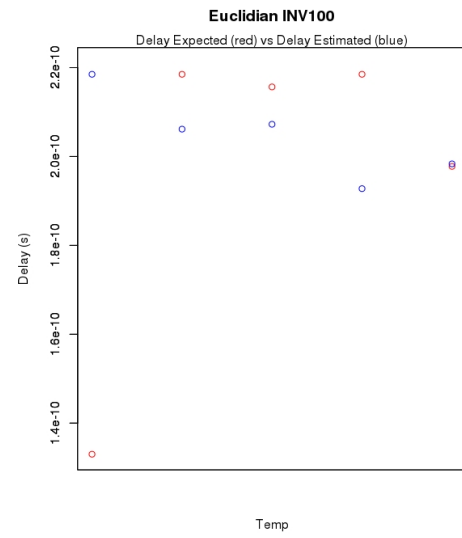
(a) GLM para inversor



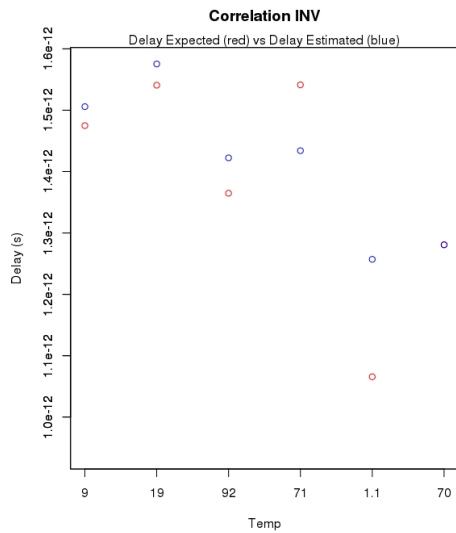
(b) GLM para 100 inversores



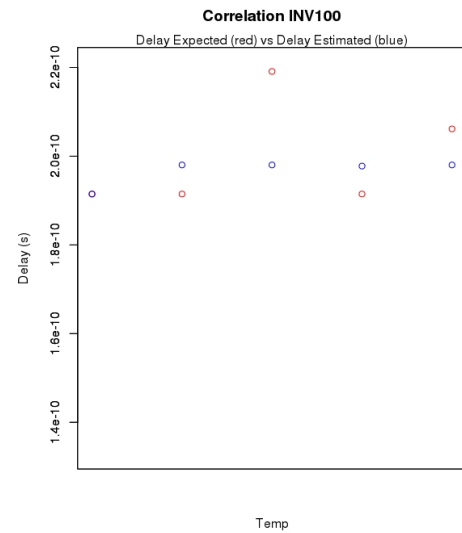
(c) Distância Euclidiana para inversor



(d) Distância Euclidiana para 100 inversores



(e) Correlação para inversor



(f) Correlação para 100 inversores

Figura 5 – Estimativas de *delays* utilizando: GLM, Distância Euclidiana e Correlação.

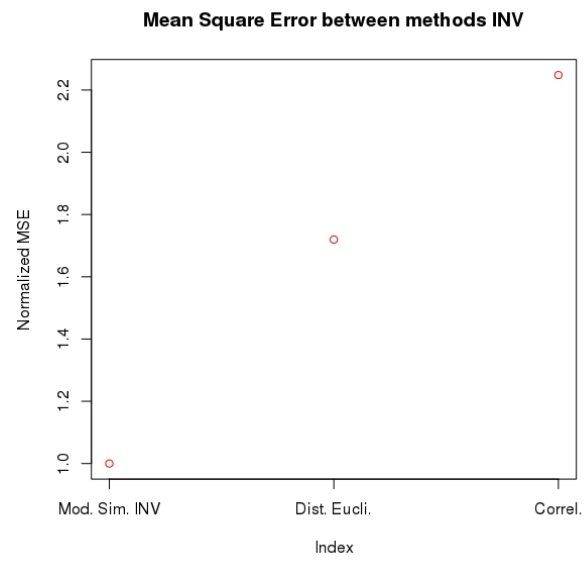
3.0.2 Caracterização de circuitos de teste ISCAS

Esta etapa rem se mostrado bastante trabalhosa e demorada. Para circuitos integrados mais complexos o tempo de simulação e envelhecimento cresce bastante. Em adição, circuitos de *benchmark* ISCAS, mais complexos que uma cadeia de inversor, aumentam ainda mais o tempo necessário para esta simulação, sendo da ordem de dias. Leva-se em consideração também para este tempo a necessidade de softwares e licenças proprietários para as dificuldades acima mencionadas.

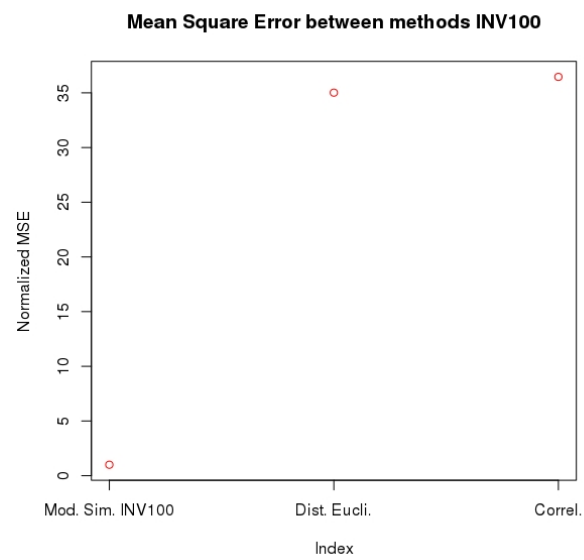
3.0.3 Discussão

Utiliza-se uma tabela de simulação para cada método, retira-se um dos pontos, treina-se o método utilizando os pontos restantes e testa-se a exatidão do modelo gerado estimando o atraso para o ponto que foi retirado anteriormente. Com o erro quadrático de cada ponto, calcula-se o erro médio quadrático (*Mean Square Error*, MSE) normalizado para os 3 métodos.

Isso já mostra que o método da correlação apresenta um erro maior do que o método da distância euclidiana. Já o GLM tem um taxa de erro 80% menor do que a distância euclidiana.



(a) MSE para inversor



(b) MSE para 100 inversores

Figura 6 – *Mean Square Error* entre métodos.

Referências

- 1 MOORE, G. E. Cramming more components onto integrated circuits. *Electronics*, v. 38, n. 8, 1965. Citado na página 1.
- 2 MARICAU, E.; GIELEN, G. *Analog IC reliability in nanometer CMOS*. [S.l.]: Springer, 2013. ISBN 1461461634. Citado 4 vezes nas páginas 3, 4, 6 e 7.
- 3 SORIN, D. J. *Fault Tolerant Computer Architecture*. [S.l.: s.n.], 2009. v. 4. 1–104 p. ISSN 1935-3235. ISBN 9781598299540\ n1935-3243 ;. Citado na página 3.
- 4 SEYMOUR, B. MTTF, FAILRATE, RELIABILITY AND LIFE TESTING. *Burr-Brown Corporation*, p. 6, 1993. Disponível em: <<http://www.ti.com/lit/an/sbfa011/sbfa011.pdf>>. Citado na página 3.
- 5 ENDRENYI, J. *Reliability modeling in electric power systems*. [S.l.]: Wiley, 1979. 338 p. ISBN 0471996645. Citado na página 4.
- 6 SCHLÄPFER, M.; KESSLER, T.; KRÖGER, W. Reliability Analysis of Electric Power Systems Using an Object-oriented Hybrid Modeling Approach. Citado na página 4.
- 7 STEPHENS, D.; VANHOUCKE, T.; DONKERS, J. J. T. M. RF reliability of short channel NMOS devices. In: *2009 IEEE Radio Frequency Integrated Circuits Symposium*. IEEE, 2009. p. 343–346. ISBN 978-1-4244-3377-3. Disponível em: <<http://ieeexplore.ieee.org/document/5135554/>>. Citado na página 4.
- 8 LARCHER, L. et al. Oxide Breakdown After RF Stress: Experimental Analysis and Effects on Power Amplifier Operation. In: *2006 IEEE International Reliability Physics Symposium Proceedings*. IEEE, 2006. p. 283–288. ISBN 0-7803-9498-4. Disponível em: <<http://ieeexplore.ieee.org/document/4017170/>>. Citado na página 4.
- 9 OSORIO, C.; SAWANT, N. Transformer Lifetime Prediction. *Intelligent Energy Projects, ee292k edition*. Disponível em: <<https://pdfs.semanticscholar.org/bada/719e1870bc7e57be472552b92dcae794ac67.pdf>>. Citado na página 4.
- 10 JIRUTITIJAROEN, P.; SINGH, C. The effect of transformer maintenance parameters on reliability and cost: a probabilistic model. *Electric power systems Research*, 2004. Disponível em: <<http://www.sciencedirect.com/science/article/pii/S0378779604001129>>. Citado na página 4.
- 11 LIMOUSIN, M. et al. Value of Automatic Processing and Reliability of Stored Data in an Implanted Pacemaker: Initial Results in 59 Patients. *Pacing and Clinical Electrophysiology*, Blackwell Publishing Ltd, v. 20, n. 12, p. 2893–2898, dec 1997. ISSN 0147-8389. Disponível em: <<http://doi.wiley.com/10.1111/j.1540-8159.1997.tb05457.x>>. Citado na página 4.
- 12 ARAIN, N. et al. Comprehensive proficiency-based inanimate training for robotic surgery: reliability, feasibility, and educational benefit. *Surgical*, 2012. Disponível em: <<http://link.springer.com/article/10.1007/s00464-012-2264-x>>. Citado na página 4.

- 13 NELSON, W. B. *Accelerated Testing: Statistical Models, Test Plans, and Data Analysis*. [s.n.], 2004. 624 p. ISBN 0471697362. Disponível em: <<http://books.google.com/books?id=ukOPApurPn0C{&}pgi>>. Citado na página 4.
- 14 HOEFFLINGER, B. ITRS The international technology roadmap for semiconductors. *Chips 2020*, 2011. Citado na página 4.
- 15 AMAT, E. et al. Channel Hot-Carrier degradation in short channel devices with high-k/metal gate stacks. In: *2009 Spanish Conference on Electron Devices*. IEEE, 2009. p. 238–241. ISBN 978-1-4244-2838-0. Disponível em: <<http://ieeexplore.ieee.org/document/4800475/>>. Citado na página 6.
- 16 CHO, M. et al. Positive and negative bias temperature instability on sub-nanometer eot high-K MOSFETs. In: *2010 IEEE International Reliability Physics Symposium*. IEEE, 2010. p. 1095–1098. ISBN 978-1-4244-5430-3. Disponível em: <<http://ieeexplore.ieee.org/document/5488667/>>. Citado na página 6.
- 17 SHOCKLEY, W. Problems related to p-n junctions in silicon. *Czechoslovak Journal of Physics*, v. 11, n. 2, p. 81–121, 1961. ISSN 00114626. Citado na página 6.