

Z-ULA - UNIDADE LÓGICA E ARITMÉTICA PARA OPERAÇÕES COM NÚMEROS INTEIROS

RELATÓRIO DESCRIPTIVO

CAMPO DA INVENÇÃO

[001] A ULA é utilizada para realizar cálculos e operações lógicas e, deverá ser utilizada em uma CPU (do inglês - Unidade Central de Processamento)

[002]

ANTERIORIDADES

[003] A patente "Electronic Digital Computer" (US293611A), que foi registrada em 12 de novembro de 1952, reivindica um computador eletrônico digital usado para realização de operações aritméticas, onde o mesmo funciona de acordo com as equações da álgebra de Boole.

[004]

[005] A patente "4-Bit Arithmetic Logic Unit" (DM74LS181), que foi registrada em outubro de 1988 e revisada em 2000, reivindica uma unidade que consegue executar 16 possíveis operações lógicas em 2 variáveis e uma variedade de operações aritméticas.

[006]

DESCRIÇÃO GERAL

[007] A composição da ULA é feita por 7 módulos que realizam operações com vetores de 4 bits : soma, igualdade, maior que, menor que, complemento a dois, AND e XOR.

[008] - SOMA: o módulo de soma é composto por 4 módulos de soma de 1 bit e 5 portas XOR , onde 4 são utilizadas para realizar o complemento a 2 do segundo vetor no caso de uma subtração, e a ultima é utilizada para calcular o overflow.

[009] - IGUALDADE: o módulo de igualdade é composto por 4 módulos de igualdade de 1 bit. O módulo de igualdade de 1 bit por sua vez é composto de 1 porta XOR com saída invertida, 1 porta AND. A porta XOR é utilizada para identificar se as duas são diferentes. A porta AND verifica se os bits anteriores eram iguais.

[010] - MAIOR QUE: o módulo maior que é composto por 4 módulos maior que de 1 bit. O módulo maior que de 1 bit é formado por 2 portas AND, 2 portas OR e 1 inverter. O inverter serve para quando o valor de B for maior que A, assim não fazendo com que a saída do and seja 1 e se o A for menor que o B então A = 0 logo a porta OR também terá saída 0.

[011] - MENOR QUE: o módulo menor que de 4 bits é composto de 4 módulos menor que de 1 bit com cada uma de suas saídas ligadas no carry-in e ao vetor da saída, o módulo menor que de 1 bit por sua vez é composto por duas portas AND, duas portas OR e um inverter, que serve para a porta AND só tenha saída 1 quando A = 0 e B ou carry-in = 1, enquanto a porta AND terá saída 1 quando B e carry-in forem 1 pois isso significaria que B é 1 e ele era maior que A então só existem duas possibilidades 1. B = A ou B > A e como ele já era maior que A antes então ele continuará sendo logo a saída da porta OR será 1.

[012] - COMPLEMENTO A DOIS: o módulo de complemento a dois de 4 bits é composto por 4 módulos de complemento a dois de 1 bit com o primeiro carry-in = 0, pois ele identifica se achamos o primeiro 1, e a partir dele trocamos todos os outros bits e no último módulo o carry-out é 0 pois não o utilizaremos para nada, o módulo de complemento a dois de 1 bit é composto por uma porta XOR e uma porta OR, onde a porta XOR faz com que quando ambos A e carry-in forem 1 a saída seja 0, e quando o carry-in for 1 e A = 0 a saída seja 1 assim alterando todos os bits após o primeiro bit com valor 1.

[013] - AND: o módulo AND de 4 bits é formado por 4 portas AND que recebem cada bit dos vetores de entrada e adicionam suas saídas nos respectivos bits do vetor de saída.

[014] - XOR: o módulo XOR de 4 bits é formado por 4 portas XOR que recebe

em cada bit dos vetores de entrada e adicionam suas saídas nos respectivos bits do vetor de saída.

[015] - SOMADOR BCD: o módulo consiste em 6 módulos de soma de 1 bit. O circuito foi projetado a fim de somar números de 4 bits de forma a representar sua soma com 1 bit de Overflow para representar que a adição gerou mais 1 bit, o de dezena.

[016]

MODALIDADES PREFERIDAS

[017] A primeira modalidade preferida para essa ULA é o uso para operações matemáticas e operações lógicas de 4 bits (para A e B vetores, sendo o bit mais significativo o bit de sinal.). As operações lógicas cobertas são:

[018] • A AND B

[019] • A XOR B

Enquanto as operações matemáticas são:

- A+B

- A-B

- A=B

- A>B

- A<B

[020]

REMINDICAÇÕES

1. Operações aritméticas e lógicas feitas através de um vetor seletor de 3 bits, que acionará algum módulo da ULA e realizará a operação, das quais seus códigos são os seguintes:

000 - A+B

001 - A-B

010 - Complemento a 2 do vetor de 4 bits

011 - A=B

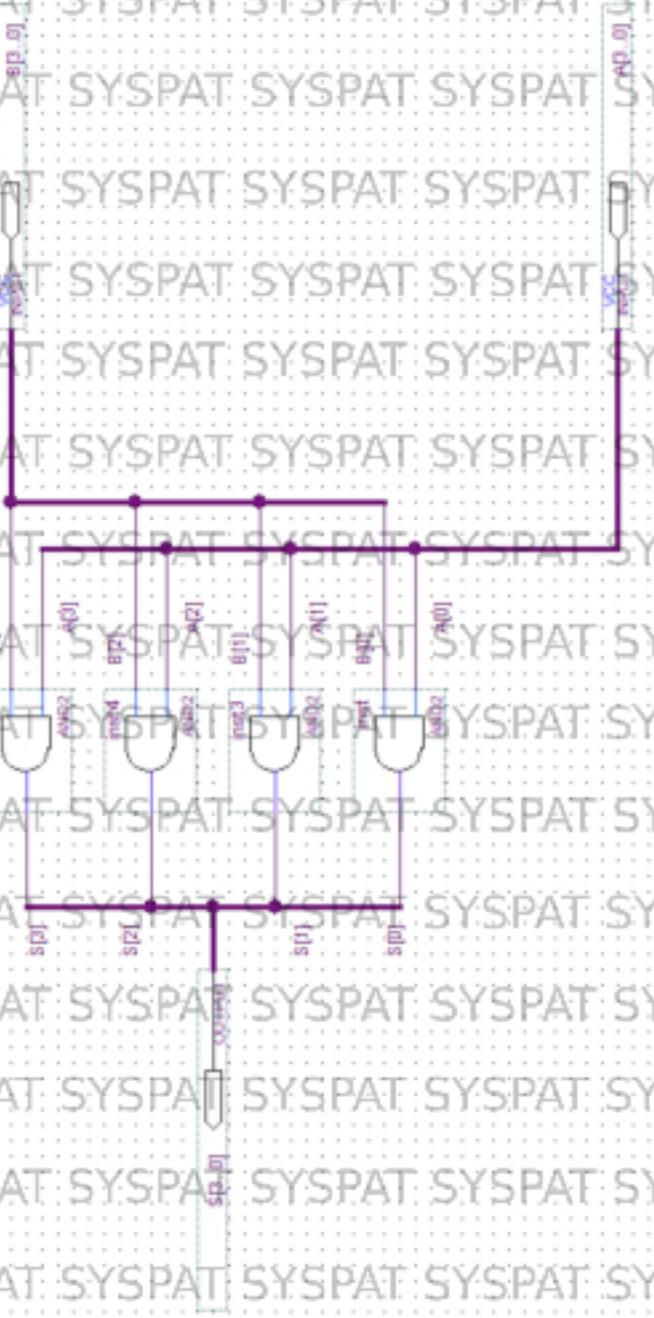
100 - A>B

101 - A<B

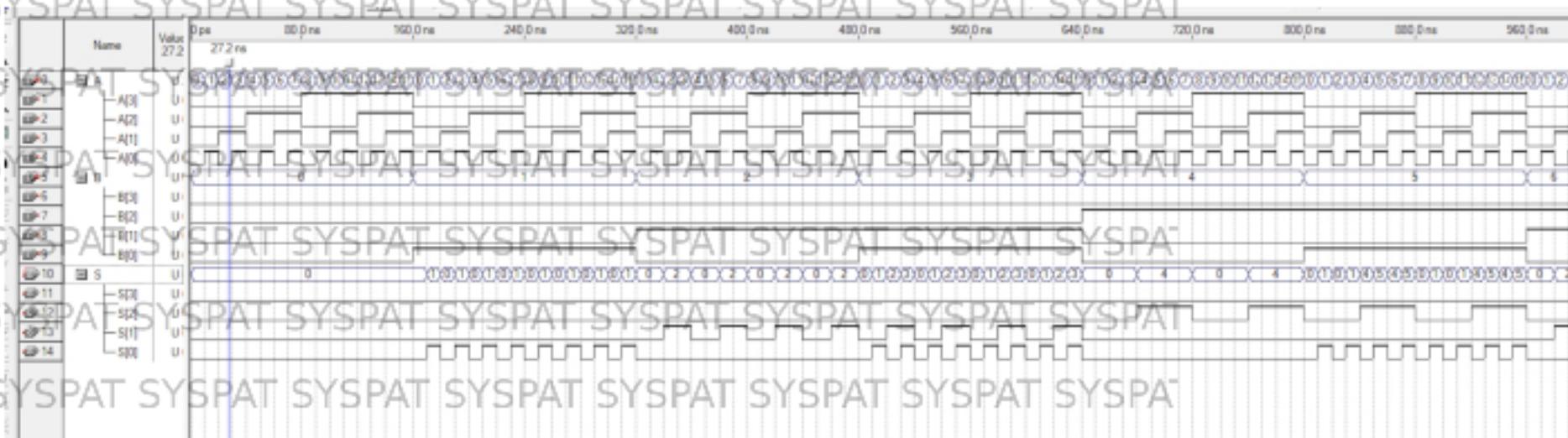
110 - AANDB

111 - AXORB

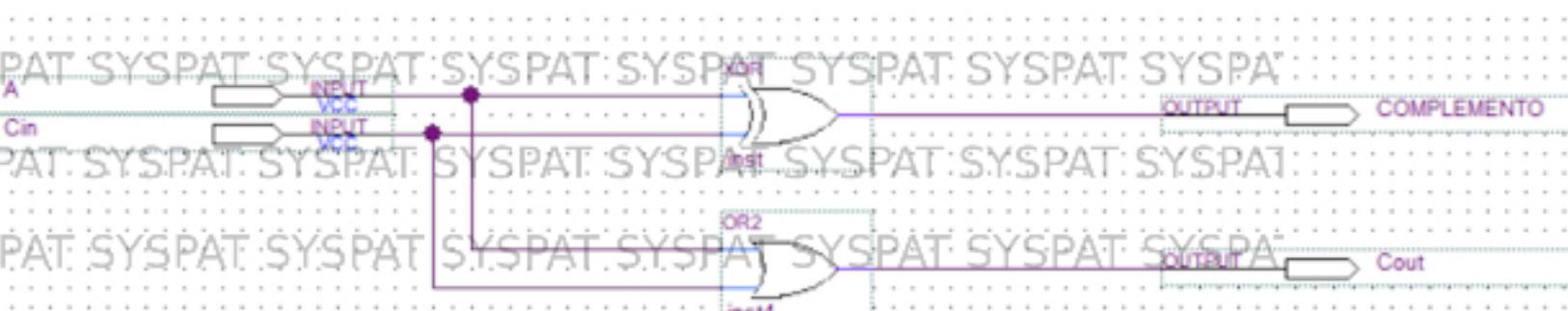
com vetores A e B compostos por 4 bits, onde o bit mais significativo é o bit de sinal.

DESENHOS**AND 4 BITS DIAGRAMA**

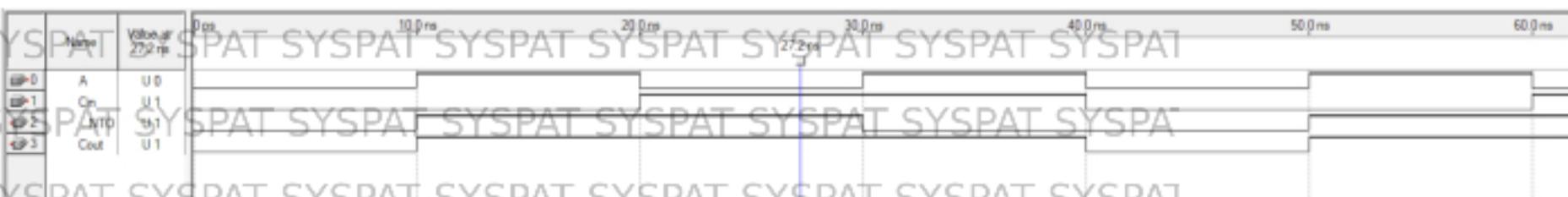
2/3



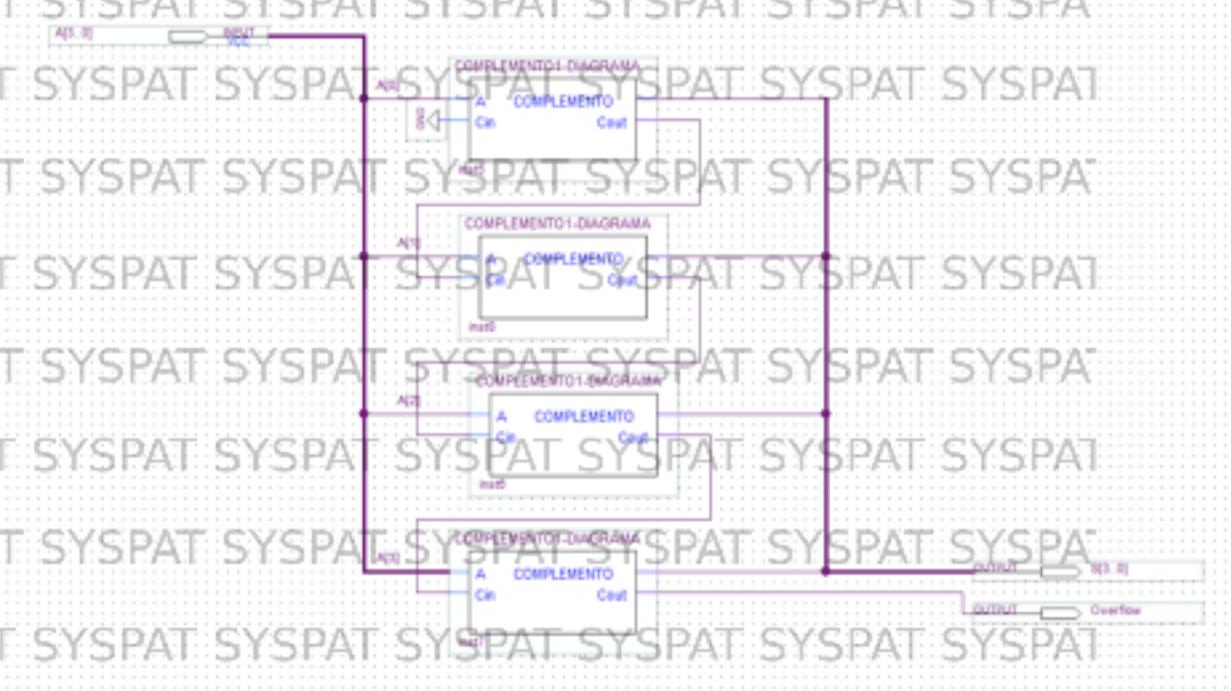
AND 4 BITS WAVEFORM



COMPLEMENTO A 2 BIT DIAGRAMA

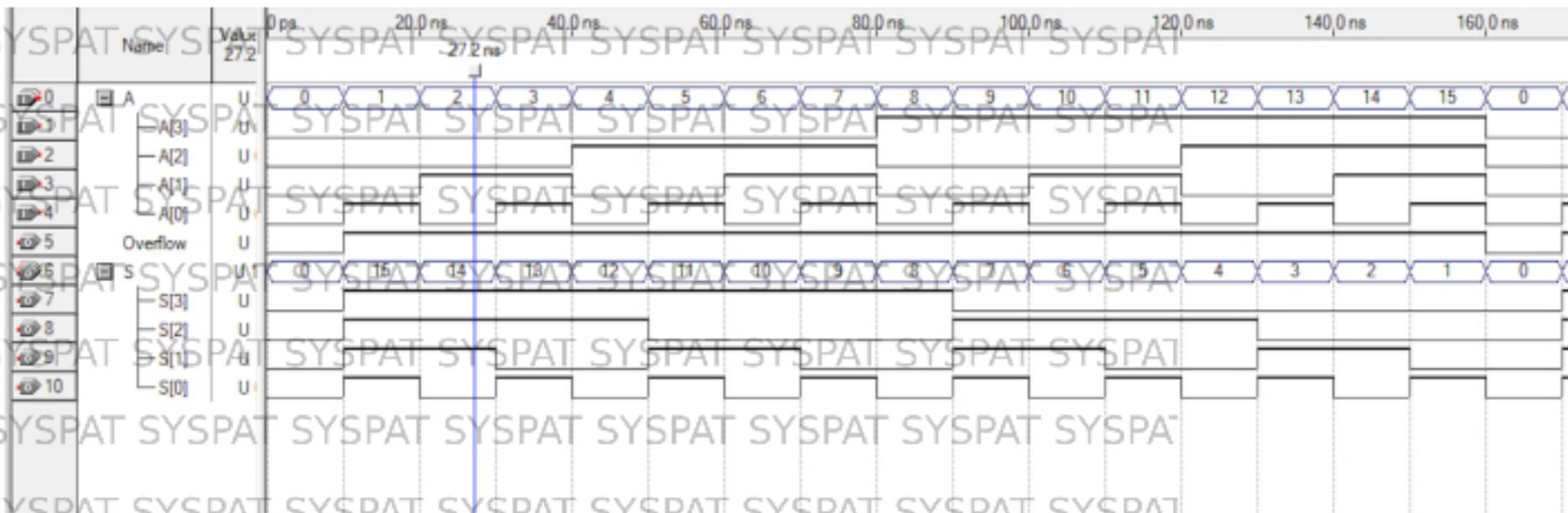


COMPLEMENTO A 2 1 BIT WAVEFORM



COMPLEMENTO A 4 BITS DIAGRAMA

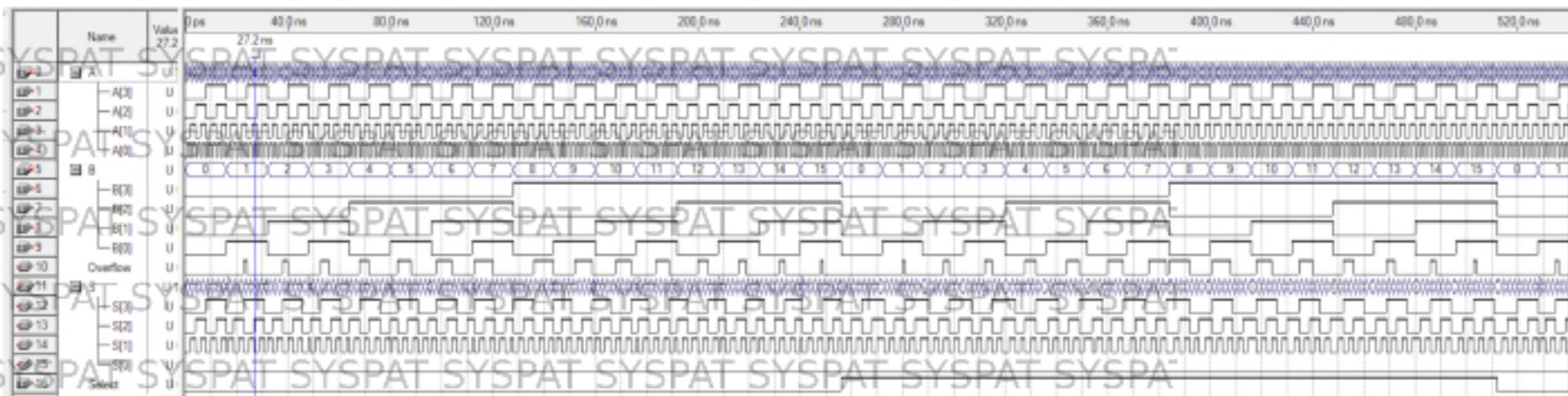
6/32

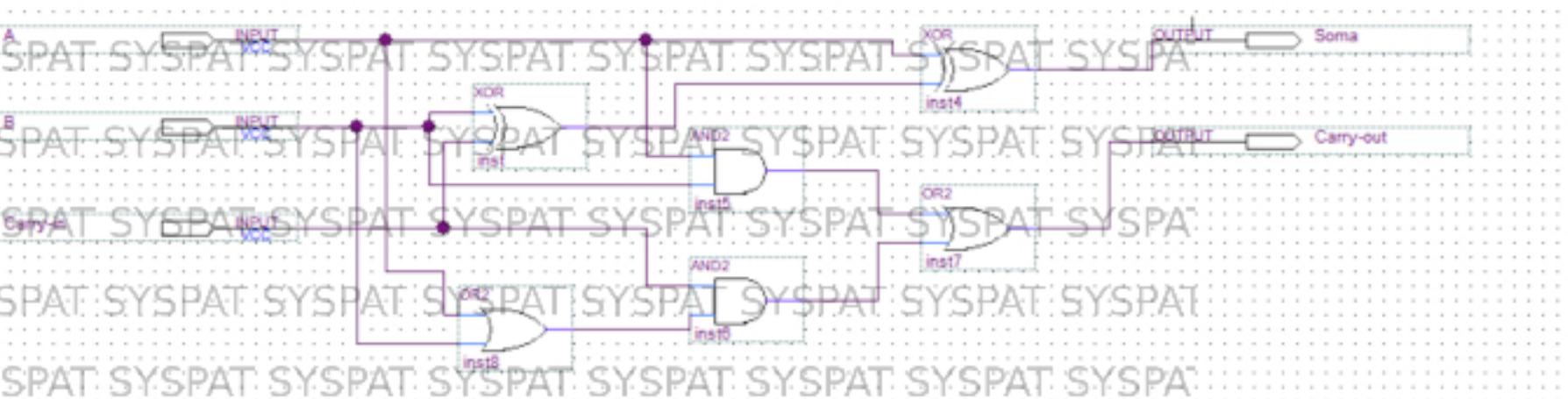


COMPLEMENTO A 2 4 BITS WAVEFORM

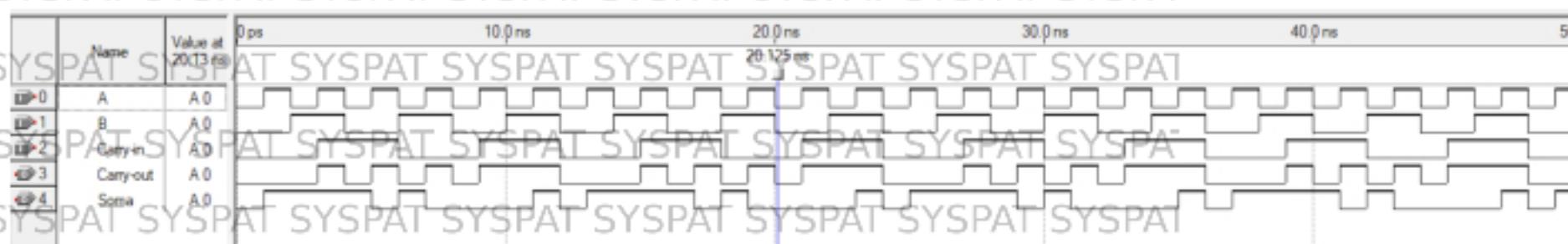


SOMA 4 BITS - DIAGRAMA

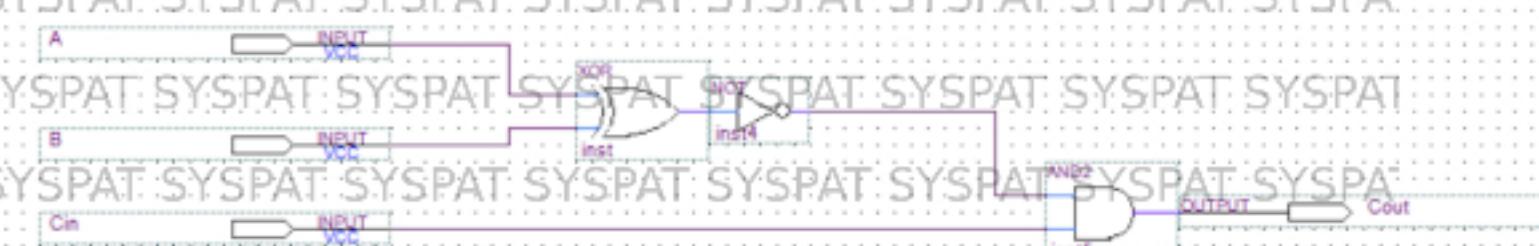




SOMA 1 BIT DIAGRAMA

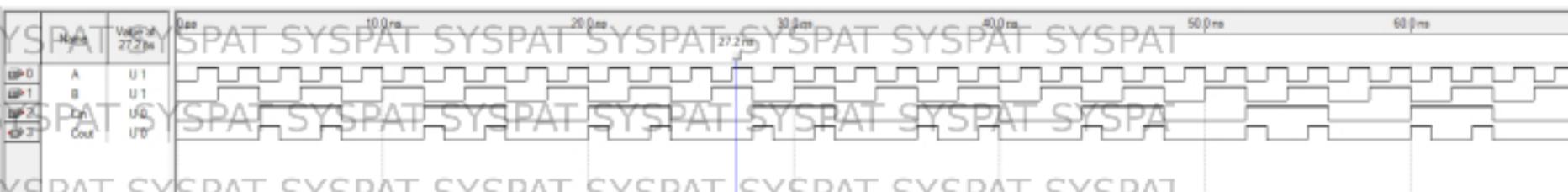


SOMA 1 BIT WAVEFORM

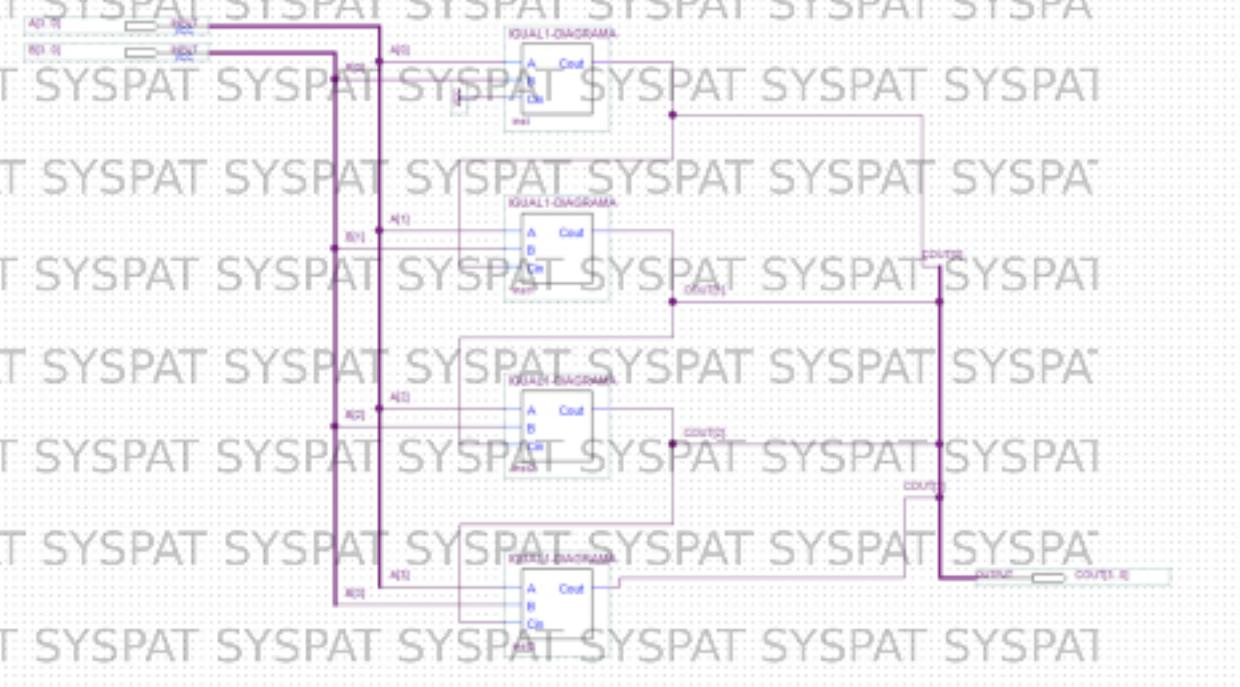


IGUAL 1 BIT DIAGRAMA

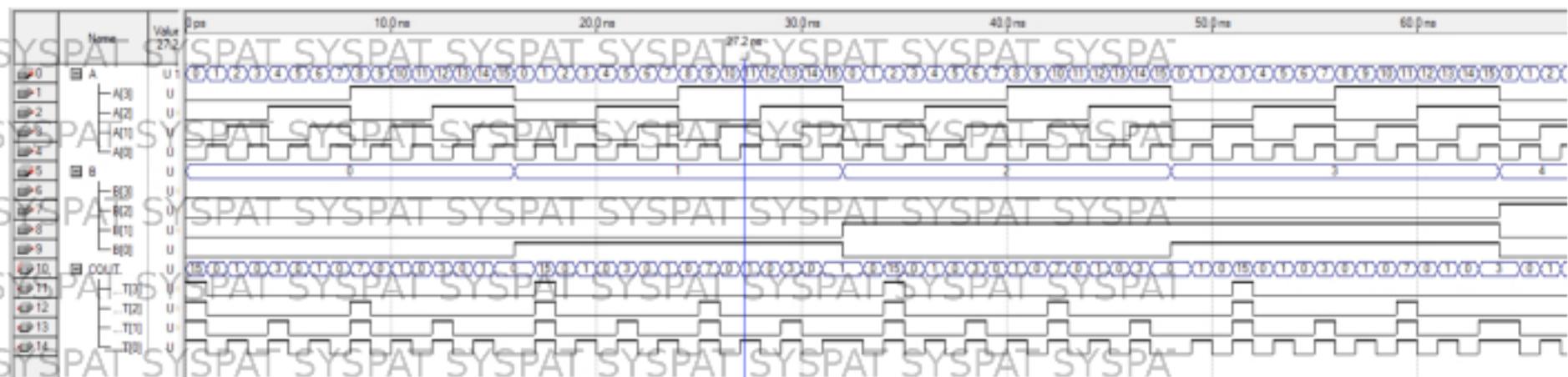
12/32



1 BIT WAVEFORM

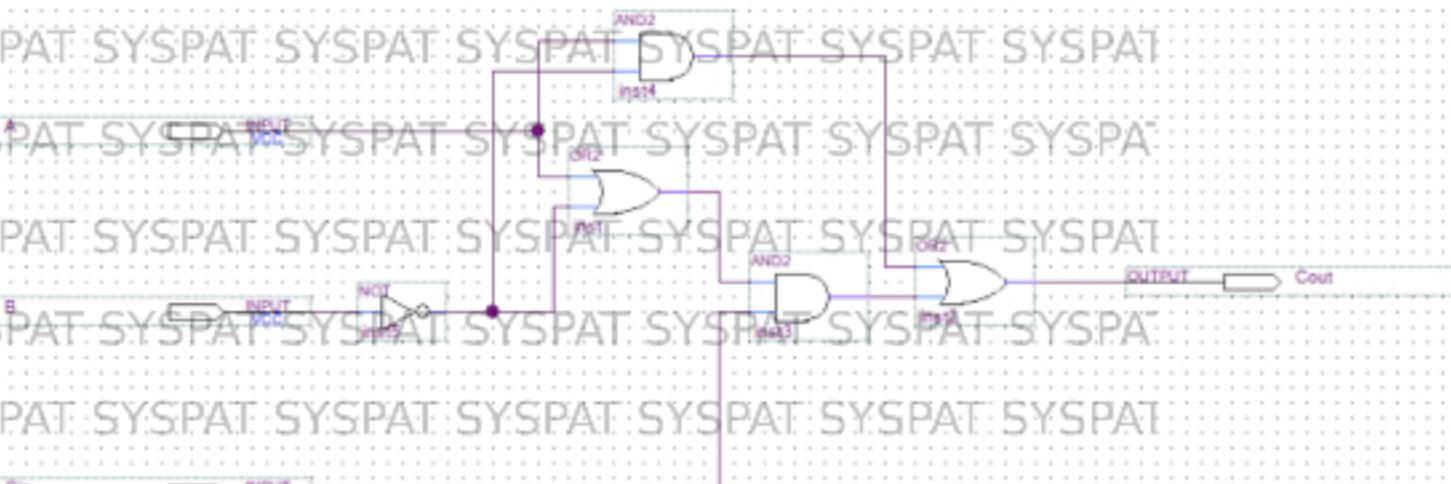


IGUAL 4 BITS DIAGRAMA

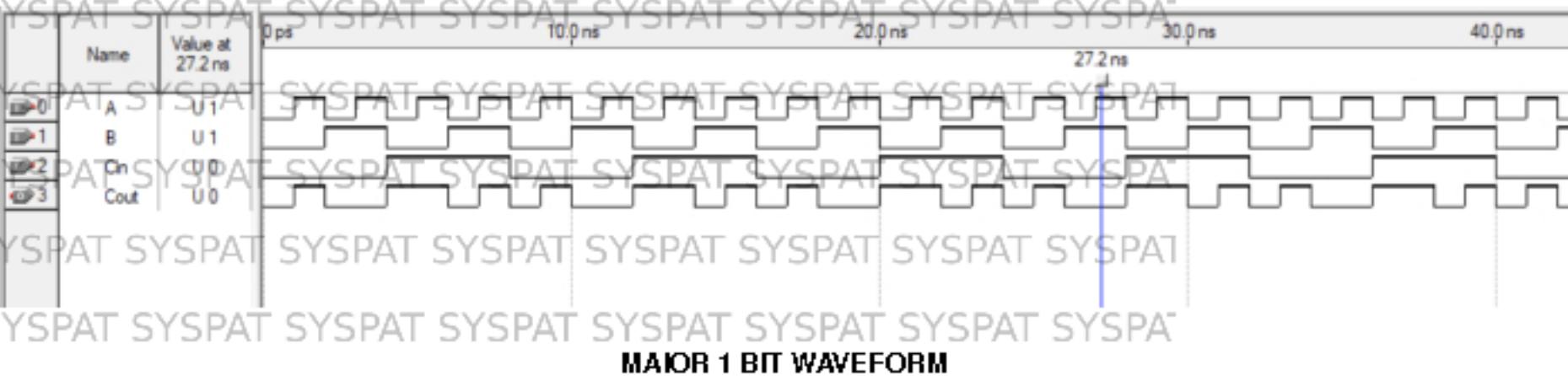


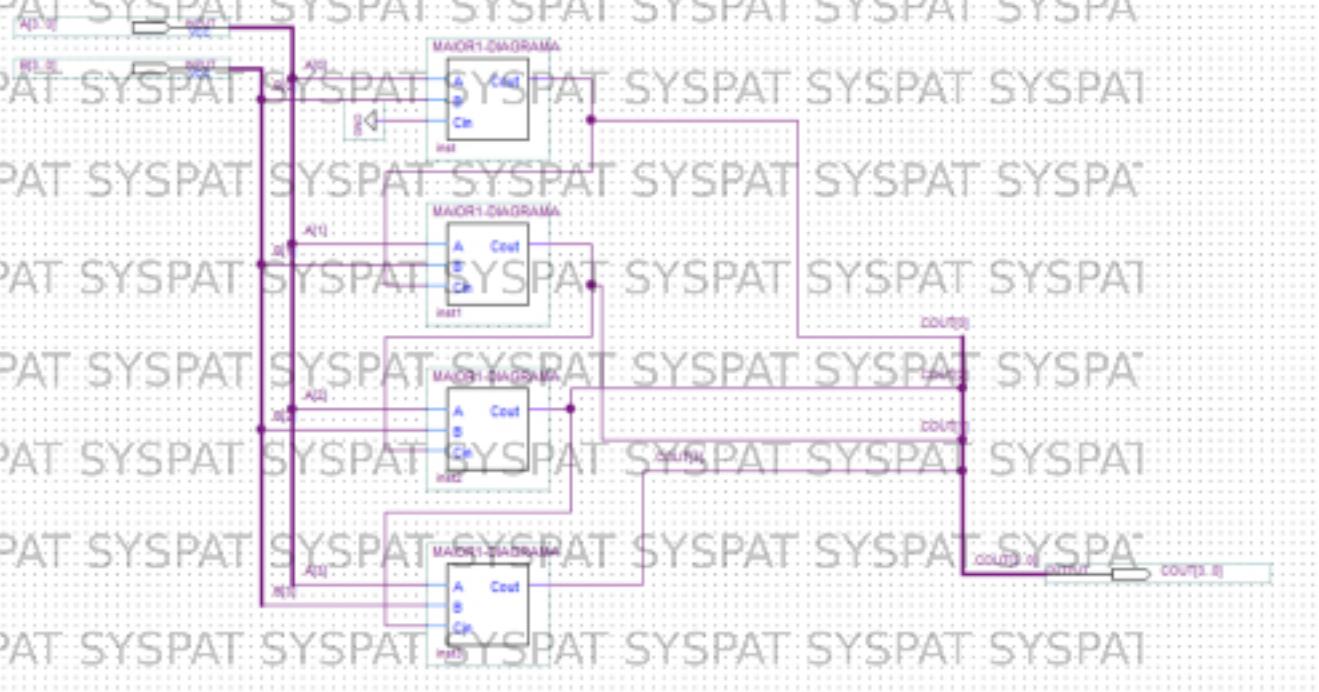
IGUAL 4 BITS WAVEFORM

15'32

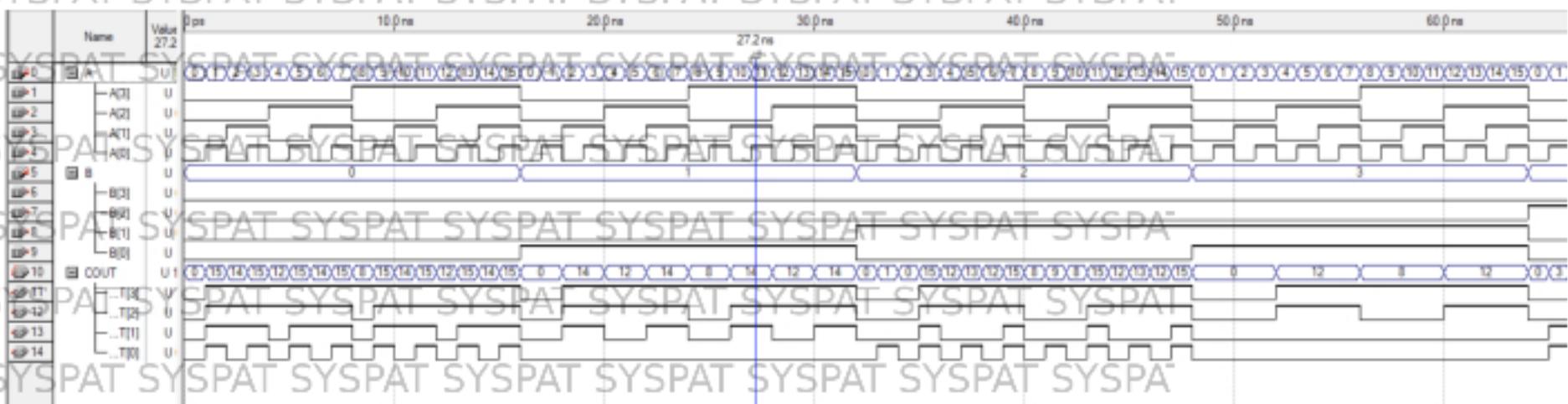


MAJOR 1 BIT DIAGRAMA

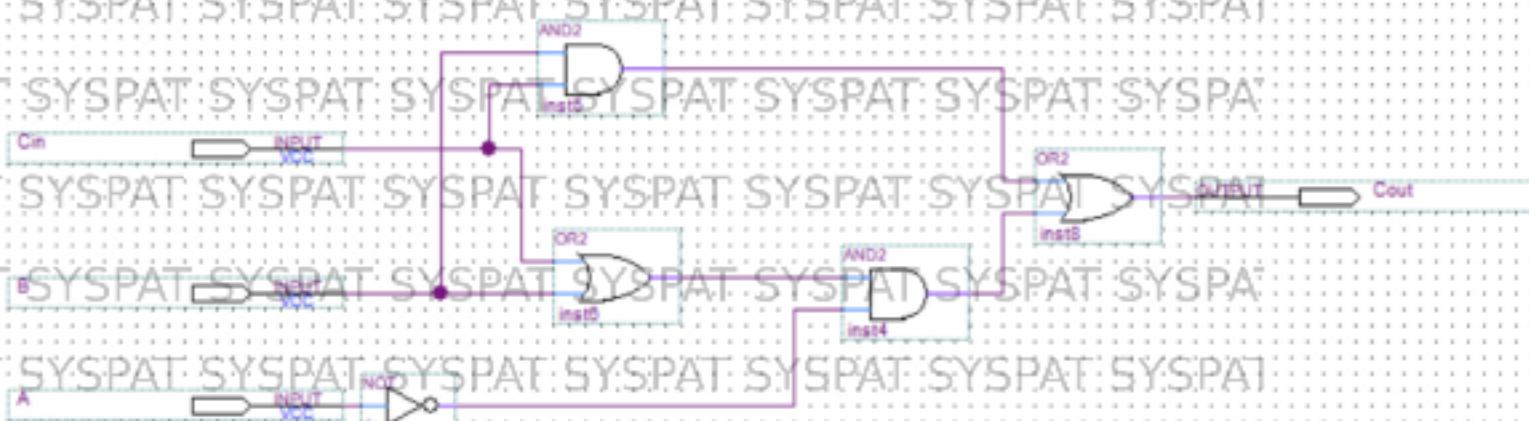




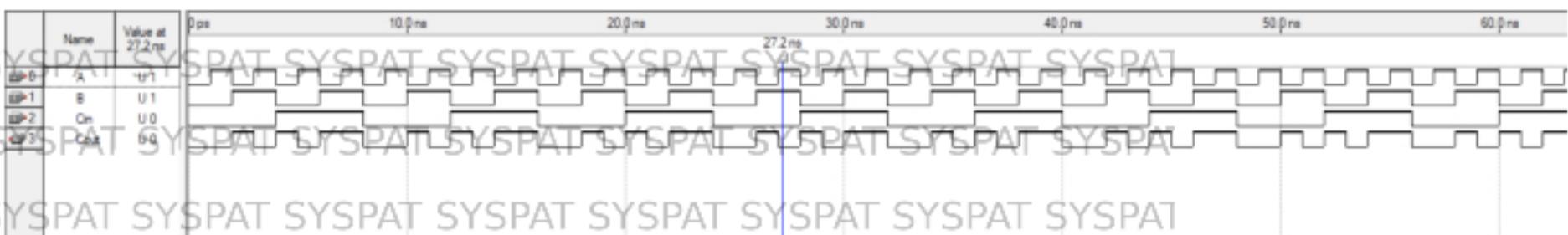
MAJOR 4 BITS DIAGRAMA



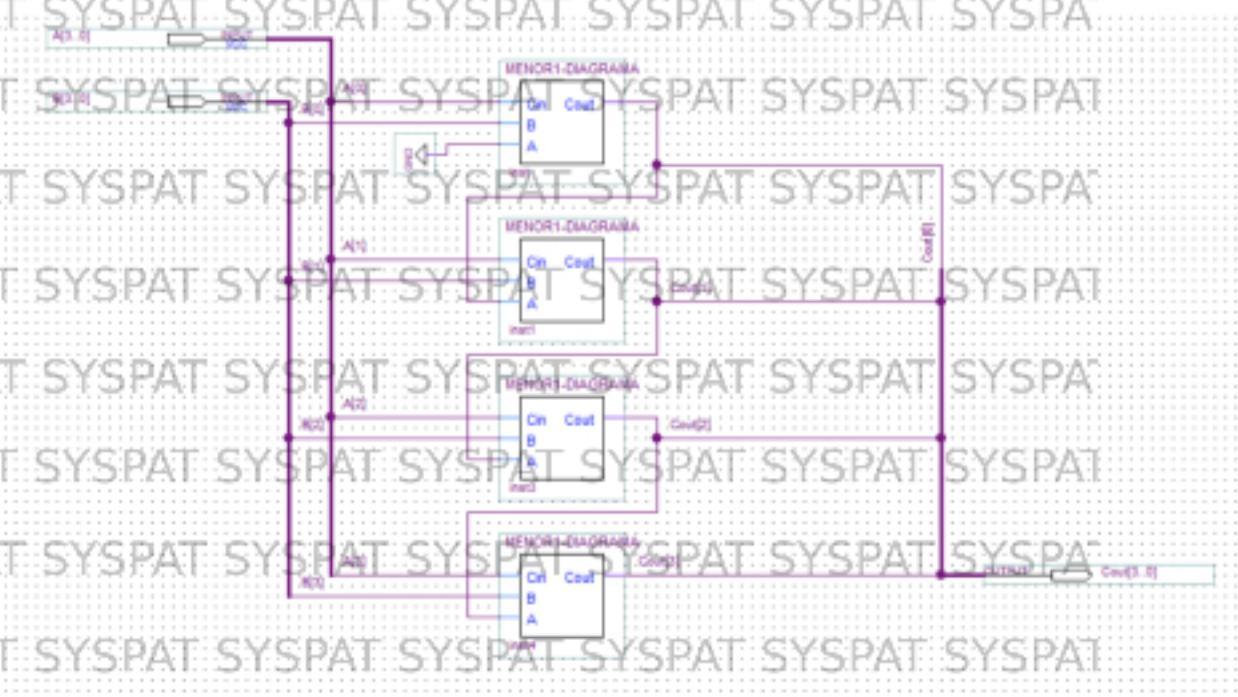
MAJOR 4 BITS WAVEFORM



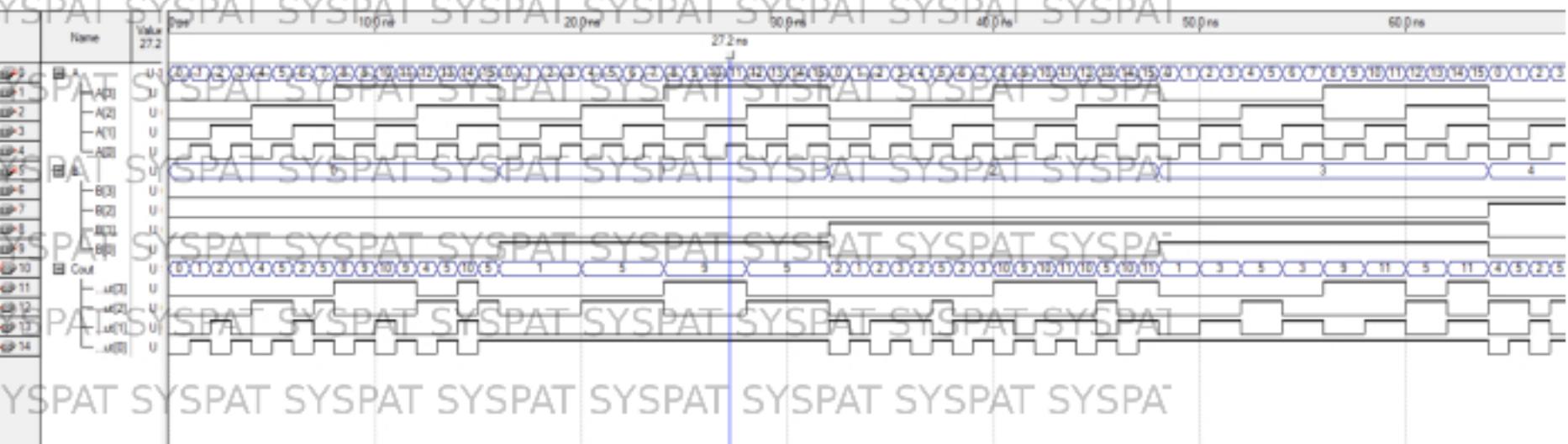
MENOR 1 BIT DIAGRAMA

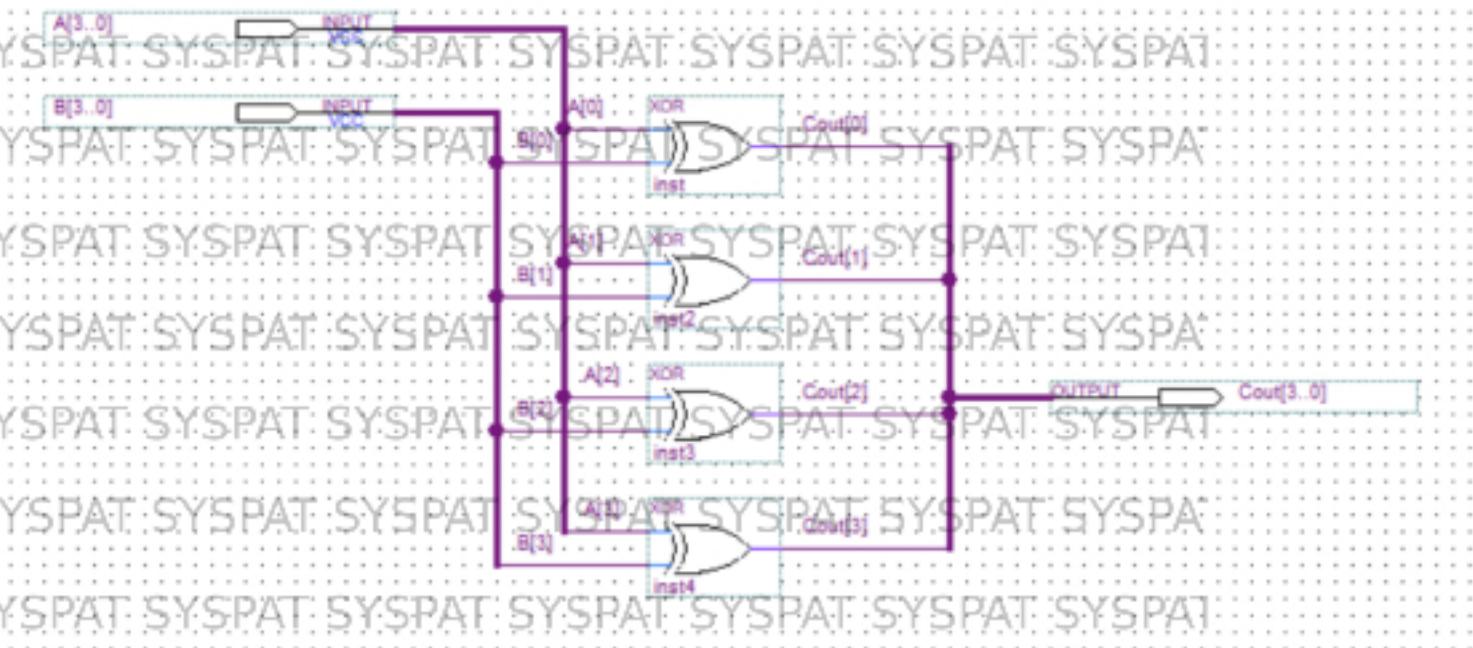


MENOR 1 BIT WAVEFORM

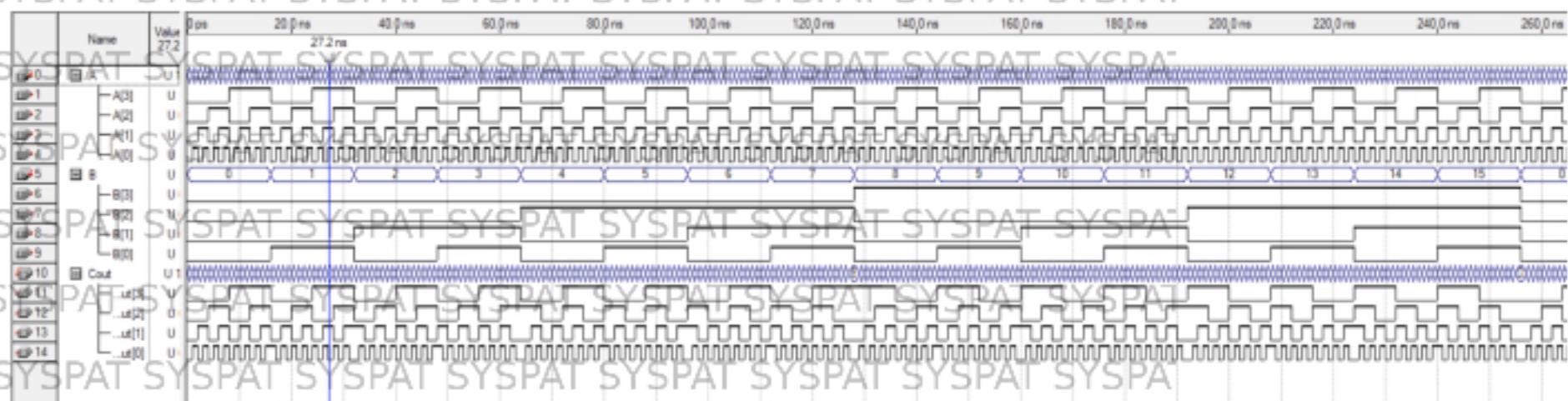


MENOR 4 BITS DIAGRAMA

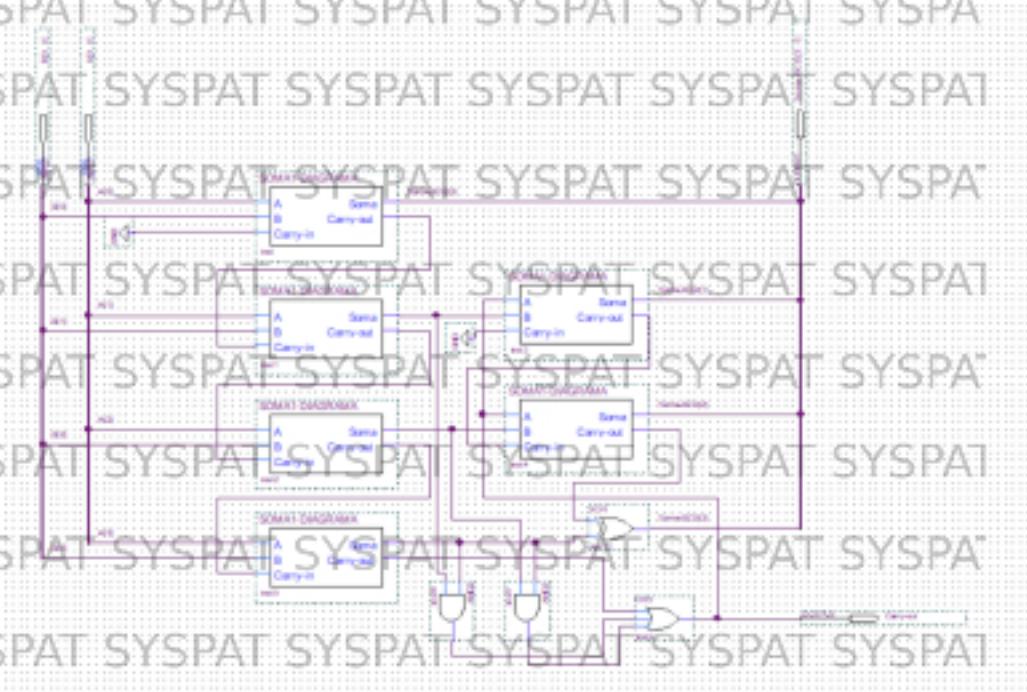




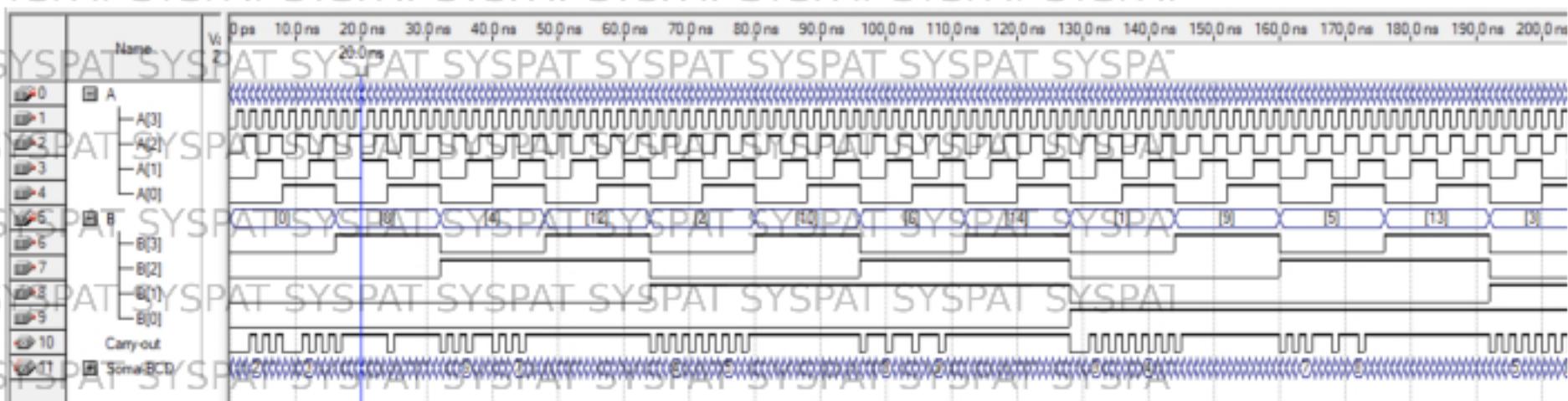
XOR 4 BIT DIAGRAMA

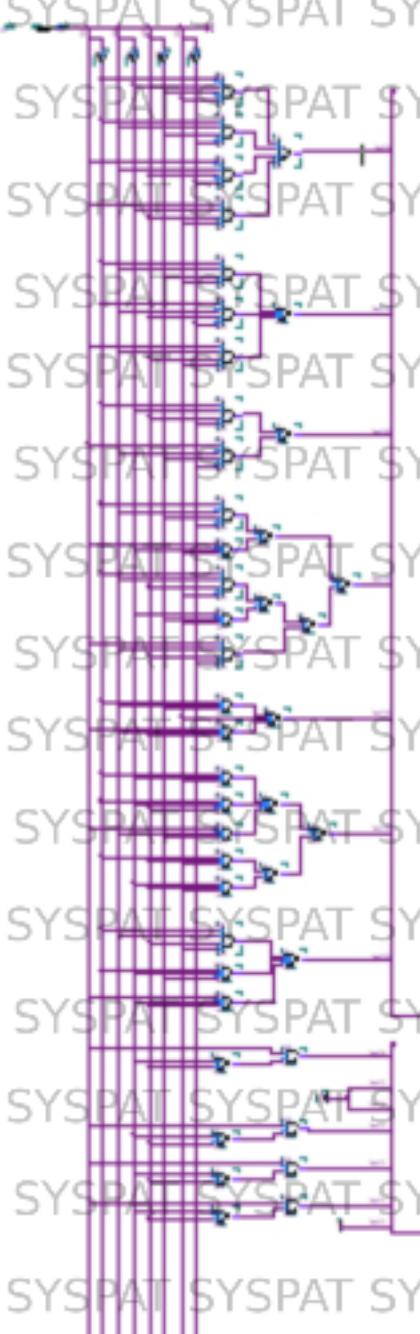


XOR 4 BIT WAVEFORM

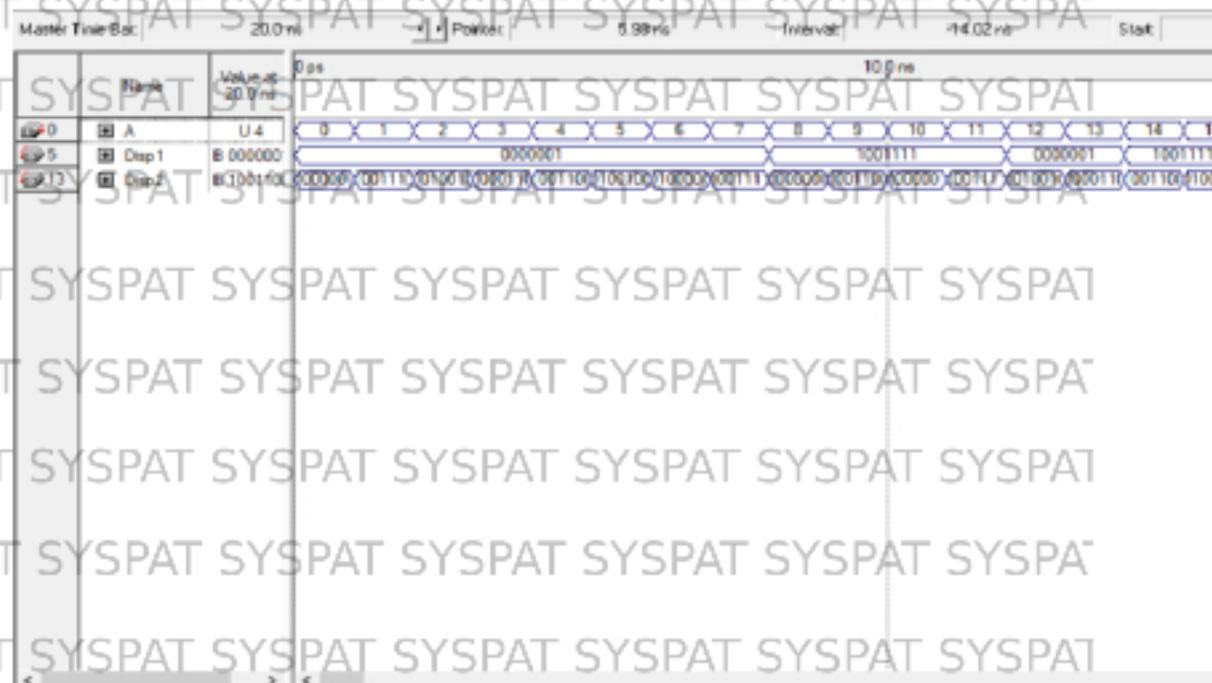


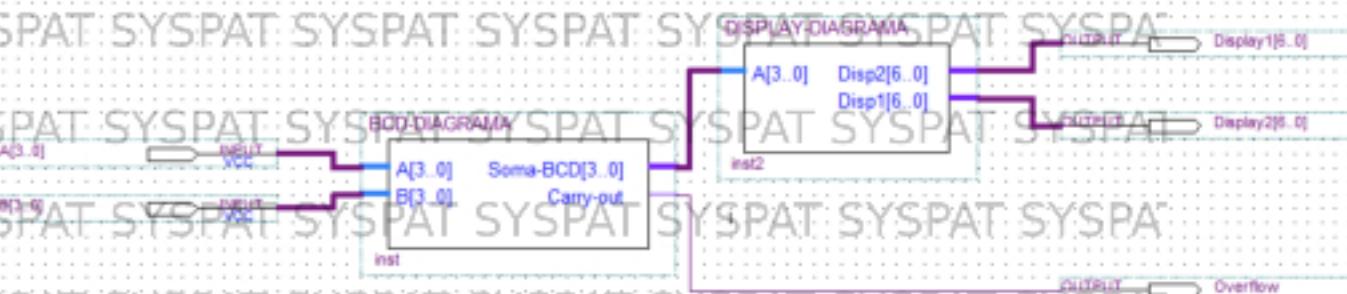
BCD DIAGRAM





DISPLAY DIAGRAMA

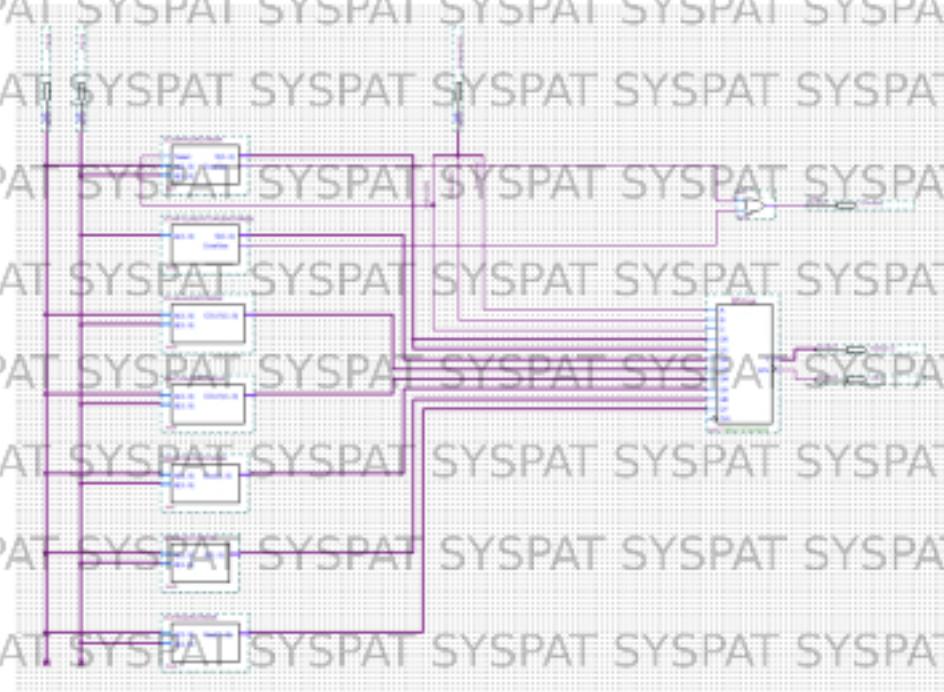




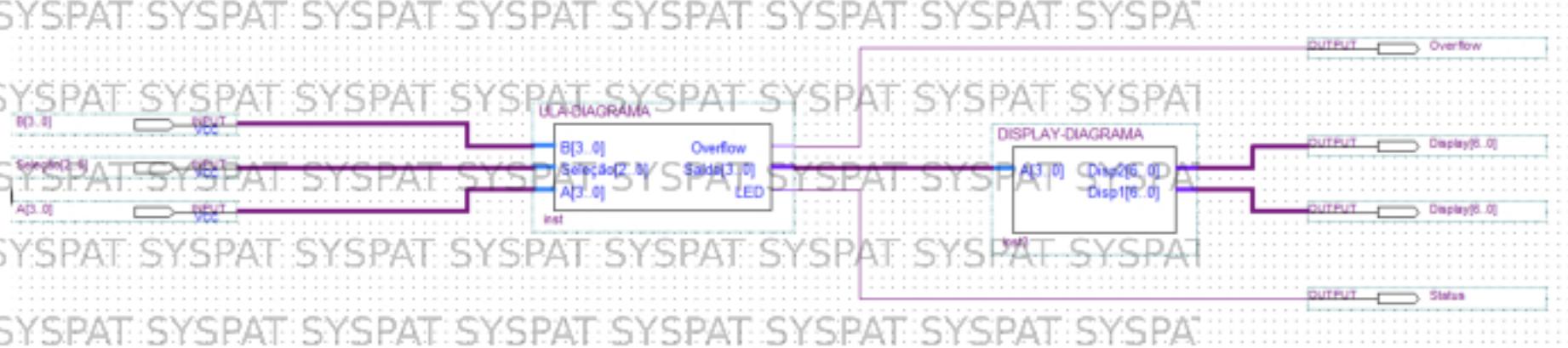
BCD COMPLETO DIAGRAMA

30/32

BCD COMPLETO WAVE FORM



ULA DIAGRAM



ULA COMPLETA DIAGRAMA

Z-ULA - UNIDADE LÓGICA E ARITMÉTICA PARA OPERAÇÕES COM NÚMEROS INTEIROS

RESUMO

A criação supracitada versa sobre uma unidade lógica aritmética (ULA), capaz de realizar operações matemáticas e lógicas, entre números inteiros, representados por vetores binários de 4 bits, onde o bit mais significativo é o de sinal. A ULA compõe a unidade central de processamento (CPU) presente nos computadores, junto com outros componentes. O circuito conta com um vetor de seleção de 3 bits, onde cada combinação dos mesmos, aciona um módulo da ULA.