

Experimento 4

PROJETO MODULAR

OBJETIVOS

- Utilizar multiplexadores e decodificadores para implementar circuitos lógicos combinacionais.
- Estudar técnicas de projeto modular em VHDL, desenvolvendo sistemas grandes a partir de circuitos menores interligados entre si.

ATIVIDADES

1. Escreva em VHDL e simule no ModelSim uma entidade com 3 bits de entrada (A , B e C) e 2 bits de saída (X e Y) que implemente as funções lógicas

$$X = \bar{A}BC + A\bar{B}\bar{C} + AB,$$

$$Y = \bar{A}\bar{B} + \bar{A}B\bar{C} + ABC.$$

Sua arquitetura poderá usar **somente** dois multiplexadores 4x1 e uma porta inversora. Os multiplexadores e a porta devem ser incluídos no código da entidade principal como “component”. A arquitetura da entidade principal deve apenas fazer a conexão entre os componentes, sem usar operações lógicas adicionais.

2. Escreva em VHDL e simule no ModelSim uma entidade com 7 bits de entrada (A , B , C , D , E , F e G) e 1 bit de saída (Z) que implemente a função lógica

$$Z = FG + ABCDE\bar{F}\bar{G} + \bar{A}\bar{B}\bar{C}\bar{D}\bar{E}\bar{F}\bar{G} + \bar{A}\bar{B}CE\bar{F}\bar{G} + \bar{A}BCD\bar{E}\bar{F}\bar{G} + ABCDE\bar{F}\bar{G} + \bar{A}\bar{B}\bar{C}DE\bar{F}\bar{G}.$$

Sua arquitetura deve usar **somente** um decodificador de 4 para 16, um multiplexador de 8 para 1 e quantas portas OU forem necessárias. Mais uma vez, os elementos permitidos devem ser incluídos no código da entidade principal como componentes e a arquitetura da entidade principal deve apenas fazer a conexão entre eles. **Dica:** use as variáveis E , F e G como entradas de seleção do multiplexador.

Observação: os multiplexadores e o decodificador destas atividades foram implementados em experimentos anteriores.

RELATÓRIO

O relatório deve permitir ao leitor entender as atividades desenvolvidas no experimento mesmo sem acesso ao roteiro. O relatório é **individual** e deve ser entregue dentro do prazo indicado na Tabela 1 para cada turma usando o link adequado. **Relatórios atrasados e/ou entregues pelo link errado não serão aceitos. Para este experimento, também é necessário enviar os códigos VHDL desenvolvidos em um arquivo ZIP.**

Tabela 1 - Prazos e links para entrega do relatório e dos códigos

TURMA	PRAZO PARA ENTREGA	LINK PARA ENTREGA
T08	11/12/2024 às 8h	https://forms.gle/bRVmh3D24cvSZhJm9
T09	13/12/2024 às 16h	https://forms.gle/wmwQ2eqjKB3pKcvq6
T10	13/12/2024 às 14h	https://forms.gle/axRLm4ZHNhHVrCrRA

Para a correção, serão valorizadas, também, a clareza, a formatação e a linguagem do relatório. Lembre-se de incluir legendas nas figuras e tabelas, explicar seu raciocínio para desenvolver as soluções de forma clara, passo a passo, e, quando necessário, referenciar figuras, tabelas e equações.

O relatório deve conter, minimamente:

- número do experimento e identificação do aluno (nome completo, matrícula e turma);
- explicações dos códigos desenvolvidos (em particular, do método utilizado para projetar os circuitos usando multiplexadores e decodificadores);
- diagramas mostrando as conexões feitas entre os componentes por cada código;
- as tabelas-verdade das funções lógicas implementadas;
- gráficos de simulações no ModelSim que confirmem que o código desenvolvido implementa a tabela-verdade desejada (estas simulações devem estar claramente comentadas, com descrições que permitam entender facilmente quais são os sinais mostrados, quais intervalos de tempo do gráfico ilustram quais linhas da tabela-verdade).