

# Experimento 8

## CONTADORES BCD

### OBJETIVOS

- Implementar um contador BCD módulo 10 como uma máquina de estados do tipo Moore.
- Implementar um contador BCD módulo 100 usando contadores BCD módulo 10 em cascata.

### ATIVIDADES

1. Implemente em VHDL e simule no ModelSim um contador BCD módulo 10. Este contador deve ser implementado como uma máquina de Moore com 10 estados, cada um associado a um número de 0 a 9. Este contador deve ter duas saídas: Q, de 4 bits, que é a representação BCD do estado atual e RCO que é 0 no estado 9 e 1 nos outros estados. Este contador deve ter as seguintes entradas:
  - CLOCK: é o clock do sistema. As transições de estado acontecem apenas na borda de subida do clock (inclusive transições causadas pelo RESET e LOAD).
  - RESET: quando igual a 1, a máquina deve retornar ao estado inicial (associado ao número 0).
  - ENABLE e RCI: ambas ativas em nível baixo. A contagem acontece apenas se ENABLE = RCI = 0.
  - D: entrada de quatro bits.
  - LOAD: se LOAD = 1, a máquina vai (de forma síncrona) para o estado associado ao número representado pelo valor da entrada D.

Se tanto a entrada LOAD quanto a entrada RESET estiverem no nível alto, RESET tem prioridade. Tanto LOAD quanto RESET têm prioridade sobre a contagem.

2. Implemente em VHDL e simule no ModelSim um contador BCD módulo 100. Este contador deve ser implementado usando apenas os contadores módulo 10 desenvolvidos na atividade anterior como componentes. Este contador terá duas saídas de 4 bits: Q\_UNIDADE e Q\_DEZENA, que representam, respectivamente, a unidade e a dezena do número atual da contagem em BCD. As estradas são:
  - CLOCK: é o clock do sistema. As transições de estado acontecem apenas na borda de subida do clock (inclusive transições causadas pelo RESET e LOAD).
  - RESET: quando igual a 1, o contador deve retornar para 0.
  - ENABLE: ativa em nível baixo. A contagem acontece apenas se ENABLE = 0.
  - D\_UNIDADE e D\_DEZENA: entradas de quatro bits cada.
  - LOAD: se LOAD = 1, o contador deve fazer  $Q\_UNIDADE \leq D\_UNIDADE$  e  $Q\_DEZENA \leq D\_DEZENA$  (de forma síncrona).

Se tanto a entrada LOAD quanto a entrada RESET estiverem no nível alto, RESET tem prioridade. Tanto LOAD quanto RESET têm prioridade sobre a contagem.

## RELATÓRIO

O relatório deve permitir ao leitor entender as atividades desenvolvidas no experimento mesmo sem acesso ao roteiro. O relatório é **individual** e deve ser entregue dentro do prazo indicado na Tabela 1 para cada turma usando o link adequado. **Relatórios atrasados e/ou entregues pelo link errado não serão aceitos. Para este experimento, também é necessário enviar os códigos VHDL desenvolvidos em um arquivo ZIP.**

*Tabela 1 - Prazos e links para entrega do relatório e dos códigos*

TURMA	PRAZO PARA ENTREGA	LINK PARA ENTREGA
T08	12/02/2025 às 8h	<a href="https://forms.gle/D5uHedGSr4oWeLXQ7">https://forms.gle/D5uHedGSr4oWeLXQ7</a>
T09	14/02/2025 às 16h	<a href="https://forms.gle/5kx9gW4cB5BTZhVF6">https://forms.gle/5kx9gW4cB5BTZhVF6</a>
T10	14/02/2025 às 14h	<a href="https://forms.gle/NAbTXnXp3fShjgFr9">https://forms.gle/NAbTXnXp3fShjgFr9</a>

Para a correção, serão valorizadas, também, a clareza, a formatação e a linguagem do relatório. Lembre-se de incluir legendas nas figuras e tabelas, explicar seu raciocínio para desenvolver as soluções de forma clara, passo a passo, e, quando necessário, referenciar figuras, tabelas e equações.

O relatório deve conter, minimamente:

- número do experimento e identificação do aluno (nome completo, matrícula e turma);
- explicações sobre os códigos desenvolvidos;
- o diagrama de transição de estados da máquina de estados implementada;
- a tabela de estados e saídas da máquina de estados implementadas;
- um diagrama mostrando a conexão entre os contadores módulo 10 para criar o contador módulo 100.
- gráficos de simulações no ModelSim que confirmem que o código desenvolvido implementa a solução desejada (estas simulações devem estar claramente comentadas, com descrições que permitam entender facilmente quais são os sinais mostrados, quais intervalos de tempo do gráfico ilustram quais linhas da tabela-verdade).