

Experimento 6

CIRCUITOS SEQUENCIAIS

OBJETIVOS

- Usar a estrutura “process” da linguagem VHDL.
- Implementar e simular circuitos sequenciais.

ATENÇÃO! Antes de começar as atividades, leia os arquivos auxiliares de teoria disponíveis em https://drive.google.com/drive/folders/198QXy6YgdTLwSdhcJnZmw2AbjduBvFn0?usp=drive_link

ATIVIDADES

1. Usando a estrutura “process” da linguagem VHDL, implemente e simule no ModelSim um flip-flop JK gatilhado pela borda de subida com funcionamento descrito pela Tabela 1. Q é a saída do flip-flop e as outras variáveis na tabela são entradas, CLK é o clock, os valores marcados como X não afetam o valor da saída.

Tabela 1 - Tabela-verdade do flip-flop JK

PR	CLR	CLK	J	K	Q
1	X	X	X	X	1
0	1	X	X	X	0
0	0	Transição de 0 para 1	0	0	Mantém
0	0	Transição de 0 para 1	0	1	0
0	0	Transição de 0 para 1	1	0	1
0	0	Transição de 0 para 1	1	1	Inverte
0	0	Outros	X	X	Mantém

2. Usando a estrutura “process”, implemente em VHDL e simule no ModelSim um registrador de deslocamento bidirecional de 4 bits com funcionamento descrito pela Tabela 2. Q é a saída e as outras variáveis na tabela são entradas, CLK é o clock e o X indica que o valor daquela entrada não afeta a saída. Respeite a ordem de significância dos bits dos vetores: o bit mais à direita é o menos significativo.

Tabela 2 - Tabela-verdade do registrador de deslocamento

CLK	RST	LOAD	D	DIR	L	R	Q
Transição de 0 para 1	1	X	XXXX	X	X	X	0000
Transição de 0 para 1	0	1	$D_3D_2D_1D_0$	X	X	X	$D_3D_2D_1D_0$
Transição de 0 para 1	0	0	XXXX	0	0	X	$Q_2Q_1Q_00$
Transição de 0 para 1	0	0	XXXX	0	1	X	$Q_2Q_1Q_01$
Transição de 0 para 1	0	0	XXXX	1	X	0	$0Q_3Q_2Q_1$
Transição de 0 para 1	0	0	XXXX	1	X	1	$1Q_3Q_2Q_1$
Outros	X	X	XXXX	X	X	X	mantém

RELATÓRIO

O relatório deve permitir ao leitor entender as atividades desenvolvidas no experimento mesmo sem acesso ao roteiro. O relatório é **individual** e deve ser entregue dentro do prazo indicado na Tabela 3 para cada turma usando o link adequado. **Relatórios atrasados e/ou entregues pelo link errado não serão aceitos. Para este experimento, também é necessário enviar os códigos VHDL desenvolvidos em um arquivo ZIP.**

Tabela 3 - Prazos e links para entrega do relatório e dos códigos

TURMA	PRAZO PARA ENTREGA	LINK PARA ENTREGA
T08	22/01/2025 às 8h	https://forms.gle/fiPRXS8cWYu1gX3w6
T09	24/01/2025 às 16h	https://forms.gle/xv5s1Dz3ehWAVmscA
T10	24/01/2025 às 14h	https://forms.gle/mtVgFD2RWN553p5s9

Para a correção, serão valorizadas, também, a clareza, a formatação e a linguagem do relatório. Lembre-se de incluir legendas nas figuras e tabelas, explicar seu raciocínio para desenvolver as soluções de forma clara, passo a passo, e, quando necessário, referenciar figuras, tabelas e equações.

O relatório deve conter, minimamente:

- número do experimento e identificação do aluno (nome completo, matrícula e turma);
- explicações sobre os códigos desenvolvidos;
- as tabelas-verdade dos circuitos implementados;

- gráficos de simulações no ModelSim que confirmem que o código desenvolvido implementa a tabela-verdade desejada (estas simulações devem estar claramente comentadas, com descrições que permitam entender facilmente quais são os sinais mostrados, quais intervalos de tempo do gráfico ilustram quais linhas da tabela-verdade).