Experimento 5
OPERAÇÕES ARITMÉTICAS E TESTBENCHES

OBJETIVOS

- Implementar um somador de palavras binárias usando somadores completos em cascata.
- Usar o pacote STD_LOGIC_ARITH.
- Desenvolver um *testbench* para simulação e teste de circuitos em VHDL.

ATIVIDADES

1. Escreva em VHDL e simule no ModelSim um somador de palavras de 4 bits usando apenas somadores completos (desenvolvidos no experimento 2). A nova entidade deve ter como entrada dois vetores A e B (de 4 bits cada) e um vetor de saída S (de 5 bits). Inclua os somadores completos desenvolvidos anteriormente como componentes. Sua arquitetura principal deve fazer **apenas** conexões entre os elementos.
2. Escreva em VHDL e simule no ModelSim um somador de palavras de 4 bits usando o operador '+' do pacote STD_LOGIC_ARITH. A nova entidade deve ter como entrada dois vetores A e B (de 4 bits cada) e um vetor de saída S (de 5 bits). **Dica:** use o comando 'unsigned(.)' para converter uma variável do tipo STD_LOGIC_VECTOR em UNSIGNED para então usar o operador '+'.
3. Escreva em VHDL e simule no ModelSim um *testbench* para simular e testar o somador de palavras de 4 bits desenvolvido para o item 1. Esse *testbench* deve gerar todas as 256 combinações possíveis de valores para A e B, aguardando 500 nanosegundos entre combinações, e, para cada combinação, comparar a saída do somador do item 1 (utilizado aqui como *Device Under Test*) com a saída do somador do item 2 (utilizado aqui como *golden model*). Para cada combinação em que as saídas não concordarem, deve ser impressa uma mensagem de erro. **Atenção:** o *testbench* deve ser capaz de imprimir mensagens em caso de erro, mas é esperado que os dois somadores obtenham sempre a mesma saída.

ATENÇÃO! Antes de começar as atividades, leia os arquivos auxiliares de teoria disponíveis em https://drive.google.com/drive/folders/1uYHq6eYbHmUNzIXpTjJ92ubB0oiZorsP?usp=drive_link

RELATÓRIO

O relatório deve permitir ao leitor entender as atividades desenvolvidas no experimento mesmo sem acesso ao roteiro. O relatório é **individual** e deve ser entregue dentro do prazo indicado na Tabela 1 para cada turma usando o link adequado. **Relatórios atrasados e/ou entregues pelo link errado não serão aceitos. Para este experimento, também é necessário enviar os códigos VHDL desenvolvidos em um arquivo ZIP.**

Tabela 1 - Prazos e links para entrega do relatório e dos códigos

TURMA	PRAZO PARA ENTREGA	LINK PARA ENTREGA
T08	08/01/2025 às 8h	https://forms.gle/hXAnZLLEaSjiNh7k8
T09	10/01/2025 às 16h	https://forms.gle/BEaeBfXheD63df3W7
T10	10/01/2025 às 14h	https://forms.gle/oe5XuNXaq11tstJTA

Para a correção, serão valorizadas, também, a clareza, a formatação e a linguagem do relatório. Lembre-se de incluir legendas nas figuras e tabelas, explicar seu raciocínio para desenvolver as soluções de forma clara, passo a passo, e, quando necessário, referenciar figuras, tabelas e equações.

O relatório deve conter, minimamente:

- número do experimento e identificação do aluno (nome completo, matrícula e turma);
- explicações sobre os códigos desenvolvidos;
- as tabelas-verdade das funções lógicas implementadas;
- gráficos de simulações no ModelSim que confirmem que o código desenvolvido implementa a tabela-verdade desejada (estas simulações devem estar claramente comentadas, com descrições que permitam entender facilmente quais são os sinais mostrados, quais intervalos de tempo do gráfico ilustram quais linhas da tabela-verdade).