

Ordenadores

Escopo

1. Esta atividade consiste nas seguintes etapas:
2. Implemente um circuito digital que ordene 8 números de 8 bits sem sinal;
3. Realize a simulação do circuito projetado e utilize `$display` para visualizar os dados de saída;
4. Implemente um circuito digital que realiza a filtragem da mediana de 9 entradas de 8 bits;
5. Realize a simulação do circuito projetado e utilize `$display` para visualizar os dados de saída.

Extras

- Aprenda a gerar valores aleatórios usando `$urandom()` e `$urandom_range()`
 - Veja o padrão SystemVerilog IEEE 1800-2017 [1], seção 18.13.
- Aprenda a fazer um loop [2] e gere vários valores aleatórios.
- Realize o algoritmo em alto nível em SystemVerilog e compare com os valores gerados.
 - A saída deve ser apenas "OK" se todos os testes passarem ou "ERRO - entradas xx xx xx - saída yy" caso algum teste dê errado.

Referências:

[1] <https://ieeexplore.ieee.org/document/8299595>

[2] http://asic-world.com/systemverilog/procedure_ctrl1.html#Loop_statements