

UNIVERSIDADE FEDERAL DO PIAUÍ – UFPI
CENTRO DE CIÊNCIAS DA NATUREZA – CCN
DEPARTAMENTO DE COMPUTAÇÃO – DC
CURSO: CIÊNCIA DA COMPUTAÇÃO
DISCIPLINA: CIRCUITOS DIGITAIS

CONVERSOR SÉRIE-PARALELO

Alunos: Pedro Marques da Silva Junior
Carlos Meneses Guimarães Sousa
Professor: Dr. Kelson Rômulo Teixeira Aires

Teresina
Maio de 2018

PEDRO MARQUES DA SILVA JUNIOR
CARLOS MENESES GUIMARÃES SOUSA

CONVERSOR SÉRIE-PARALELO

Trabalho realizado para aprovação na
disciplina de Circuitos Digitais.

OBJETIVOS

1 Projetar um conversor série-paralelo de 04 bits utilizando flip-flop's JK. Utilize a entrada clear para inicializar os registradores e explique detalhadamente o carregamento da palavra 1101 em tais registradores.

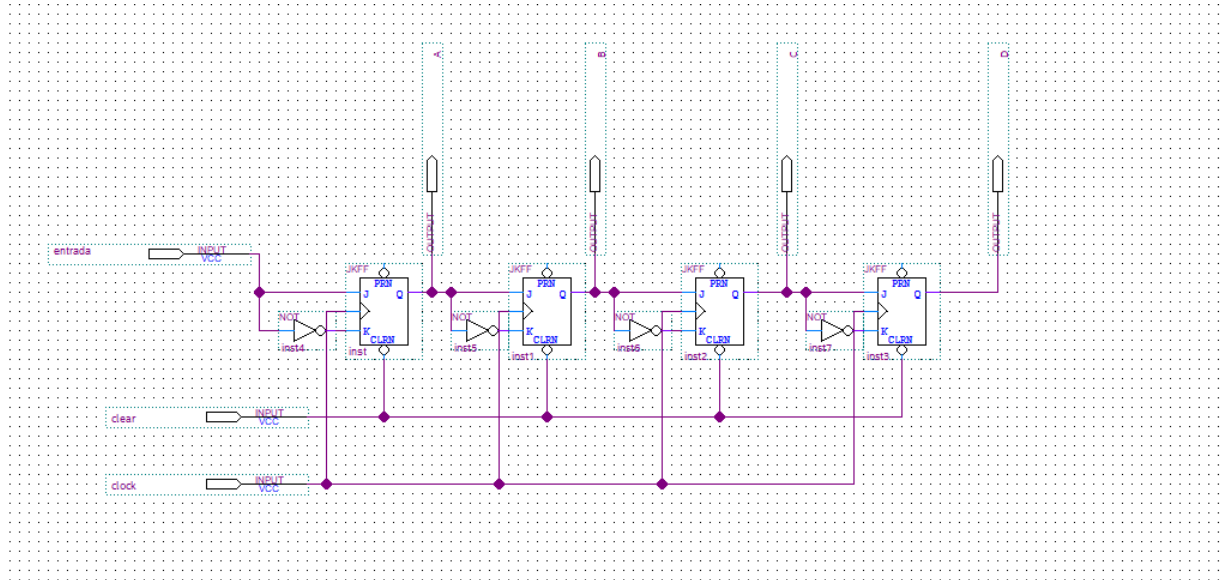
- 1.1 Apresentar a tabela verdade do circuito
- 1.2 Circuito lógico simplificado
- 1.3 Projeto em VHDL
- 1.4 Modelagem no *software* ModelSim

TABELA VERDADE

O circuito terá uma entrada serial, um clock, uma entrada assíncrona que será usada como clear e cinco saídas (A, B, C, D, S) que representarão cada um dos valores dos registradores e uma saída serial que representará a saída Q do último Flip Flop JK. O circuito será sensível à borda de subida. Segue abaixo a tabela correspondente ao circuito:

entrada	clock	clear	A	B	C	D	S
X	X	0	X	X	X	X	X
X	X	1	0	0	0	0	X
1	↑	0	1	0	0	0	0
0	↑	0	0	1	0	0	0
1	↑	0	1	0	1	0	0
1	↑	0	1	0	1	1	1

CIRCUITO SIMPLIFICADO



PROJETO VHDL

```
library ieee;
use ieee.std_logic_1164.all;
ENTITY serial_paralell IS
port
(
    clk : in std_logic;
    clear : in std_logic;
    dado_entrada : in std_logic;
    dado_saida : out std_logic
);
end serial_paralell;

architecture behavior of serial_paralell is
    signal dado_registrado : std_logic_vector (3 downto 0);
begin
    dado_saida <= dado_registrado(0);
    process(clk, clear)
    begin
        if (clear = '1') then
            dado_registrado <= "0000";
        elsif rising_edge(clk) then
            dado_registrado(3) <= dado_entrada;
            dado_registrado(2 downto 0) <= dado_registrado(3 downto 1);
        end if;
    end process;
end architecture behavior;
```



VHDL ▼

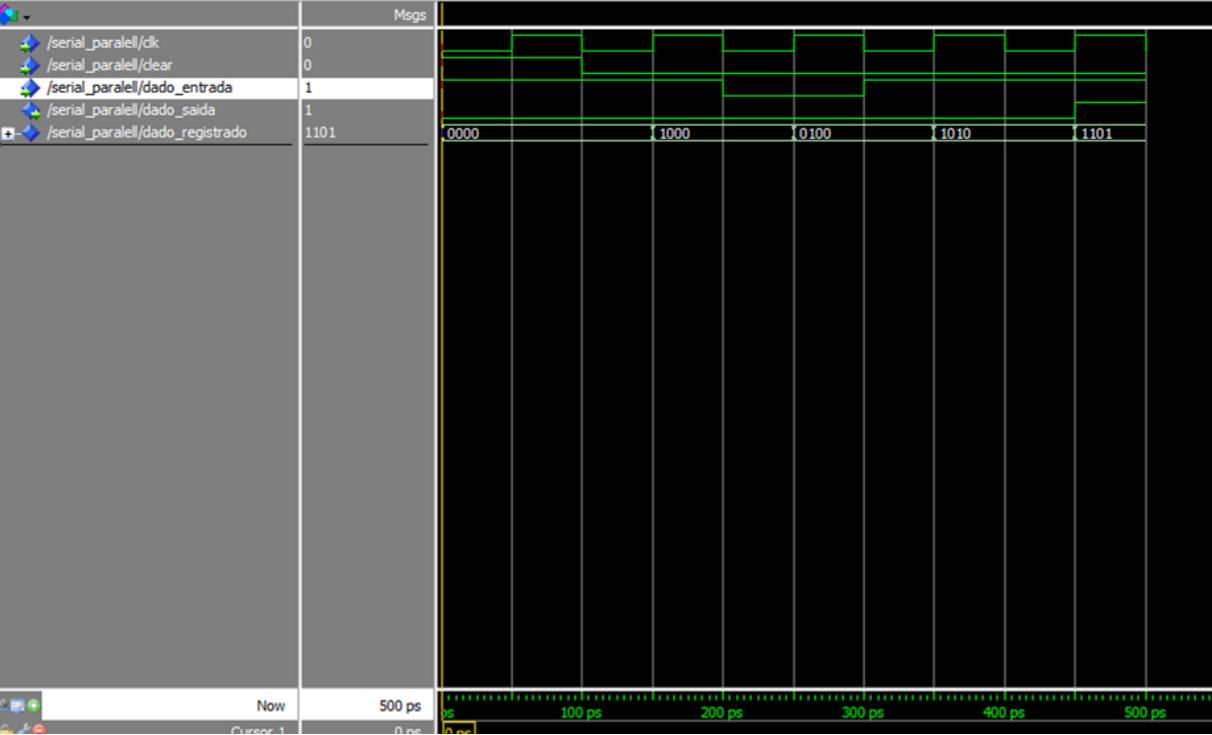
Largura das tabulações: 4 ▼

Lin 27, Col 28

INS

MODELAGEM

Mapa de Pulsos obtido através de simulação no *software* Modelsim



REFERENCIAS

TOCCI, Ronald. *Sistemas Digitais: Princípios e Aplicações*. Ed. 11. Pearson.

DE LA VEGA, Alexandre Santos: *Apostila de Teoria para Circuitos Digitais*. Niterói: UFF, 2015.