

UNIVERSIDADE FEDERAL DO PIAUÍ – UFPI  
CENTRO DE CIÊNCIAS DA NATUREZA – CCN  
DEPARTAMENTO DE COMPUTAÇÃO – DC  
CURSO: CIÊNCIA DA COMPUTAÇÃO  
DISCIPLINA: CIRCUITOS DIGITAIS

MÁQUINA DE ESTADOS FINITOS

Alunos: Pedro Marques da Silva Junior  
Carlos Meneses Guimarães Sousa  
Professor: Dr. Kelson Rômulo Teixeira Aires

Teresina  
Junho de 2018

PEDRO MARQUES DA SILVA JUNIOR  
CARLOS MENESES GUIMARÃES SOUSA

## MÁQUINA DE ESTADOS FINITOS

Trabalho realizado para aprovação na  
disciplina de Circuitos Digitais.

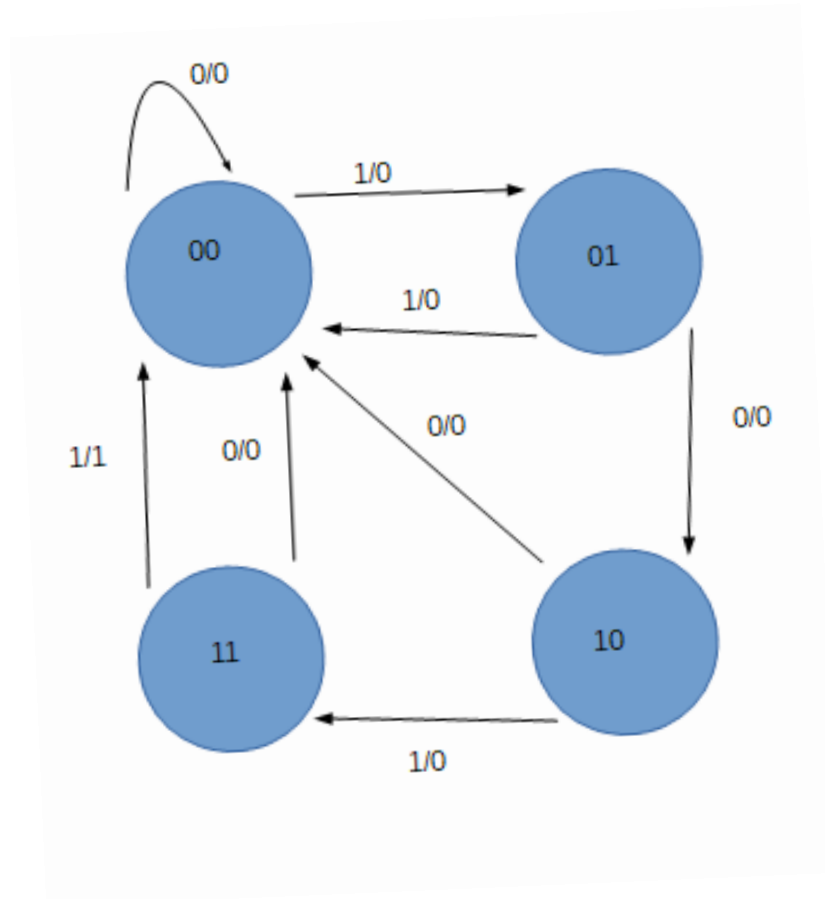
## OBJETIVOS

1 Utilizando uma abordagem de Máquina de Estados Finita, projete um circuito (utilizando somente flip-flops JK) para controlar a abertura de uma fechadura com combinação digital. A fechadura deve possuir três botões: **start**, **0** e **1**. A fechadura deve liberar a porta quando a senha correta, de **QUATRO** dígitos for inserida. Apresentar:

- 1.1 Diagrama de estados;
- 1.2 Tabela de transição de estados;
- 1.3 Equações simplificadas de cada saída do circuito;
- 1.4 Circuito lógico;
- 1.5 Implementação em VHDL
- 1.6 Modelagem no *software* ModelSim e resultado das simulações

## DIAGRAMA DE ESTADOS

A senha de quatro dígitos escolhida para a fechadura foi 1011. A partir daí foi desenvolvido o seguinte diagrama de estados:



## TABELA DE TRANSIÇÃO DE ESTADOS

O dispositivo contará com 3 botões (start, 0, 1) que aqui serão representados por 2 variáveis (St e In). A partir do diagrama de estados foi possível obter a tabela com as transições de estados:

PS				NS		OP	FF's			
St	In	Q1	Q2	Q1	Q2	U	J1	K1	J2	K2
1	X	X	X	0	0	0	X	X	X	X
0	0	0	0	0	0	0	0	X	0	X
0	0	0	1	1	0	0	1	X	X	1
0	0	1	0	0	0	0	X	1	0	X
0	0	1	1	0	0	0	X	1	X	1
0	1	0	0	0	1	0	0	X	1	X
0	1	0	1	0	0	0	0	X	X	1
0	1	1	0	1	1	0	X	0	1	X
0	1	1	1	0	0	1	X	1	X	1

## EQUAÇÕES SIMPLIFICADAS

De acordo com a tabela anterior foi possível determinar as equações de cada saída do circuito:

$$J1 = \overline{In} \cdot Q2$$

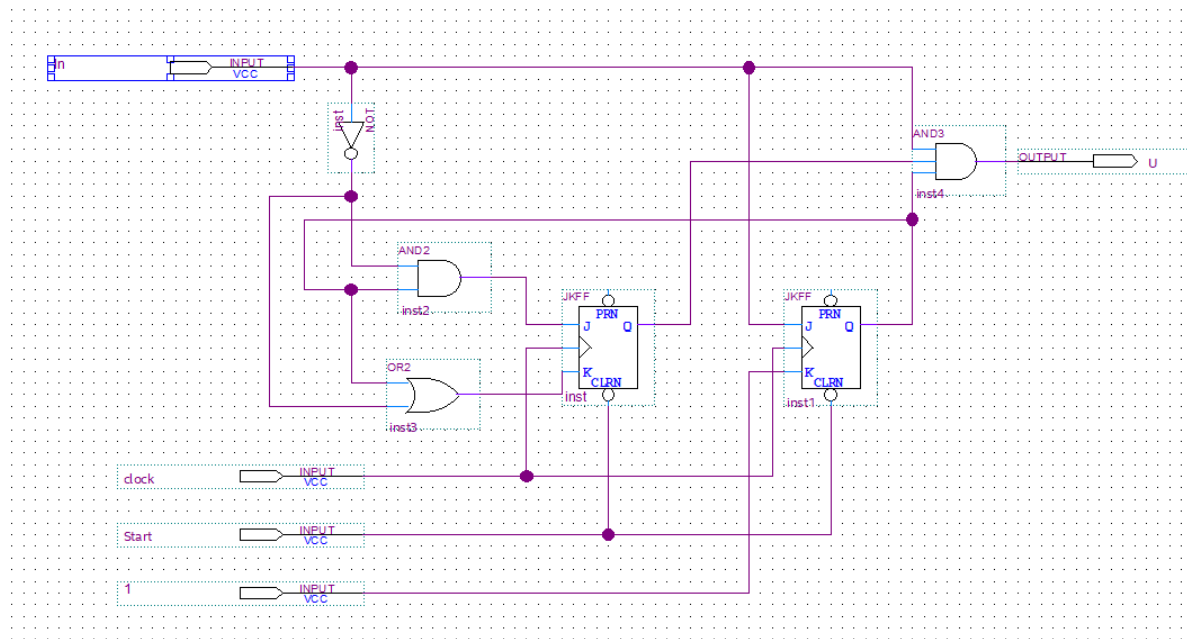
$$K1 = \overline{In} + Q2$$

$$J2 = In$$

$$K2 = 1$$

$$U = In \cdot Q1 \cdot Q2$$

## CIRCUITO SIMPLIFICADO



## PROJETO VHDL

```
1  library ieee;
2  use ieee.std_logic_1164.all;
3
4  entity fechadura is
5  port(
6      ck: in std_logic;
7      entrada: in std_logic;
8      u : out std_logic;
9      start : in std_logic
10 );
11 end fechadura;
12
13 architecture machine of fechadura is
14     type STATE_TYPE is (S0, S1, S2, S3);
15     signal estado: STATE_TYPE;
16 begin
17     process(ck, start)
18     begin
19         if start = '1' then
20             estado <= S0;
21         elsif rising_edge(ck) then
22             case estado is
23                 when S0 =>
24                     if entrada = '1' then
25                         estado <= S1;
26                     else
27                         estado <= S0;
28                     end if;
29                 when S1 =>
30                     if entrada = '0' then
31                         estado <= S2;
32                     else
33                         estado <= S0;
34                     end if;
35                 when S2 =>
36                     if entrada = '1' then
37                         estado <= S3;
38                     else
39                         estado <= S0;
40                     end if;
41                 when S3 =>
42                     if entrada = '1' then
43                         estado <= S0;
44                     else
45                         estado <= S0;
46                     end if;
47             end case;
48         end if;
49     end process;
50     u <= '1' when entrada = '1' and estado = S3
51         else '0';
52 end machine;
```



MODELAGEM

Mapa de Pulsos obtido através de simulação no *software Modelsim*



## REFERENCIAS

**TOCCI**, Ronald. *Sistemas Digitais: Princípios e Aplicações*. Ed. 11. Pearson.

**DE LA VEGA**, Alexandre Santos: *Apostila de Teoria para Circuitos Digitais*. Niterói: UFF, 2015.