

Universidade de Aveiro

Dep. de Electrónica, Telecomunicações e Informática

Laboratório de Sistemas Digitais

Mini-projeto

Ano letivo 2017/18

1. Introdução

De forma a preparar e facilitar o desenvolvimento do projeto final, é disponibilizado este enunciado de um mini-projeto que deve ser realizado de forma autónoma, em grupos de 2 alunos (definidos em cada turma prática) e submetido até às 23:55 de 15 de abril de 2018. Este mini-projeto é igual para todos os alunos, e tem como objetivo fundamental a interiorização e consolidação de conceitos e técnicas a aplicar no projeto final. O mini-projeto é avaliado com um peso de 10% na classificação da componente prática da unidade curricular.

2. Descrição

Pretende-se conceber, modelar em VHDL, simular, sintetizar, implementar na FPGA e testar no *kit* Terasic DE2-115 um contador horário (temporizador) com contagem decrescente. As principais especificações do temporizador são:

- deverá possuir 4 dígitos, representando minutos e segundos na forma **mm:ss**;
- o controlo do temporizador deverá ser realizado por intermédio de 2 botões: *start/pause* e *reset*;
- quando o temporizador está parado, o botão *start/pause* coloca-o em funcionamento e vice-versa;
- o botão *reset* coloca o temporizador num valor (estado) pré-definido;
- quando o temporizador atingir o valor 00:00 deverá parar a ativar um indicador (e.g. um LED).

Deve ser respeitada a seguinte restrição fundamental de projeto: o sistema deve utilizar um sinal de *clock* de 50 MHz para todos os componentes síncronos, apesar do campo **ss** ser decrementado à frequência de 1 Hz, isto é, deverá usar, como *clock* global do sistema, o sinal **CLOCK_50** disponibilizado no *kit*.

Podem inicialmente ser assumidas as seguintes simplificações:

- a visualização do valor do temporizador pode ser realizada em LEDs em vez de nos *displays* de 7 segmentos;
- após o *reset* pode ser carregado sempre o mesmo valor (e.g. 59:59).

3. Implementação

A implementação deste sistema deve seguir uma estratégia faseada, de acordo com a descrição que se segue, em que cada uma das fases deve corresponder a um novo projeto (no *Quartus Prime*). Para cada uma das fases deverá:

- definir uma arquitetura adequada para o sistema e elaborar no seu *log book* um diagrama lógico completo com todos os módulos, portos e ligações que o constituem;
- efetuar a modelação em VHDL de cada um dos blocos (o *top-level* poderá ser implementado com recurso a representação esquemática ou VHDL, embora seja recomendada a utilização de VHDL);
- simular o comportamento dos blocos mais relevantes e do sistema global;
- sintetizar e implementar o circuito, testando-o convenientemente no *kit* DE2-115.

Os módulos instanciados e interligados no *top-level* devem ser tipicamente portas lógicas, (des)codificadores, multiplexadores, registos, contadores, circuitos aritméticos, comparadores ou outros de complexidade análoga que considerar necessários para a implementação do

sistema. Defina a arquitetura do sistema, decompondo-o adequadamente, de forma a facilitar o seu desenvolvimento e validação.

Fase 1 (funcionalidade base)

Implemente o sistema de acordo com as especificações definidas e simplificações inicialmente permitidas.

Fase 2 (visualização nos *displays* de 7 segmentos do *kit* DE2-115)

Adapte o sistema de forma a que o valor do temporizador seja visualizado nos *displays* de 7 segmentos do *kit* DE2-115.

Fase 3 (programação de um valor inicial arbitrário)

Adicione ao temporizador a capacidade de especificar o valor inicial (de partida) após um *reset* de uma forma amigável, intuitiva e poupada em termos de dispositivos de interface com o utilizador (interruptores, botões, LEDs e *displays* de 7 segmentos do *kit* DE2-115).

4. Submissão

O mini-projeto deverá ser submetido através do *site* da unidade curricular, em *link* a disponibilizar na secção "Submissão de Elementos de Avaliação". A submissão deve ser efetuada num único ficheiro .zip ou .tgz que inclua os 3 diretórios correspondentes aos projetos das 3 fases de desenvolvimento (fase 1, fase 2 e fase 3). Em cada um desses diretórios deverão constar, obrigatoriamente:

- os ficheiros do projeto gerados pelo *Quartus Prime* (.qpf, .qsf, .qws);
- os ficheiros .vhd e .bdf desenvolvidos;
- os ficheiros usados na simulação dos módulos desenvolvidos (.vwf);
- o ficheiro .sof que permita a programação imediata da FPGA com o sistema desenvolvido;
- um diagrama de blocos do sistema.

Antes de gerar o ficheiro .zip/.tgz deverá eliminar as pastas: "db", "incremental_db", e "simulation" (isto permite diminuir significativamente a dimensão do ficheiro a submeter).

O ficheiro a submeter deverá ser designado por "*lsdig_mp_p#_nmec1_nmec2.zip*" ou "*lsdig_mp_p#_nmec1_nmec2.tgz*" em que "#" deve ser substituído pelo número da turma e "nmec1" e "nmec2" devem ser substituídos pelos números mecanográficos dos alunos do grupo. O ficheiro .zip/.tgz submetido deve incluir também um ficheiro de texto com uma breve descrição do trabalho realizado/completado e a divisão percentual da contribuição de cada um dos elementos do grupo.

5. Avaliação

A avaliação e classificação do mini-projeto baseia-se nas seguintes regras gerais:

- a cada trabalho será atribuída uma classificação entre 0 e 20 (arredondada às unidades);
- a classificação atribuída será função da qualidade do trabalho (fases completadas com sucesso, simulação, teste no *kit*, qualidade das soluções), cumprimento das regras e instante de submissão;
- dentro de cada turma não poderão ser atribuídas mais do que duas classificações iguais a diferentes grupos;
- a atribuição de classificações individuais a cada um dos membros do grupo terá em conta a divisão relativa (percentual) do trabalho realizado pelos elementos do grupo, declarada na submissão do trabalho.