

Nome: _____ Nº de estudante: _____

Atenção: Este teste tem 13 questões em 6 páginas, num total de 205 pontos.

Parte I — Questões de Escolha Múltipla

Cada questão tem uma resposta certa. Respostas erradas não descontam.

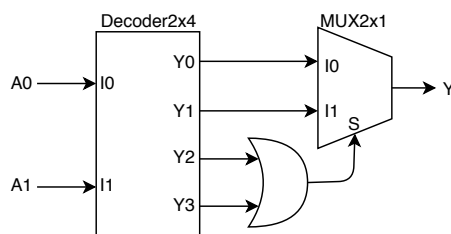
As respostas às questões de escolha múltipla devem ser assinaladas com × na grelha seguinte.

Apenas as respostas indicadas na grelha são consideradas para efeitos de avaliação.

Opção	Questão									
	1	2	3	4	5	6	7	8	9	10
A		×	×							×
B					×			×		
C							×			
D	×			×		×			×	

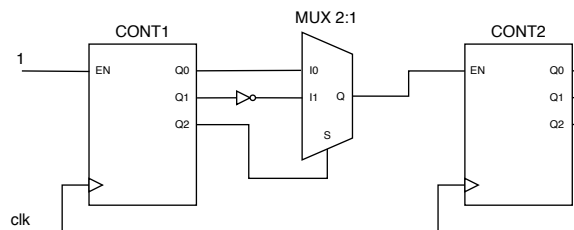
Pontos: _____ / 100

- [10] 1. Considere a operação $A - B$ usando uma representação em complemento para 2 com 5 bits. Qual dos seguintes valores de A leva à ocorrência de overflow quando $B = 00010_{\text{cpl2}}$?
 A. 10010_{cpl2} B. 00010_{cpl2} C. 01111_{cpl2} **D. 10001_{cpl2}**
- [10] 2. Para representações no formato VF, o expoente é representado usando notação excesso. Para um formato VF com 16 bits em que 10 bits são dedicados à parte fracionária da mantissa, qual o valor que deve ser subtraído ao expoente codificado para se obter o expoente real?
A. 15 B. 511 C. 32 D. 31
- [10] 3. Um decodificador de duas entradas tem suas saídas ligadas a um multiplexador conforme a figura. Considere o bit 0 sempre o menos significativo. Indique a porta lógica que executa a mesma função lógica que o circuito apresentado.


A. NOR B. AND C. OR D. NAND

- [10] 4. Sejam $A=101,01_2$ e $B=10,1_2$ dois números representados em binário (sem sinal). O valor do produto $A \times B$ é:
 A. $1100,001$ B. $1101,101$ C. $1011,001$ **D. $1101,001$**

- [10] 5. Considere o circuito a seguir representado, composto por 2 contadores de 3 bits, um multiplexador 2:1 e uma porta lógica NOT. Inicialmente ambos os contadores têm a sua saída $Q = 000$. Determine o valor de $Q = Q_2Q_1Q_0$ na saída de CONT2 após 12 ciclos de relógio.



A. 010 **B. 110** C. 001 D. 111

- [10] 6. Uma memória do tipo **SRAM** tem 16 bits de endereço e 16 bits de dados. Qual é a sua capacidade?

A. 256 KiB B. 32 KiB C. 64 KiB **D. 128 KiB**

- [10] 7. Indique a função lógica correspondente à tabela de verdade apresentada.

A	B	Y
0	0	1
0	1	0
1	0	1
1	1	0

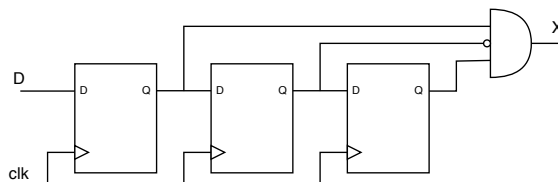
A. $Y = (\overline{A} + \overline{B})(A + \overline{B})$

B. $Y = \overline{A}$

C. $Y = \overline{B}$

D. $Y = \overline{A}B + A\overline{B}$

- [10] 8. O circuito a seguir representado é composto por 3 Flip-flops do tipo D e portas lógicas AND e NOT. Inicialmente todos os Flip-flops têm saída 0. Determine a sequência de valores na saída X se a sequência na entrada D for 11010110 (um bit a cada ciclo de relógio).



A. 00101110 **B. 00001010** C. 01010000 D. 01110100

- [10] 9. Assinale a alternativa que representa o menor valor:

A. 00101110_2 , representação em complemento para 2 com 8 bits.

B. 11010010_2 , representação em binário sem sinal.

C. $2E_H$, representação em sinal e grandeza com 8 bits.

D. $FF800000_H$, representação no formato IEEE-754 (precisão simples).

- [10] 10. O sistema de memória de um CPU usa 10 bits para endereços e 8 bits para dados. Neste sistema está inserida uma memória RAM de 1 KiB que responde nas gamas de endereços $000_H - 0FF_H$ e $200_H - 2FF_H$. Como pode ser definido o *Chip Select* (CS) dessa memória?

A. $CS = \overline{A_8}$ B. $CS = A_9\overline{A_8}$ C. $CS = \overline{A_9}A_8$ D. $CS = \overline{A_9}$

Fim da parte I

Parte II — Questões de Resposta Aberta

Atenção: Responder a cada questão numa folha separada. Justificar todas as respostas.

11. Dois números A e B estão codificados no formato IEEE 754 (precisão simples). A representação em hexadecimal da codificação é:

$$A: C3E2B000_H \quad B: C366A000_H$$

- [10] (a) Indique, justificando, o valor decimal do número B .

B: 1 10000110 1100110101000000000000
 Sinal: 1 (o número é negativo)
 Expoente: 134. Expoente real: $134 - 127 = 7$
 Mantissa: 1,1100110101000000000000
 $1,1100110101 \times 2^7 = 11100110,101$
 Valor decimal: $-(2^7 + 2^6 + 2^5 + 2^2 + 2^1 + 2^{-1} + 2^{-3}) = -230,625$

- [20] (b) Realize a operação $A + B$ (sem conversão para decimal), indicando todos os passos.

A: 1 10000111 1100010101100000000000
 Sinal de A: 1 (Negativo)
 Expoente de A: 135. Expoente real: $135 - 127 = 8$
 Mantissa de A: 1,1100010101100000000000

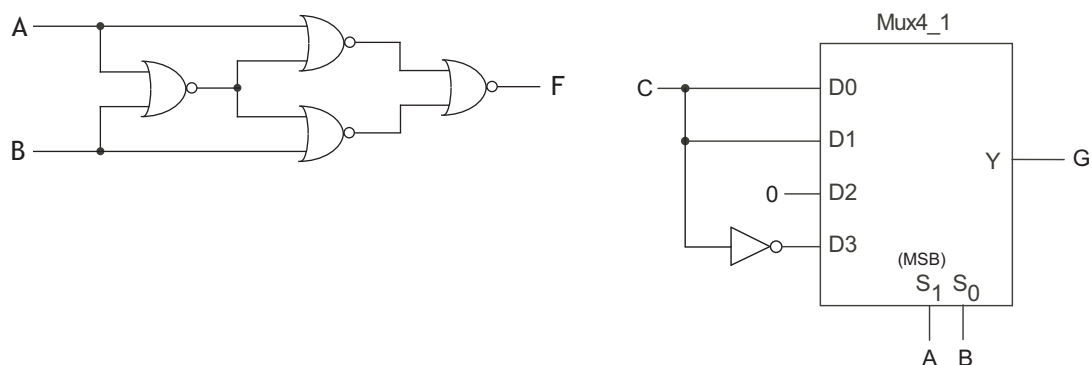
1 - Sinal: Estamos a somar um número negativo a um número negativo, portanto o sinal do resultado será negativo.
 2 - Diferença de expoentes: $E_A - E_B = 8 - 7 = 1$ (é necessário alinhar a mantissa do número de menor expoente). O expoente a usar para o resultado é o do número de maior expoente, ou seja 8.
 3 - Efetuar o cálculo das mantissas (soma): $M_R = M_A + M_B = 1,11000101011 - 0,11100110101$

$$\begin{array}{r} 1,11000101011 \\ +0,11100110101 \\ \hline 10,1010110000 \end{array}$$

4 - Normalização: Uma vez que a mantissa do resultado não está normalizada temos de a normalizar, neste caso corrigindo o expoente do resultado em uma unidade, logo $E_R = 9$ e $M_R = 1,0101011$
 O resultado será então:
 Sinal: 1
 Expoente: $9 + 127 = 136 = 10001000_2$
 Mantissa: 1,0101011

$$\begin{array}{r} 1 \ 10001000 \ 0101011000000000000000 \\ C42B0000_H \end{array}$$

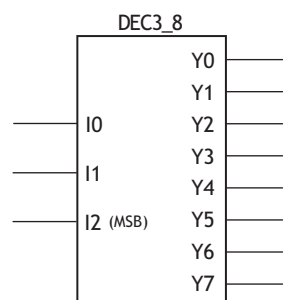
12. Os circuitos apresentados realizam duas funções distintas, $F(A, B)$ e $G(A, B, C)$.



- [15] (a) Obter a expressão mínima de $F(A, B)$ na forma de produto de somas.

$$\begin{aligned}
 F(A, B) &= \overline{\overline{A + \overline{A + B} + B + \overline{A + B}}} \\
 &= (A + \overline{A + B}) \cdot (B + \overline{A + B}) \\
 &= (A + \overline{A} \cdot \overline{B}) \cdot (B + \overline{A} \cdot \overline{B}) \\
 &= (A + \overline{B}) \cdot (\overline{A} + B)
 \end{aligned}$$

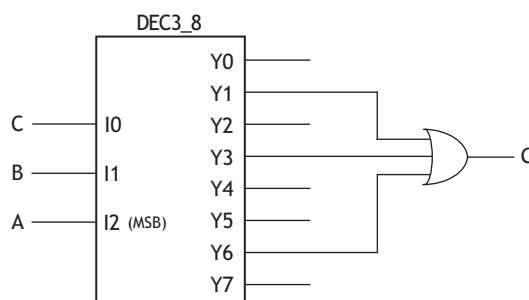
- [15] (b) O circuito que realiza a função $G(A, B, C)$ utiliza um multiplexador de 4 para 1. Mostrar como realizar esta função com base no decodificador de 3 para 8 da figura.



A tabela de verdade que define a função $G(A, B, C)$ é obtida do circuito que a realiza considerando cada combinação das entradas A , B e C .

A tabela mostra que G apenas toma o valor 1 quando ABC é 001 ou 011 ou 110. Em termos do decodificador de 3 para 8, estas três combinações de ABC correspondem a atuar as saídas Y1, Y3 e Y6, respetivamente, desde que $I_2 I_1 I_0 = ABC$. Portanto, $G(A, B, C)$ é obtida na saída de uma porta OR cujas entradas provêm de Y1, Y3 e Y6.

A	B	C	G
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0



- [10] (c) Considerar a função $H(A, B, C) = F(A, B) + G(A, B, C)$. Mostrar que é possível realizar $H(A, B, C)$ acrescentando uma única porta lógica ao circuito que obteve anteriormente.

A função $F(A, B)$ pode juntar-se à tabela de verdade anterior, assim como $H = F + G$.

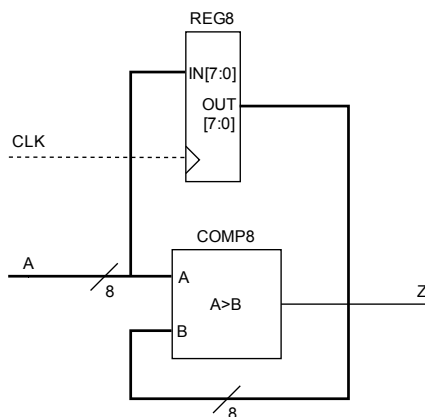
Comparando H com G verifica-se que H é 1 nas linhas em que G também é 1 e ainda nas linhas 0 e 7, ou seja:

$$H(A, B, C) = G(A, B, C) + \overline{A} \cdot \overline{B} \cdot \overline{C} + A \cdot B \cdot C$$

Portanto, H é obtida na saída de uma porta OR cujas entradas provêm de G , $Y0$ e $Y7$, resultando o circuito seguinte.

A	B	C	G	F	H
0	0	0	0	1	1
0	0	1	1	1	1
0	1	0	0	0	0
0	1	1	1	0	1
1	0	0	0	0	0
1	0	1	0	0	0
1	1	0	1	1	1
1	1	1	0	1	1

- [15] 13. (a) O circuito da figura é constituído por um comparador de 8 bits (números sem sinal) e um registo de 8 bits.



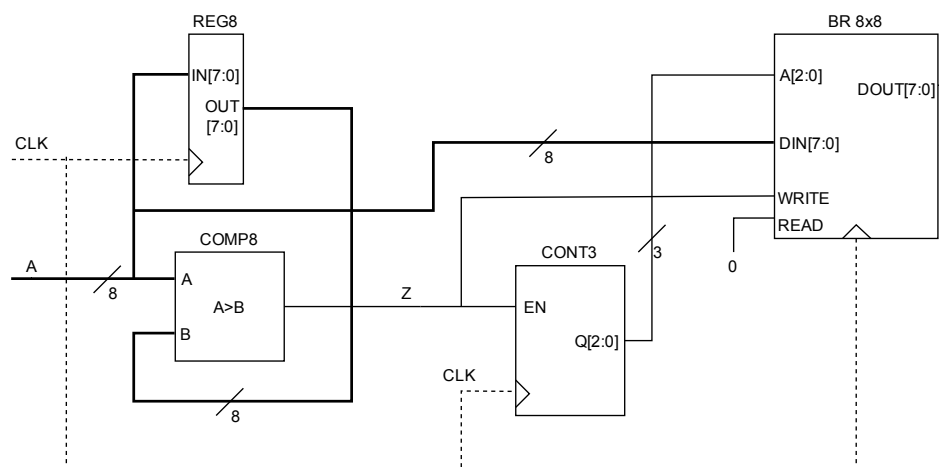
Explicar o funcionamento do circuito. Assumindo que o registo está inicialmente a 0, determinar o valor da saída Z para a seguinte sequência de valores de A :

ciclo	1	2	3	4	5	6	7	8	9
A	12	15	17	11	6	9	21	14	25

O circuito compara o valor atual da entrada (A com valor da entrada no ciclo anterior (B), que ficou guardado no registo REG8. O comparador produz *um bit* de resultado: 1 se $A > B$, 0 no caso contrário.

ciclo	1	2	3	4	5	6	7	8	9
A	12	15	17	11	6	9	21	14	25
B	0	12	15	17	11	6	9	21	14
saída Z	1	1	1	0	0	1	1	0	1

- [15] (b) O circuito anterior é ligado a um contador de 3 bits e ao porto de escrita de um banco de registos 8x8 bits. Assumir que, inicialmente, o valor do contador é 0 e que todos os registos estão também a 0.



Explicar o funcionamento do circuito completo. Nas condições da alínea (a), determinar qual o conteúdo final do banco de registos após 9 flancos ativos (ascendentes) do sinal de relógio.

O resultado produzido pelo comparador COMP8 é usado para habilitar o contador CONT3 e o porto de escrita do banco de registos (WRITE). O sinal de WRITE apenas está a 1 quando um elemento da sequência de entrada (A) é maior que o anterior. Sempre que isso acontece, o contador é incrementado (no fim do correspondente ciclo). O contador está ligado à entrada de endereços do banco de registos (valores possíveis: 0..7), definindo a posição onde o valor A é guardado (dada posição armazena um valor de 8 bits).

Portanto, o circuito guarda em posições sucessivas (a partir de 0) os valores que são maiores que o seu antecessor: 12, 15, 17, 9, 21 e 25. As restantes posições do banco de registos (endereços 6 e 7) permanecem com o valor inicial (zero).

- [5] (c) Explicar o que acontece ao circuito da alínea (b) se o valor 255 surgir na entrada A.

O valor 255 pode ser expresso em 8 bits (gama 0..255), pelo que o circuito funciona conforme descrito na resposta à alínea anterior.

Como é o maior valor exprimível em 8 bits (sem sinal), o valor 255 é sempre armazenado em memória, a não ser que surja mais que uma vez consecutivamente; nesse caso, apenas a primeira ocorrência é guardada.

Fim.