

Introdução aos Sistemas Digitais

Exercícios Suplementares

1 Sistemas de Numeração e Códigos

Exercício 1.

Qual a quantidade decimal representada por

- a) 1101_2
- b) 37_9
- c) 0.0110_2
- d) 0.16_7

Exercício 2.

Qual a quantidade complexa representada na base $(2i)$ por

- a) $11210_{(2i)}$

Exercício 3.

Determinar possíveis bases b e c tal que

- a) $5A_{16} = 132_b$
- b) $20_{10} = 110_c$

Exercício 4.

Determinar uma possível base b tal que se verifique $\sqrt{41} = 5$

Exercício 5.

Considere números inteiros positivos N potências de 2, isto é $N = 2^n$ em que n é número de bits da representação binária. Obtenha então a representação binária de

- a) 2^4
- b) 2^5
- c) 2^6
- d) 2^8

Generalize e verifique que se obtém sempre uma representação segundo um código "1 em 2^n ". Sugira uma forma rápida de multiplicar (ou dividir) um número inteiro por uma potência de 2.

Exercício 6.

Considere números inteiros positivos N da forma $N = 2^n - 1$ em que n é número de bits da representação binária. Obtenha, por divisão sucessiva (ou por subtração das quantidades do exercício anterior) a representação binária de

- a) $2^4 - 1$
- b) $2^5 - 1$
- c) $2^6 - 1$
- d) $2^8 - 1$

Generalize e verifique que se obtém sempre uma representação só com "1s".

Exercício 7.

Considere os números $N = 011111_2$ e $P = 100000_2$, expressos no código binário natural.

- a) Converta N_2 e P_2 para base 5.
- b) Converta N_2 e P_2 para o código de Gray e comente os resultados.
- c) Seja D_H a distância de Hamming entre N_2 e P_2 . Represente com o código BCD_{AIKEN} a quantidade $5 \times D_H$.

Exercício 8.

Considere quantidade $N = 000100101101$ expressa no código BCD-AIKEN

- a) Qual o valor decimal de N
- b) Converta N para o código binário natural com 8 bits. Designe esta representação por N_2 .
- c) Converta N_2 para o código de Gray.

Exercício 9.

Admita uma representação binária com 5 bits e em notação de complemento para 2.

- a) Efectue $11010 + 11100$ e demonstre qual é o respectivo valor decimal
- b) Replique o cálculo anterior agora com 8 bits. Demonstre novamente a correcção do resultado

Exercício 10.

Admita que as quantidades decimais nas alíneas seguintes se representam em binário com 8 bits e em notação de complemento para 2. Determine usando a mesma notação e caso seja possível o resultado das operações que se seguem. Justifique cuidadosamente caso considere que a operação não é possível.

- a) $127 - 31$
- b) 64×2
- c) $-64 + 127$

2 Álgebra de Boole

Exercício 1.

Determine os valores booleanos de A, B, C e D que satisfazem o seguinte sistema de equações

$$\begin{cases} A' + A.B = 0 \\ A.C = AB \\ A.B + A.C' + CD = C'.D \end{cases}$$

Exercício 2.

Demonstre os seguintes teoremas fundamentais da Álgebra de Boole assim como os respectivos duais

- a) Absorção: $x + x.y = x$
- b) Simplificação: $x + x'.y = x + y$
- c) Adjacência: $x.y + x'.y = y$

Exercício 3.

Determinar pelas leis de De Morgan

- a) $(x.y' + x'.y)'$
- b) $(x.y + z(x + y') + z.y)'$
- c) $((b' + c).a) + (c'.d)'$

Exercício 4.

Com base no teorema de De Morgan, mostre algebricamente que

$$(a'.b + a.c).(a + b').(a' + c') = 0$$

Note que não necessita de expandir totalmente a expressão.

Exercício 5.

Recorde o teorema do consenso $x.y + x'.z + y.z = x.y + x'.z$.

a) Enuncie a versão dual do teorema do consenso.

b) Simplifique

i) $x.y.z + x'.w + y'.w + z.w$

ii) $(x + y)z + x'.y'.w + z.w$

iii) $(x + y + v + w').(v + x).(v' + y + z + w')$

Exercício 6.

Demonstre algebricamente que

a) $x \oplus x = 0, x \oplus x' = 1$

b) $x \oplus 0 = x, x \oplus 1 = x'$

c) $(x \oplus y)' = x \odot y = x.y + x'.y'$

d) $(x \oplus y') = (x' \oplus y) = (x \oplus y)'$

e) $(x \oplus y)^D = (x \oplus y)'$

f) $x \oplus x'y = x + y$

Exercício 7.

a) Prove por indução directa que a operação \oplus é associativa, isto é

$$A \oplus (B \oplus C) = (A \oplus B) \oplus C$$

b) Mostre algebricamente que se $A \oplus B = C$ então $A \oplus C = B$

Exercício 8.

Define-se o operador implicação " \rightarrow ", como $x \rightarrow y = x' + y$

- a) Deduza e comente a tabela de verdade
- b) Determine
 - i) $(xy) \rightarrow x$
 - ii) $(x \rightarrow (x' \rightarrow y'))'$
- c) Mostre que o teorema do consenso se pode escrever como
 - i) $x.y + x'.z + y.z = (x + y).(x \rightarrow y)$

Exercício 9.

Exprimir $y = x_1.x'_2 + x_3 + x'_1.x'_3.x_4 + x_2.x'_3.x_4$ na forma mais simples. Apresente o resultado recorrendo apenas ao operador NAND.

Exercício 10.

Considere a função booleana $M(x, y, z) = x.y + x.z + y.z$

- a) Determine a respectiva tabela de verdade e verifique que se trata dum operador de "Maioria" para os "1" nos operandos x, y, z .
- b) Determine a função dual M^D
- c) Verifique algebricamente que estamos perante uma função auto-dual, isto é que $M = M^D$. Aprecie a complementaridade da tabela de verdade.
- d) Expresse $M(x, y, z)$ nas 4 formas canónicas
- e) Mostre que é completo o conjunto $C = \{M(x, y, z)', 0\}$. Sugestão: Mostre como a partir do conjunto C se implementam as operações fundamentais.

Exercício 11.

- a) Mostre que é completo o conjunto $\{\oplus, ., 1\}$.
- b) Com os elementos do conjunto $\{\oplus, ., 1\}$ representar $f(x, y, z) = (x + y.z')'$

Exercício 12.

Recorde a relação entre a complementaridade e dualidade numa função booleana.

$$f(x_0, \dots, x_{n-1}, 0, 1, +, \cdot)' = f(x'_0, \dots, x'_{n-1}, 0, 1, +, \cdot)^D$$

Aplique esta relação para determinar a função complementar de

- a) $f(x, y, z) = x'.(y' + z').(x + y + z')$

- b) Verifique o resultado com as tabelas de verdade.

Exercício 13.

Pela primeira forma canónica sabe-se que qualquer função booleana $f(x, y)$ admite a seguinte representação em soma de produtos

$$f(x, y) = a_0x'.y' + a_1x'.y + a_2x.y' + a_3x.y$$

em que os a_i são os valores de f representados na sua tabela de verdade. Aplique esta relação para determinar a função complementar de

- Mostre que a representação "XOR", $f(x, y) = b_0 \oplus b_1.x \oplus b_2.y \oplus b_3.x.y$ também pode ser usada para representar qualquer função booleana de 2 variáveis. Sugestão: por indução completa em (x, y) , deduza os coeficientes a_i a partir dos coeficientes b_i .
- Deduza, partindo directamente da representação "XOR", a 1ª forma canónica de $f(x, y) = x \oplus y \oplus x.y$
- Verifique que na forma mais simples $f(x, y) = x + y$

Exercício 14.

Considere o mapa de Karnaugh da figura respeitante a $F(x, y, w, z)$.

xy \ wz	00	01	11	10
00		1		
01		1	1	1
11	1	1	1	
10			1	

- Quantos implicants primos identifica no mapa. Justifique
- Mostre que a expressão mínima para F pode escrever-se como $y.(w \oplus x)' + z.(w \oplus x)$

Exercício 15.

Considere o mapa de Karnaugh da figura.

cd \ ab		a			
		00	01	11	10
c	00	1	1	0	0
	01	0	1	1	0
	11	1	1	0	0
	10	0	1	1	0
		b			

- a) Quantos implicants primos não essenciais identifica no mapa. Justifique
- b) Justifique se é verdadeira ou falsa a seguinte afirmação: *a soma de produtos mínima tem o mesmo número de termos e literais que o produto de somas mínimo.*

Exercício 16.

Considere a seguinte função booleana $F(A, B, C)$ expressa pela seguinte tabela de verdade.

A	B	C	F
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

- a) Expresse algebricamente os implicants primos essenciais e não essenciais de F .
- b) Mostre que F pode ter como expressões algébricas mínimas $F = C.A' + (C \oplus B)'$ ou $F = A'.B' + (C \oplus B)'$.

Exercício 17.

Considere a seguinte função booleana com seguinte expressão: Dada a função

$$f(A, B, C, D) = (A + B).C' + A.(C \oplus D) + ABC'D$$

- a) Preencha o mapa de Karnaugh de f partindo directamente da expressão. (Use a configuração AB: colunas e CD: linhas do mapa de Karnaugh)
- b) Expresse algebricamente os implicants primos essenciais
- c) Obtenha uma expressão algébrica mínima para f em soma de produtos
- d) Obtenha uma expressão algébrica mínima para f em produto de somas

Exercício 18.

Considere a seguinte função booleana com seguinte expressão:

$$f(A, B, C, D) = A'.(B' + C') + C'.B' + (C + B)'D$$

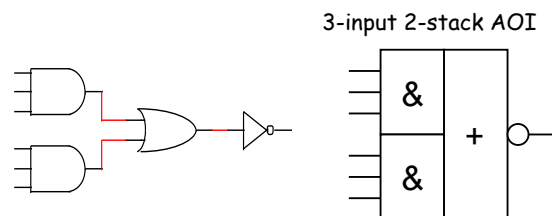
- a) Expresse f numa soma de produtos
- b) Preencha o mapa de Karnaugh de f partindo directamente da expressão.
- c) Obtenha uma expressão algébrica mínima para f a partir do mapa.

- d) Recorra ao princípio da dualidade e demonstre que $f = f^D$ ou seja a função é auto-dual.
- e) Aplique o teorema generalizado de De Morgan e obtenha f' de forma directa a partir de f . Comprove o resultado com o mapa de Karnaugh que decorre directamente de f' .

3 Blocos Combinatórios

Exercício 1.

Assuma que dispõe apenas dum bloco de lógica combinatória designado por AOI (And, Or, Invert) tal como se representa na figura.



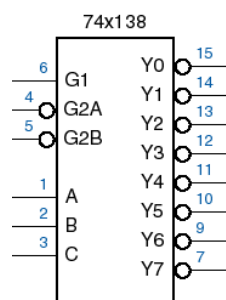
Pretende-se implementar a função $f(A, B, C, D) = A.B' + C' + D'$ recorrendo apenas ao bloco AOI da figura. Tenha em atenção o efeito do inversor final na configuração de soma de produtos. Sugere-se portanto que comece por procurar uma expressão em soma de produtos para f' .

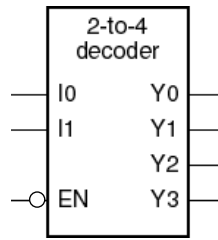
Exercício 2.

Mostre como com um decodificador 2 : 4 e duas portas OR pode implementar paralelamente as funções $f = x \oplus y$ e $g = (x \oplus y)'$.

Exercício 3.

A partir do decodificador 3 : 8 da figura e de portas NAND de 2 entradas (que podem ser inversoras) desenhe um circuito que implemente a função $f(x, y, z) = x \oplus y \oplus z$

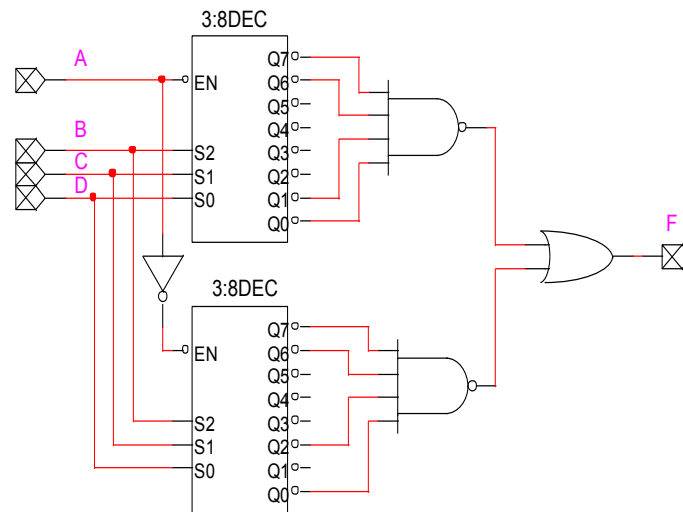


Exercício 4.

- Desenhe o esquema interno do bloco da figura: um decodificador binário 2:4 com *enable* activo a "0".
- Use o bloco anterior e mostre como acrescentando portas lógicas elementares pode implementar um multiplexer 4:1.
- Considere que dispõe apenas dum decodificador 2:4, um multiplexer 2:1 e uma porta "OR" de duas entradas. Mostre como pode implementar a função $F(x, y, z) = ((x \oplus y) \oplus z)$. Considere as variáveis invertidas também disponíveis.
- Implemente a mesma função mas agora considerando que dispõe apenas de dois decodificadores 2:4, uma porta NOT e uma porta OR com 4 entradas.

Exercício 5.

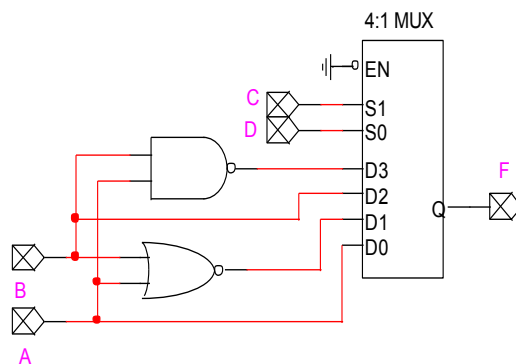
Considere a configuração de descodificação hierárquica da figura.



- Determine uma expressão mínima para $F(A, B, C, D)$.
- Proponha uma implementação baseada num multiplexer 4:1 e portas elementares se necessárias. Escolha o par A, B para variáveis de selecção.

Exercício 6.

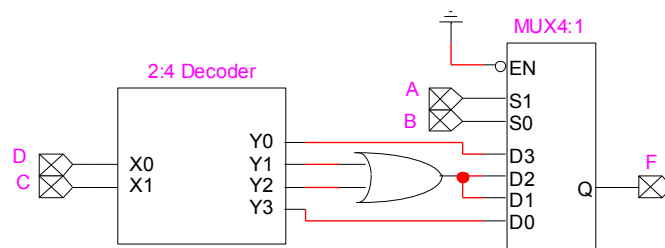
Considere o circuito da figura



- Determine a tabela de verdade de $F(A, B, C, D)$ e represente-a no respectivo mapa de Karnaugh.
- Quantos implicants primos consegue identificar?
- Determine as expressões mínimas para F nas formas de soma de produtos e de produto de somas.

Exercício 7.

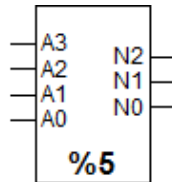
Considere o circuito da figura



- Determine a tabela de verdade de $F(A, B, C, D)$ e represente-a no respectivo mapa de Karnaugh.
- Quantos implicants primos consegue identificar?
- Determine as expressões mínimas para F nas formas de soma de produtos e de produto de somas.

Exercício 8.

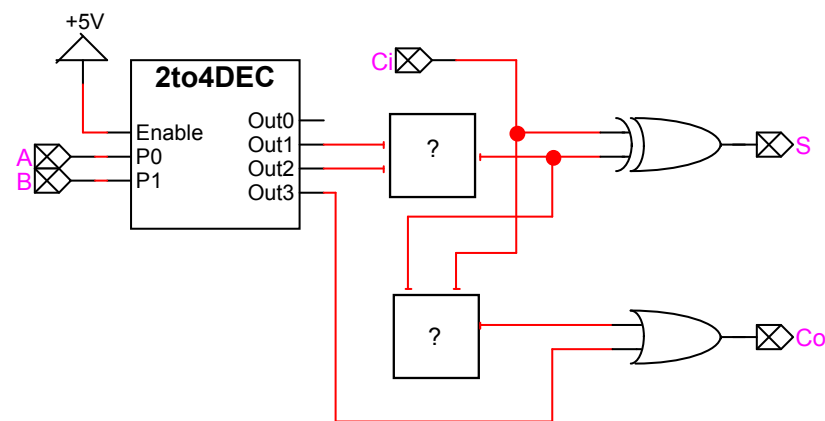
O bloco da figura representa um sistema combinatório que tem como entrada uma palavra **A** de 4 bits, $A_3A_2A_1A_0$, em código binário natural e como saída uma palavra **N** de 3 bits $N_2N_1N_0$ que representa, também em código binário natural, o resto da divisão inteira de **A** por 5, isto é $N = A \% 5$



- Construa a tabela de verdade deste bloco.
- Com o método de Karnaugh obtenha as expressões algébricas para as saídas forma de somas de produtos mínimas. Mostre que todas as saídas se expressam exclusivamente por implicants primos essenciais.
- Mostre como pode implementar as saídas N_2 , N_1 e N_0 recorrendo a 3 multiplexers 4:1 e portas elementares. Use as variáveis A_3 e A_2 como entradas de selecção dos multiplexers.

Exercício 9.

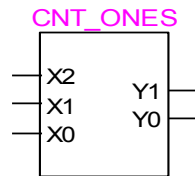
O circuito da figura representa uma implementação parcial dum somador completo para operandos de 1 bit.



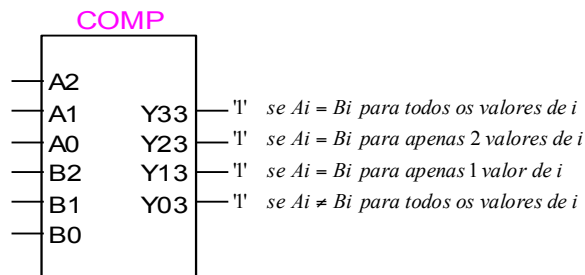
- Construa a tabela de verdade do somador completo e deduza as equações para S e Co .
- Complete o circuito da figura com portas elementares. Comprove o resultado com a tabela de verdade

Exercício 10.

Considere o bloco lógico CNT_ONES cuja saídas $Y1, Y0$ codificam o número de "1" na palavra de entrada $X = (X2, X1, X0)$.



- Mostre como realizar este bloco utilizando apenas e na menor quantidade somadores completos de 1 bit.
- Considere agora um bloco de comparação bit a bit tal como se representa na figura.



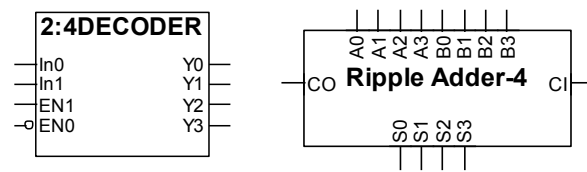
A função deste bloco é comparar bit a bit as palavras $A = (A2A1A0)$ e $B = (B2B1B0)$ e discriminar na saída Y os 4 resultados possíveis: desde "totalmente diferentes", $Y03$, até "idênticas", $Y33$, passando por 1/3 iguais, $Y13$, e 2/3 iguais, $Y23$. Desenhe um circuito que realize este bloco, combinando CNT_ONES com a lógica adicional que entender necessária (pode usar blocos combinatórios elementares). Justifique de forma sucinta as suas opções.

Exercício 11.

Construa um bloco somador/subtractor para 4 bits numa representação em complemento para 2. O sistema tem uma entrada add_L/sub que se estiver a 1 deve executar a subtração. Use apenas somadores completos de 1 bit e portas XOR de 2 entradas. Inclua uma saída de detecção de overflow. Justifique as suas opções.

Exercício 12.

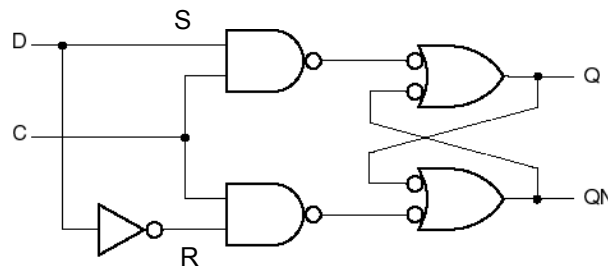
Um número de Mersenne M_n é um número inteiro positivo tal que $M_n = 2^n - 1$. Admita um contexto de representação numérica de 8 bits em complemento para 2. Pretende-se projectar um circuito combinatório com 3 entradas e 8 saídas capaz de gerar números de Mersenne para $n = 1, \dots, 7$. Para isso dispõe dos blocos lógicos que a figura indica: 2 decodificadores 2:4 e 2 somadores binários "ripple-carry".



- Efectue em binário as operações necessárias para obter, por exemplo, M_5 .
- Desenhe o sistema que permite obter M_n . Justifique cuidadosamente as suas opções.
- Seja 20 ns o tempo de atraso dos decodificadores. Se a geração de cada bit de soma implicar um atraso de 5 ns apresente, justificando, uma estimativa para o tempo total para produzir o resultado M_n .

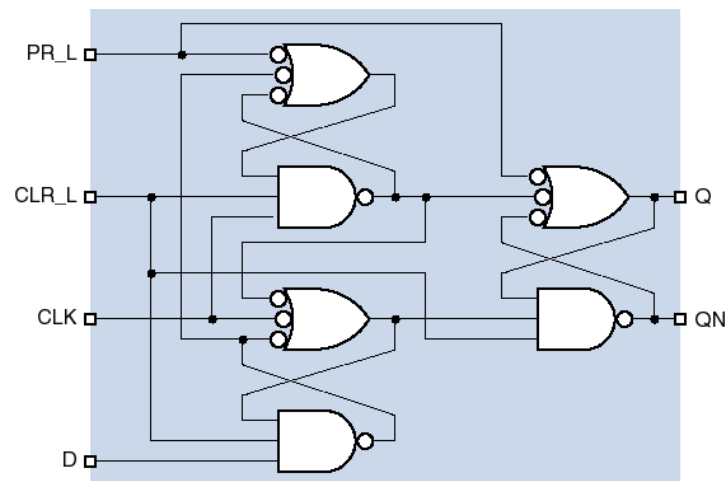
4 Sistemas Sequenciais

Exercício 1.



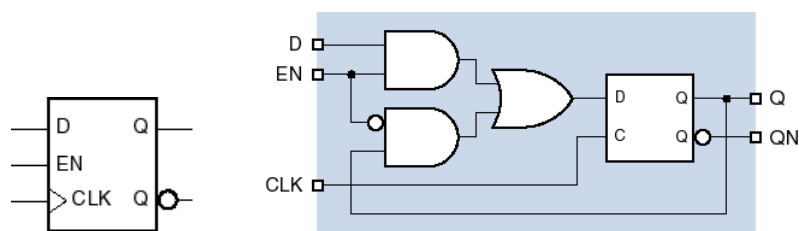
Considere o circuito sequencial da figura.

- Elabore a tabela de transições de estado a partir das entradas *S*, *R* e *C*.
- Elabore a tabela de transições de estado a partir da entrada *D* e *C*.
- Desenhe um diagrama temporal envolvendo todos sinais relevantes do circuito. Ilustre no diagrama o comportamento "latch" no que respeita à entrada *D* ao sinal temporizador *C* e à variável de estado *Q*.

Exercício 2.

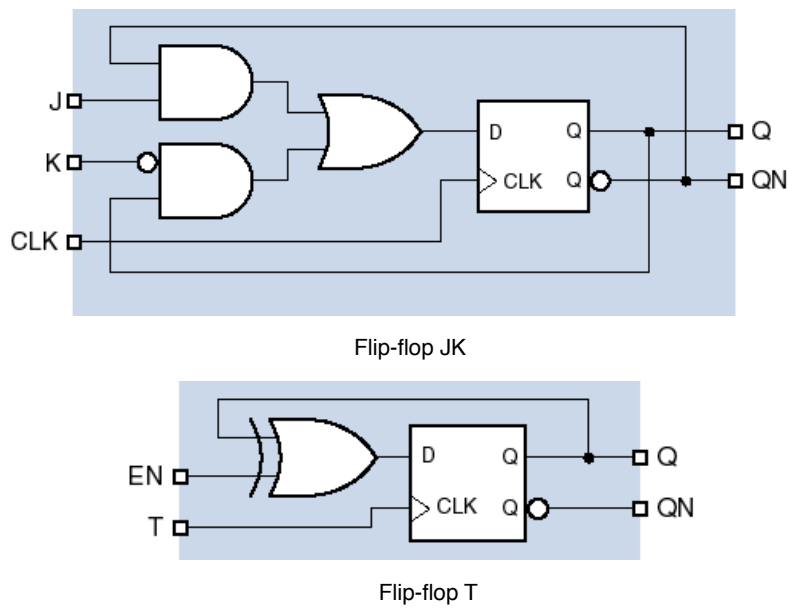
O circuito sequencial da figura representa um flip-flop D edge triggered. Tem várias malhas de realimentação em torno de "latches SR". Tem ainda entradas de "Clear" e "Preset" ambas assíncronas.

- Descreva os modos de "Clear" e "Preset" e mostre que o seu efeito é complementar e independente do sinal CLK .
- Analise o circuito para $CLK = 0$ e $CLK = 1$
- Desenhe um diagrama temporal envolvendo todos sinais relevantes do circuito. Ilustre no diagrama o comportamento edge triggered no que respeita à entrada D ao sinal temporizador CLK e à variável de estado Q .

Exercício 3.

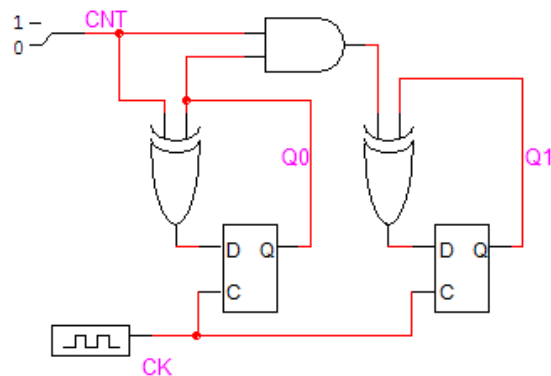
O circuito sequencial da figura representa um flip-flop D edge triggered com uma entrada de enable adicional.

- Elabore a tabela de transições de estado deste circuito e correspondente diagrama de estados
- Substitua a lógica combinatória que determinam o estado seguinte por um bloco lógico seu conhecido. Justifique.
- Desenhe um diagrama temporal envolvendo todos sinais relevantes do circuito. Ilustre no diagrama o efeito da entrada de enable.

Exercício 4.

Na figura estão representados dois tipos de flip-flops realizados a partir do flip-flop D .

- Determine as equações de estado seguinte (excitação) em cada caso.
- Elabore a tabela de transições do flip-flop JK e o correspondente diagrama de estados.
- Elabore a tabela de transições do flip-flop T e o correspondente diagrama de estados.
- Desenhe diagramas temporais que explicitem o comportamento dos circuitos.

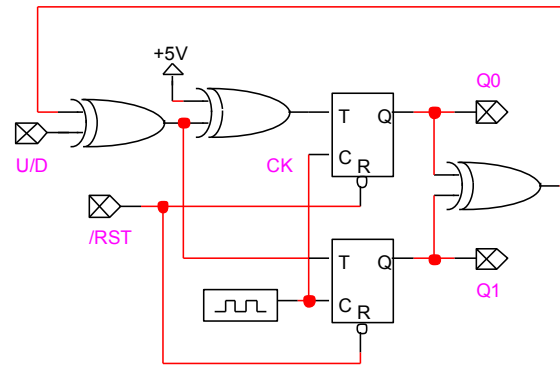
Exercício 5.

Considere o circuito da figura.

- Elabore a tabela de transição de estados e mostre, através do diagrama de estados que se trata dum contador de “1s” módulo 4.
- Desenhe um diagrama temporal que explicito o comportamento do circuito.

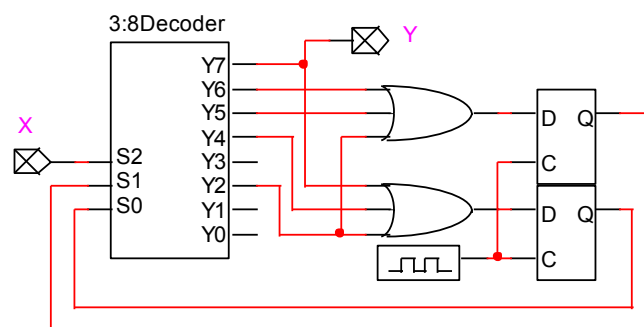
- c) Determine, justificando, atendendo ao esquema lógico, a máxima frequência de funcionamento do circuito sequencial tendo em conta as seguintes especificações temporais: flip-flops: $t_{setup} = 10\text{ ns}$, $t_{hold} = 4\text{ ns}$, $t_{pHL} = 20\text{ ns}$, $t_{pLH} = 15\text{ ns}$; tempo de atraso de cada porta lógica elementar: $t_{porta} = 10\text{ ns}$.
- d) Redesenhe o circuito usando agora flip-flops T.

Exercício 6.



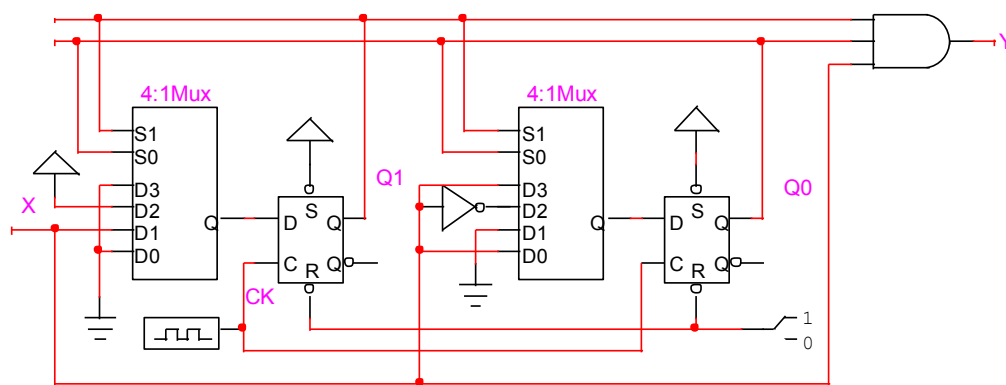
- a) Deduza as equações do estado seguinte.
- b) Mostre que o circuito da figura é um sistema de contagem up-down em código de Gray de 2bits. Comece por elaborar tabela de estados e comente o correspondente diagrama de estados
- c) Diga, justificando que tipo de máquina sequencial síncrona se trata.
- d) Sejam $t_{su} = 15\text{ ns}$, $t_h = 5\text{ ns}$, $t_{phl} = t_{plh} = 20\text{ ns}$ os tempos de setup, hold, e propagação dos flip-flops. Determine o atraso de propagação máximo das portas XOR para que se possa atingir uma frequência de funcionamento do circuito de 20 MHz

Exercício 7.



- Determine o diagrama de estados/saídas do sistema.
- Qual a sequência detectada pelo circuito. Com sobreposição ou sem sobreposição? Justifique.
- Trata-se duma máquina de Mealy ou de Moore? Justifique
- Cálculo o máximo atraso de propagação devido ao decodificador para que sistema possa atingir uma frequência máxima de funcionamento de 25 MHz. Considere
F/F D: $t_{su} = 10ns$ $t_h = 5ns$ $t_{pHL} = t_{pLH} = 15ns$
Portas elementares $t_p = 5ns$

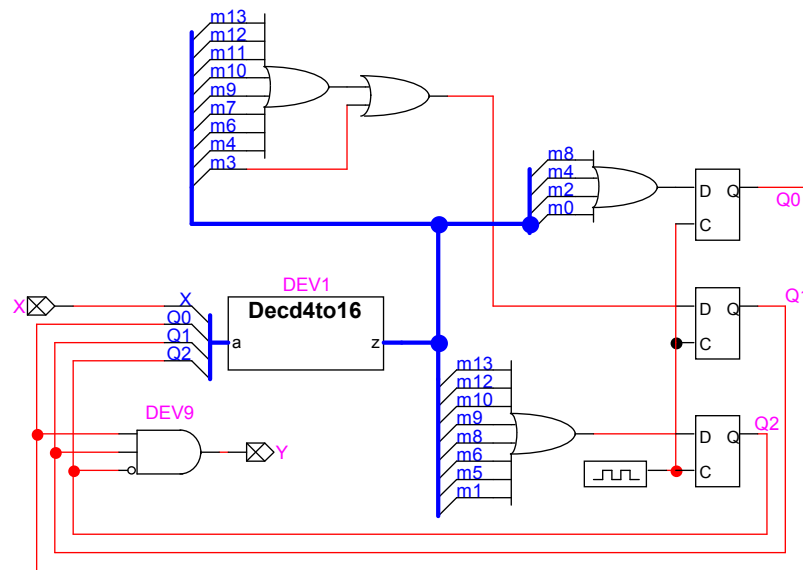
Exercício 8.



- Elabore a tabela de transições/saídas do sistema
- Determine o diagrama de estados/saídas do sistema.
- Trata-se duma máquina de Mealy ou de Moore? Justifique.
- Considere os seguintes parâmetros temporais: Flip-Flops - $t_{su} = ?$ $t_h = 5ns$, $t_{pHL} = 18ns$, $t_{pLH} = 22ns$, portas elementares - $t_d = 5ns$, multiplexers - $t_d = 8ns$. Determine o máximo t_{su} para que o circuito possa funcionar pelo menos a uma frequência de 20 MHz.
- Sem recalculas as tabelas de excitação diga como poderia substituir a implementação baseada em flip-flops D do circuito da figura por flip-flops T.

Exercício 9.

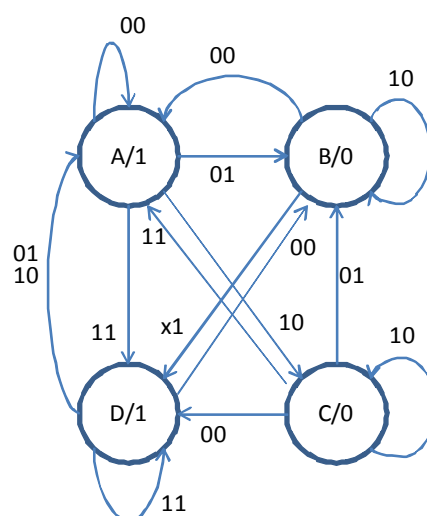
No circuito da figura com entrada X e saída Y , o estado seguinte é determinado por funções booleanas implementadas por um decodificador 4:16 e portas "OR". No decodificador a entrada de índice mais elevado é Q_2 e saída de índice mais elevado é m_{15}



- Trata-se duma máquina de Mealy ou de Moore? Justifique.
- Expresse as equações de excitação na 1ª forma canónica
- Elabore a tabela de transição de estados/saída
- Determine o diagrama de estados/saídas do sistema. Demonstre com várias sequências de entrada/saída que se trata dum detector de do padrão 010 desde que o padrão 100 nunca ocorra.

Exercício 10.

Considere o seguinte diagrama de estados/saídas referente a uma dada máquina sequencial síncrona com entradas u, v e saída y .

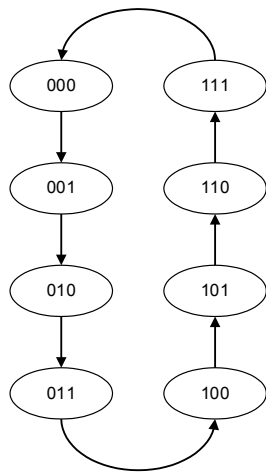


- Identifique, justificando, o tipo da máquina.

- Elabore a correspondente tabela de estados/ saída.
- Codifique os estados usando o código binário natural. Obtenha a tabela de transições/saídas
- Determine as equações do estado seguinte para os flip-flops D necessários para implementar o sistema.
- Implemente a saída com um multiplexer 4:1. Escolha as variáveis de estado como entradas de selecção.

Exercício 11.

Considere a seguinte diagrama de estados referente a um contador binário de 3 bits assim como a respectiva tabela de transição.



Q2	Q1	Q0	Q2+	Q1+	Q0+
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	0

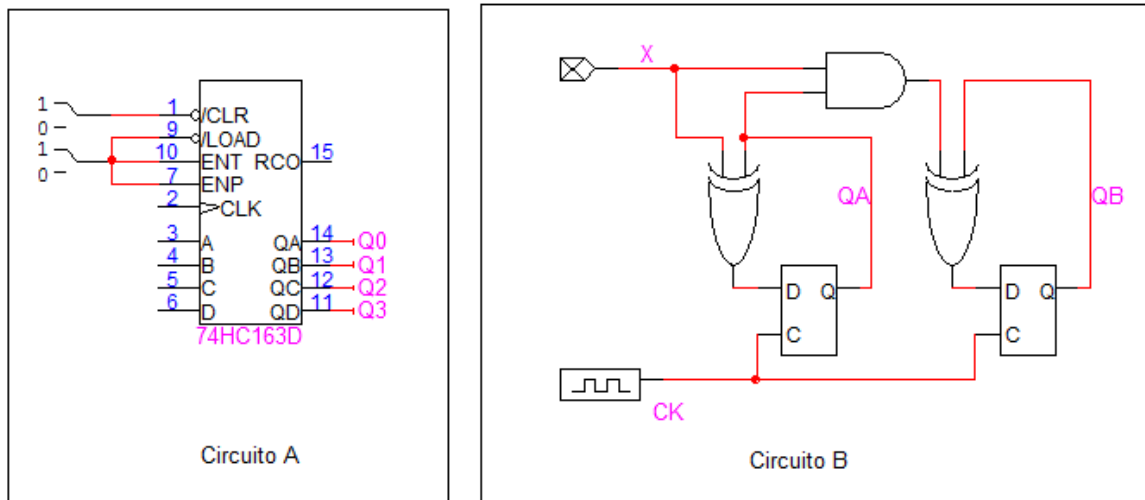
- Determine as equações de excitação de cada flip-flop D.
- Generalize e verifique que se tem genericamente:

$$D_0 = Q_0 \oplus 1, D_1 = Q_1 \oplus Q_0, D_2 = Q_2 \oplus Q_1 \cdot Q_0 \dots D_{n-1} \oplus \prod Q_{n-2} \dots Q_0$$

- Deduzas as equações de excitação para o caso de contagem decrescente
- Construa e desenhe um contador módulo 8 com uma entrada ud que determina o sentido da contagem i.e: $ud = 0$ a contagem é crescente, $ud = 1$ a contagem é decrescente. Considere ainda que dispõe apenas para a implementação de 3 f/fs D, 1 Mux 2:1 e portas elementares.

Exercício 12.

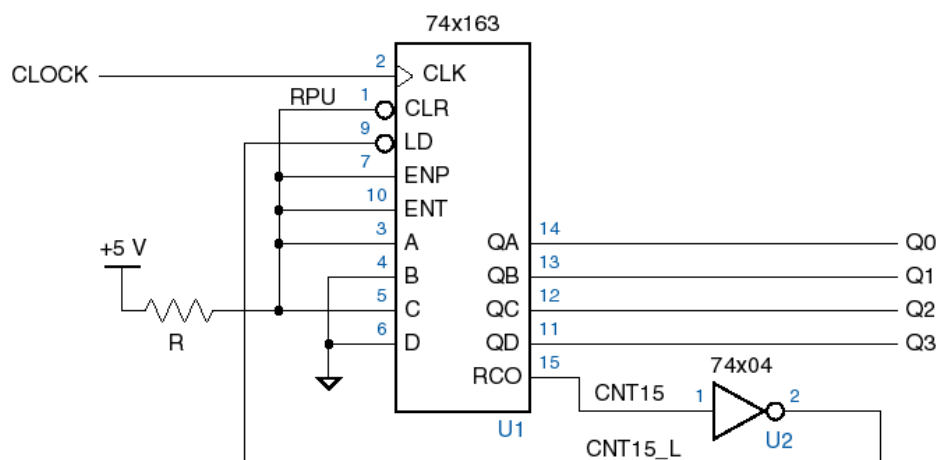
O circuito A é composto pelo contador binário de 4 bits 74163 com "clear" e "load" síncronos.



- Determine o diagrama de estados do circuito B
- Ligue convenientemente o circuito A ao circuito B de modo a que globalmente o sistema funcione como um contador binário módulo 64.
- Admita que o contador 74163 tem uma frequência máxima de funcionamento de 25 MHz. Determine, justificando, atendendo ao esquema lógico do circuito B, o máximo tempo de propagação dos flip-flops para que o contador módulo 64 possa funcionar ainda a 25 MHz. Admita as seguintes especificações temporais:
 - flip-flops: $t_{su} = 10\text{ ns}$, $t_h = 4\text{ ns}$, $\max(t_{pHL}, t_{pLH}) = ?$;
 - tempo de atraso de cada porta lógica elementar: $t_g = 10\text{ ns}$

Exercício 13.

A figura representa um esquema de contagem com offset realizado com o contador 74163.



- a) Determine a sequência de contagem
- b) Desenhe o diagrama temporal

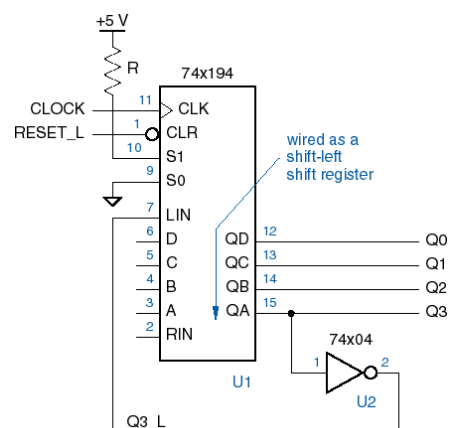
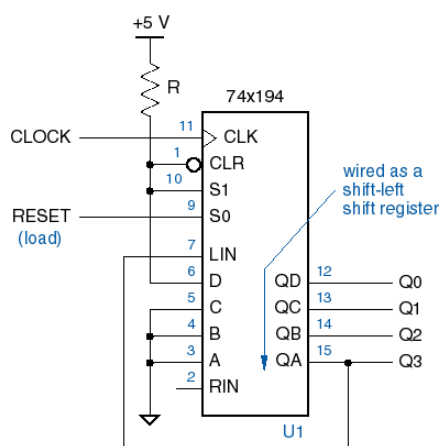
Exercício 14.

Recorrendo a 2 contadores 74163 e lógica combinatória elementar. Proponha implementações de contadores

- a) Módulo 80
- b) Módulo 85
- c) Módulo 100

Exercício 15.

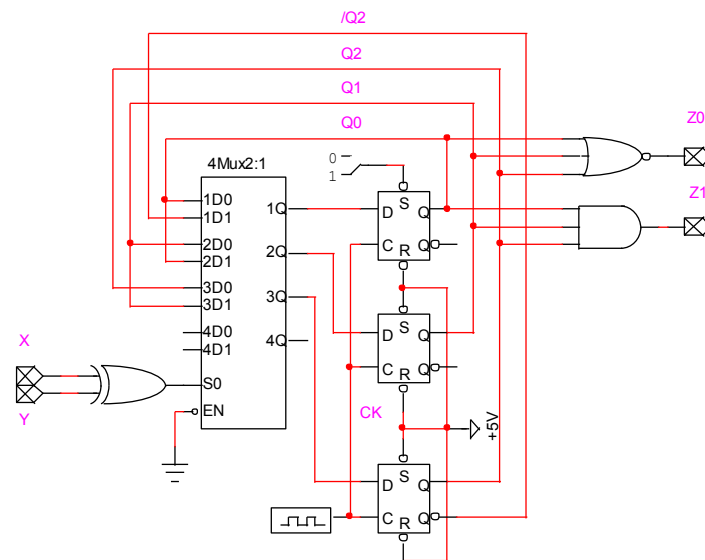
Os circuitos da figura demonstram a utilização do registro de deslocamento universal 74194 em configurações de contagem. Em anel simples à esquerda e em configuração de anel invertido (Johnson). Em ambos os casos o processo de contagem inicia-se activando adequadamente o sinal de reset.



- a) Determine a condição inicial adequada em cada caso.
- b) Determine em cada caso o respectivo diagrama de estados
- c) Desenhe os respectivos diagramas temporais

Exercício 16.

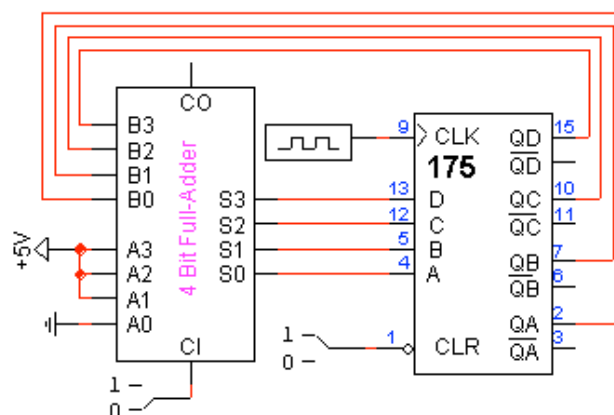
Considere o circuito da figura com entradas X, Y e saídas Z_1, Z_0 .



- Determine justificadamente se há ou não transição de estado quando $X = Y$
- Considere agora que $X \neq Y$ e que o estado inicial é $Q_2, Q_1, Q_0 = 001$. Explique que nestas condições estamos perante um contador Johnson com 6 estados.
- Elabore o diagrama de estados/saídas completo e mostre que pode ocorrer um problema de *self-starting*.
- Qual o papel das saídas Z_1, Z_0 ?

Exercício 17.

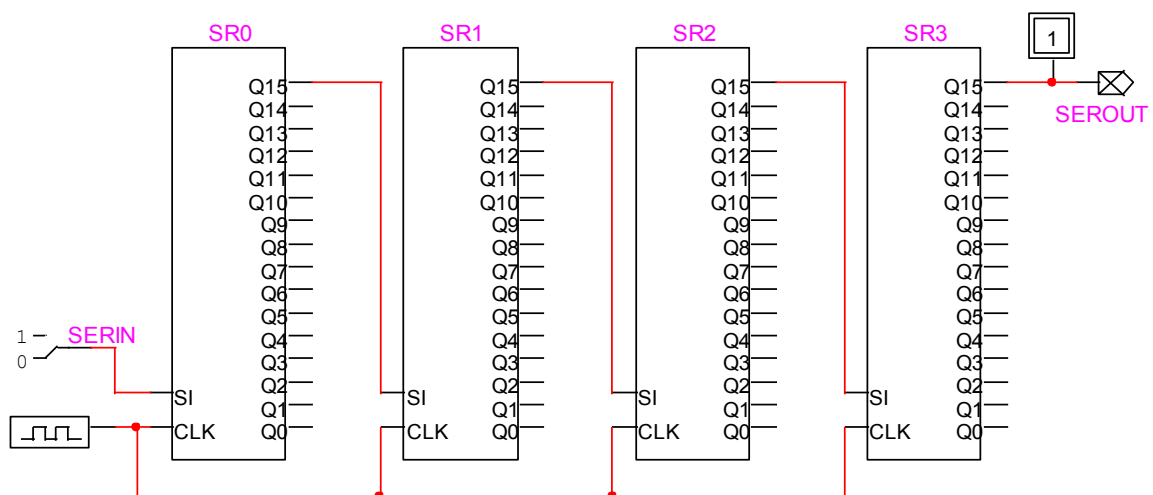
Considere o circuito da figura envolvendo um registo simples com 4 flip-flops D (74175) e um somador iterativo de 4 bits.



- Determine o diagrama de estados
- Modifique o circuito para obter a sequência de contagem 3, 6, 9, 12, 15, 3, ...

Exercício 18.

O circuito da figura representa uma linha de atraso digital de 64 bits. Comece por compreender o seu funcionamento e verifique que do ponto de vista de entrada/saída o número de atrasos é fixo. Pretende-se modificar o circuito de modo tornar a linha de atraso programável a partir de 6 entradas adicionais $A_5 \dots A_0$



- Conceba uma solução baseada em 5 multiplexers. Opte pela melhor configuração.
- Conceba uma solução baseada em apenas num multiplexer 16:1 e noutro multiplexer 8:1. Justifique as suas opções.

Exercício 19.

Um pequeno sistema de computação em hardware digital tem como tarefa calcular sequencialmente a expressão com 2 operandos de 4 bits $((A \times 2) + B)/2$. O sistema engloba dois blocos fundamentais: o bloco de manipulação de dados *datapath* e o bloco de controlo. Este problema foca-se apenas no *datapath*. Considere então que dispõe dum registo de 4 bits que não é de deslocamento, um circuito somador completo de 4 bits e multiplexers 4:1.

- Projecte o *datapath* deste sistema com estes componentes, ignorando eventuais problemas de overflow e tendo em conta que as operações são realizadas sequencialmente de acordo com o seguinte algoritmo:
 $//Q = Q_3 \dots Q_0$ são os bits do registo
 $//A = A_3 \dots A_0$
 $//B = B_3 \dots B_0$

1. $\mathbf{Q} \leftarrow \mathbf{A}$
 2. $\mathbf{Q} \leftarrow 2 \times \mathbf{Q}$
 3. $\mathbf{Q} \leftarrow \mathbf{Q} + \mathbf{B}$
 4. $\mathbf{Q} \leftarrow \mathbf{Q}/2$
- b) Esboce o circuito e justifique as suas opções. Mencione a sequência dos códigos binários que devem aplicar-se às variáveis de selecção dos multiplexers para a correcta execução do algoritmo.
- c) Considere que o t_{su} dos flip-flops é de 10ns, o t_h é de 5ns, os tempos de propagação t_{pHL} e t_{pLH} são de 20ns, e que os atrasos do somador e dos multiplexers são respectivamente de 15ns e de 5ns. Determine, de acordo com a sua solução, e justificando adequadamente todos os passos, a máxima frequência de funcionamento do circuito.