



Centro Federal de Educação Tecnológica de Minas Gerais

Departamento de Computação
Curso de Graduação em Engenharia da Computação
Laboratório de Arquitetura e Organização de Computadores II
Profa. Poliana Aparecida Corrêa de Oliveira (poliana@cefetmg.br)

Prática I – Valor: 20 pontos

Data de Entrega: Partes I e II: 18/08/2023
Data de Entrega Parte III: 25/08/2023

Objetivo: Esta prática tem a finalidade de exercitar os conceitos relacionados à hierarquia de memória e relembrar como se utiliza a placa FPGA.

Parte I (4 pontos): Implementação de uma memória RAM utilizando a biblioteca LPM. A parte I do arquivo *PraticaI_ingles.pdf* apresenta uma orientação de como utilizar essa biblioteca. A leitura e escrita devem ser realizadas utilizando o *display* de 7-segmentos. Devem ser realizadas duas escritas em posições distintas da memória e em seguida a leitura destas posições. Para o teste, use como posições o último dígito de matrícula da dupla (se iguais, use o penúltimo dígito) e como valores o penúltimo dígito de matrícula da dupla (se iguais, use o antepenúltimo dígito).

Parte II (4 pontos): Inicialização da memória utilizando um arquivo (MIF - *memory initialization file* (MIF)). A parte V do arquivo *PraticaI_ingles.pdf* apresenta uma orientação de como usar essa biblioteca. A leitura e escrita devem ser realizadas utilizando o *display* de 7-segmentos. As primeiras posições da memória devem conter os últimos três dígitos do número de matrícula de cada membro da dupla e as demais posições devem ser números sequenciais em ordem crescente.

Parte III (12 pontos): Implemente uma hierarquia de memória organizada em uma cache L1 e uma memória principal (atualização da memória utilizando *Write-Back*). A cache L1 deve ser totalmente associativa e a memória principal deve ser diretamente mapeada. Cada dupla deve criar o seu código de teste para demonstrar os seguintes casos: o que ocorre em quando há acerto e falha de leitura/escrita na cache e situações que modificam os bits “Dirty”, “LRU” e “Válido”. A memória e a cache devem ser inicializadas da seguinte forma, utilizando o arquivo (MIF):

Cache de dados 4x? (valores em decimal)

Válido?	Dirty?	LRU*	Tag	Valor
1	0	0	20	6
1	0	1	22	2
0	0	3	25	6
1	0	2	21	4

*LRU: 3 mais antigo, 0 mais recente

? faz parte do seu projeto definir a quantidade de bits da cache

Memória Principal 32x8 (valores em decimal)

Endereço	Valor
0	0
...	...
20	6
21	4
22	2
23	3
24	7
25	6
26	4
27	5
28	9
...	...
31	1

Submissão

Crie um pacote contendo TODOS os códigos fontes, formas de onda e o relatório do projeto. Cada dupla deverá submeter um pacote no Moodle. O nome do arquivo deve ser: *pratica1_nomealuno1_nomealuno2.zip*

O relatório deverá incluir os seguintes componentes:

1. Para cada parte, as **formas de onda** com uma **explicação** e **indicações** na figura que mostre o correto funcionamento.
2. Para a parte II e III, arquivo .mif.
3. O **projeto** do seu sistema para a **Parte III**, incluindo detalhes necessários dos módulos criados. Faça uma figura mostrando os blocos básicos e interconexões.

Apresentação em sala

Para cada parte da atividade prática, a dupla deverá apresentar o funcionamento na placa com as seguintes funcionalidades:

Parte I e Parte II: Leitura e escrita em posições distintas da memória.

Parte III: (a) Leitura/escrita com acerto; (b) Leitura/escrita com falha; (c) atualização da cache com dados vindos da memória principal; (d) atualização dos bits “válido”, “dirty” e “LRU”, (e) funcionamento do *write-back*.

Avaliação

Parte I: Qualidade do código (0,5 pt); Simulações com explicações no relatório (1,5 pt); Apresentação na Placa (1,5 pt)

Parte II: Qualidade do código (0,5 pt); Simulações com explicações no relatório (1,5 pt); Apresentação na Placa (1,5 pt)

Parte III: Qualidade do código (3,0 pts); Simulações com explicações no relatório (3,5 pts); Apresentação na Placa (3,5 pts)

Relatório: Qualidade do texto, descrição do projeto e figura (3,0 pts)