

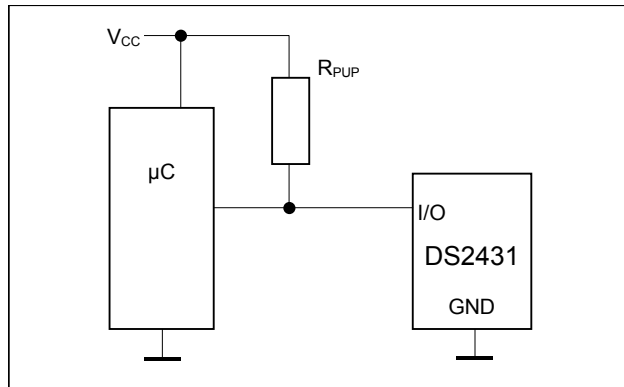
概述

DS2431 是一款 1024 位 1-Wire® EEPROM 芯片，由四个存储器页组成，每页 256 位。数据先被写入一个 8 字节暂存器中，经校验无误后复制到 EEPROM 存储器。其特点在于，四个存储器页相互独立，可以单独设置写保护或 EPROM 仿真模式，在 EPROM 仿真模式下，所有位的状态只能从 1 变成 0。DS2431 通过一根 1-Wire 总线进行通信。通信采用 Dallas Semiconductor 标准的 1-Wire 协议。每个器件都有唯一的、不能更改的 64 位 ROM 地址码，该地址码由工厂光刻写入芯片。在一个多点的 1-Wire 网络环境中，该地址码用于对器件进行寻址。

应用

附件/PC 板识别
医疗传感器校准数据存储
模拟传感器校准，包括 IEEE-P1451.4 智能传感器
墨盒/碳粉打印盒识别
消费类产品的售后管理

典型工作电路



订购信息及引脚配置(续)请参考第 24 页。

为了区分清楚，命令、寄存器、模式均为大写。

1-Wire 是 Dallas Semiconductor Corp. 的注册商标。

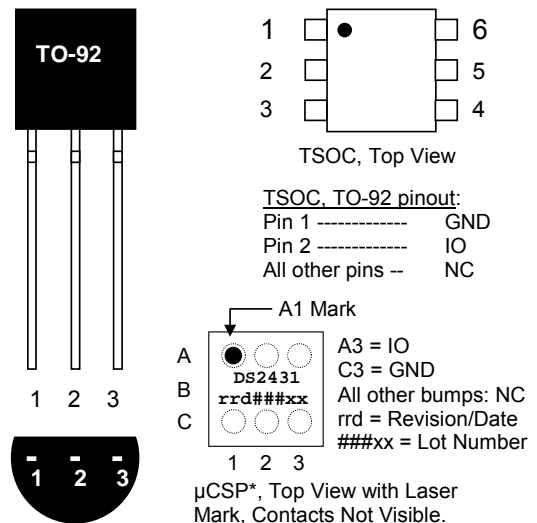
特性

- 1024 位 EEPROM 存储器，分为四页，每页 256 位。
- 独立的存储器页，可以永久写保护或设置成 EPROM 仿真模式(“写入 0”)。
- 通过切换点滞回与滤波，对噪声条件下的性能进行优化。
- IEC 1000-4-2 Level 4 ESD 保护(8kV 接触模式，15kV 气隙放电模式)。
- 可在 -40°C 至 +85°C 温度范围，2.8V 至 5.25V 的宽电压范围内进行读写操作。
- 按照 1-Wire 协议，在 15.4kbps 或 125kbps 速率下使用单独数字信号与主机通信。

订购信息

PART	TEMP RANGE	PIN-PACKAGE
DS2431	-40°C to +85°C	TO-92
DS2431/T&R	-40°C to +85°C	TO-92, tape-and-reel
DS2431P	-40°C to +85°C	TSOC
DS2431P/T&R	-40°C to +85°C	TSOC, tape-and-reel

引脚配置



See 56-G7007-001 for package outline.

* Refer to package reliability report for important guidelines on qualified usage conditions.

ABSOLUTE MAXIMUM RATINGS

I/O Voltage to GND	-0.5V, +6V
I/O Sink Current	20mA
Operating Temperature Range	-40°C to +85°C
Junction Temperature	+150°C
Storage Temperature Range	-40°C to +85°C
Soldering Temperature	See IPC/JEDEC J-STD-020A

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to the absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS(T_A = -40°C to +85°C; see Note 1.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
I/O PIN GENERAL DATA						
1-Wire Pullup Voltage	V _{PUP}	(Notes 2)	2.8		5.25	V
1-Wire Pullup Resistance	R _{PUP}	(Notes 2, 3)	0.3		2.2	kΩ
Input Capacitance	C _{IO}	(Notes 4, 5)			1000	pF
Input Load Current	I _L	I/O pin at V _{PUP}	0.05		6.7	μA
High-to-Low Switching Threshold	V _{TL}	(Notes 5, 6, 7)	0.5		V _{PUP} - 1.8	V
Input Low Voltage	V _{IL}	(Notes 2, 8)			0.3	V
Low-to-High Switching Threshold	V _{TH}	(Notes 5, 6, 9)	1.0		V _{PUP} - 1.0	V
Switching Hysteresis	V _{HY}	(Notes 5, 6, 10)	0.21		1.70	V
Output Low Voltage	V _{OL}	At 4mA (Note 11)			0.4	V
Recovery Time (Notes 2, 12)	t _{REC}	Standard speed, R _{PUP} = 2.2kΩ	5			μs
		Overdrive speed, R _{PUP} = 2.2kΩ	2			
		Overdrive speed, directly prior to reset pulse; R _{PUP} = 2.2kΩ	5			
Rising-Edge Hold-off Time (Notes 5, 13)	t _{REH}	Standard speed	0.5		5.0	μs
		Overdrive speed			Not applicable (0)	
Timeslot Duration (Notes 2, 14)	t _{SLOT}	Standard speed	65			μs
		Overdrive speed	8			
I/O PIN, 1-Wire RESET, PRESENCE DETECT CYCLE						
Reset Low Time (Note 2)	t _{RSTL}	Standard speed	480		640	μs
		Overdrive speed	48		80	
Presence Detect High Time	t _{PDH}	Standard speed	15		60	μs
		Overdrive speed	2		6	
Presence Detect Low Time	t _{PDL}	Standard speed	60		240	μs
		Overdrive speed	8		24	
Presence Detect Sample Time (Notes 2, 15)	t _{MSP}	Standard speed	60		75	μs
		Overdrive speed	6		10	
I/O PIN, 1-Wire WRITE						
Write-0 Low Time (Notes 2, 16)	t _{W0L}	Standard speed	60		120	μs
		Overdrive speed, V _{PUP} > 4.5V	5		15.5	
		Overdrive speed	6		15.5	
Write-1 Low Time (Notes 2, 17)	t _{W1L}	Standard speed	1		15 - ε	μs
		Overdrive speed	1		2 - ε	
I/O PIN, 1-Wire READ						
Read Low Time (Notes 2, 18)	t _{RL}	Standard speed	5		15 - δ	μs
		Overdrive speed	1		2 - δ	
Read Sample Time (Notes 2, 18)	t _{MSR}	Standard speed	t _{RL} + δ		15	μs
		Overdrive speed	t _{RL} + δ		2	
EEPROM						
Programming Current	I _{PROG}	(Notes 5, 19)			0.8	mA
Programming Time	t _{PROG}	(Notes 20, 21)			10	ms
Write/Erase Cycles (Endurance) (Notes 22, 23)	N _{CY}	At +25°C	200k			—
		At +85°C (worst case)	50k			
Data Retention (Notes 24, 25, 26)	t _{DR}	At +85°C (worst case)	40			years

- Note 1:** Specifications at $T_A = -40^{\circ}\text{C}$ are guaranteed by design only and not production-tested.
- Note 2:** System requirement.
- Note 3:** Maximum allowable pullup resistance is a function of the number of 1-Wire devices in the system and 1-Wire recovery times. The specified value here applies to systems with only one device and with the minimum 1-Wire recovery times. For more heavily loaded systems, an active pullup such as that found in the DS2482-x00, DS2480B, or DS2490 may be required.
- Note 4:** Maximum value represents the internal parasite capacitance when V_{PUP} is first applied. If a $2.2\text{k}\Omega$ resistor is used to pull up the data line, $2.5\mu\text{s}$ after V_{PUP} has been applied the parasite capacitance will not affect normal communications.
- Note 5:** Guaranteed by design, characterization and/or simulation only. Not production tested.
- Note 6:** V_{TL} , V_{TH} , and V_{HY} are a function of the internal supply voltage which is itself a function of V_{PUP} , R_{PUP} , 1-Wire timing, and capacitive loading on IO. Lower V_{PUP} , higher R_{PUP} , shorter t_{REC} , and heavier capacitive loading all lead to lower values of V_{TL} , V_{TH} , and V_{HY} .
- Note 7:** Voltage below which, during a falling edge on IO, a logic 0 is detected.
- Note 8:** The voltage on IO needs to be less or equal to $V_{IL(MAX)}$ at all times the master is driving IO to a logic-0 level.
- Note 9:** Voltage above which, during a rising edge on IO, a logic 1 is detected.
- Note 10:** After V_{TH} is crossed during a rising edge on IO, the voltage on IO has to drop by at least V_{HY} to be detected as logic '0'.
- Note 11:** The I-V characteristic is linear for voltages less than 1V.
- Note 12:** Applies to a single device attached to a 1-Wire line.
- Note 13:** The earliest recognition of a negative edge is possible at t_{REH} after V_{TH} has been reached on the preceding rising edge.
- Note 14:** Defines maximum possible bit rate. Equal to $t_{WOL(min)} + t_{REC(min)}$.
- Note 15:** Interval after t_{RSTL} during which a bus master is guaranteed to sample a logic-0 on IO if there is a DS2431 present. Minimum limit is $t_{PDH(max)}$; maximum limit is $t_{PDH(min)} + t_{PDL(min)}$.
- Note 16:** Highlighted numbers are NOT in compliance with legacy 1-Wire product standards. See comparison table below.
- Note 17:** ε represents the time required for the pullup circuitry to pull the voltage on IO up from V_{IL} to V_{TH} .
- Note 18:** δ represents the time required for the pullup circuitry to pull the voltage on IO up from V_{IL} to the input high threshold of the bus master.
- Note 19:** Current drawn from IO during the EEPROM programming interval. The pullup circuit on IO during the programming interval should be such that the voltage at IO is greater than or equal to $V_{PUP(MIN)}$. If V_{PUP} in the system is close to $V_{PUP(MIN)}$ then a low impedance bypass of R_{PUP} which can be activated during programming may need to be added.
- Note 20:** Interval begins t_{WILMIN} after the leading negative edge on IO for the last timeslot of the E/S byte for a valid Copy Scratchpad sequence. Interval ends once the device's self-timed EEPROM programming cycle is complete and the current drawn by the device has returned from I_{PROG} to I_L .
- Note 21:** t_{PROG} for units branded version 'A1' is 12.5ms. t_{PROG} for units branded version 'A2' and later is 10ms.
- Note 22:** Write-cycle endurance is degraded as T_A increases.
- Note 23:** Not 100% production-tested; guaranteed by reliability monitor sampling.
- Note 24:** Data retention is degraded as T_A increases.
- Note 25:** Guaranteed by 100% production test at elevated temperature for a shorter time; equivalence of this production test to data sheet limit at operating temperature range is established by reliability testing.
- Note 26:** EEPROM writes may become non-functional after the data retention time is exceeded. Long-time storage at elevated temperatures is not recommended; the device may lose its write capability after 10 years at $+125^{\circ}\text{C}$ or 40 years at $+85^{\circ}\text{C}$.

PARAMETER	LEGACY VALUES				DS2431 VALUES			
	STANDARD SPEED		OVERDRIVE SPEED		STANDARD SPEED		OVERDRIVE SPEED	
	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX
t_{SLOT} (incl. t_{REC})	$61\mu\text{s}$	(undef.)	$7\mu\text{s}$	(undef.)	$65\mu\text{s}^{1)}$	(undef.)	$8\mu\text{s}^{1)}$	(undef.)
t_{RSTL}	$480\mu\text{s}$	(undef.)	$48\mu\text{s}$	$80\mu\text{s}$	$480\mu\text{s}$	$640\mu\text{s}$	$48\mu\text{s}$	$80\mu\text{s}$
t_{PDH}	$15\mu\text{s}$	$60\mu\text{s}$	$2\mu\text{s}$	$6\mu\text{s}$	$15\mu\text{s}$	$60\mu\text{s}$	$2\mu\text{s}$	$6\mu\text{s}$
t_{PDL}	$60\mu\text{s}$	$240\mu\text{s}$	$8\mu\text{s}$	$24\mu\text{s}$	$60\mu\text{s}$	$240\mu\text{s}$	$8\mu\text{s}$	$24\mu\text{s}$
t_{WOL}	$60\mu\text{s}$	$120\mu\text{s}$	$6\mu\text{s}$	$16\mu\text{s}$	$60\mu\text{s}$	$120\mu\text{s}$	$6\mu\text{s}$	$15.5\mu\text{s}$

¹⁾ Intentional change, longer recovery time requirement due to modified 1-Wire front end.

引脚说明

名称	功能
I/O	1-Wire 总线接口, 漏级开路, 需外接上拉电阻。
GND	参考地。
N.C.	悬空。

说明

DS2431 包含 1024 位的 EEPROM，一个用户可最多读写 7 字节的 8 字节寄存器/控制页，并且在单一芯片中集成了全功能 1-Wire 接口。每个 DS2431 都有一个出厂时利用激光光刻写入芯片的 64 位 ROM 地址码，以保证其绝对可溯性。数据按照 1-Wire 协议串行传输，只需要一根数据线和返回地线。DS2431 有一个称为暂存器的附加存储区，在向主存储器或寄存器页写入数据时用作缓存器。数据首先被写入暂存器，并可从这里读回。经过校验无误后，Copy Scratchpad 命令将数据传送到最终存储器单元。DS2431 的应用包括附件/PC 板识别，医疗传感器校准数据存储，模拟传感器校准，包括 IEEE-P1451.4 智能传感器，墨盒/碳粉打印盒识别，以及消费类产品的售后管理。

概述

图 1 中的结构框图说明了 DS2431 主控单元与存储器部分的关系。DS2431 包括四个主要数据部件：1) 64 位光刻 ROM，2) 64 位暂存器，3) 四个 32 字节 EEPROM 页，4) 64 位寄存器页。1-Wire 协议的层次结构见图 2 所示，主机必须首先发送如下七条 ROM 操作命令中的一条：1) Read ROM，2) Match ROM，3) Search ROM，4) Skip ROM，5) Resume，6) Overdrive-Skip ROM，7) Overdrive-Match ROM。当以标准速度执行完 Overdrive ROM 命令后，器件进入高速模式，所有后续通信均以高速模式进行。与 ROM 操作命令有关的协议说明见图 9。成功地执行了 ROM 操作命令后，就可以进行存储器操作，主机可发出四条存储器操作命令中的任一条。与存储器操作命令有关的协议说明见图 7。所有数据读写时，都是低位在前。

图 1. 结构框图

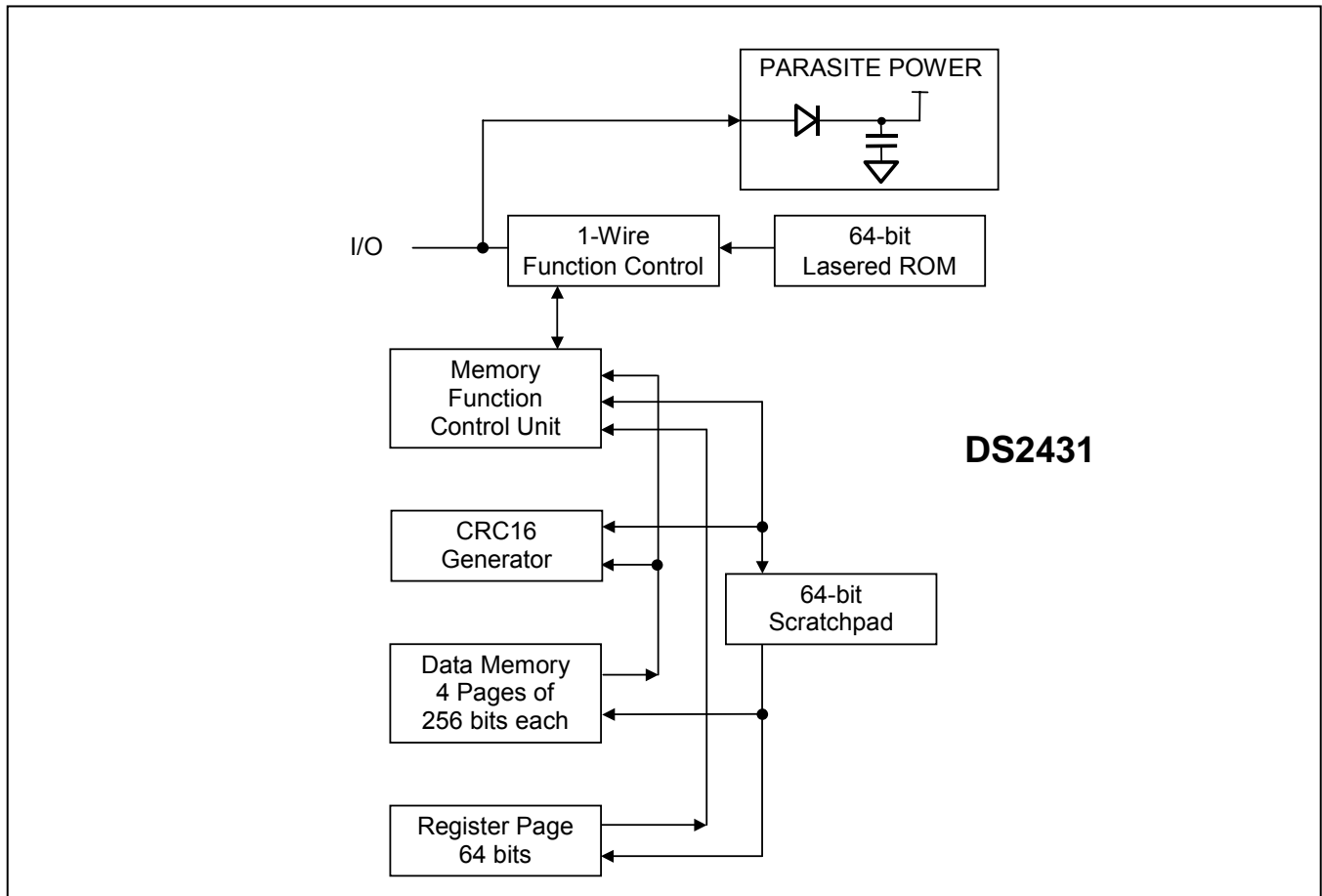
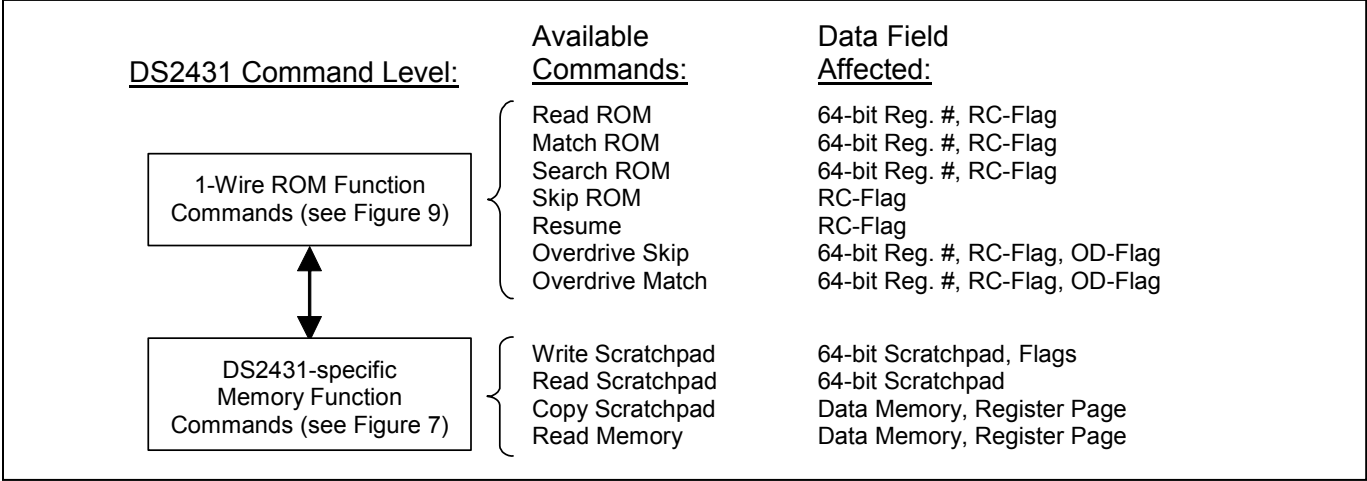


图 2. 1-Wire 协议层次结构图



64 位光刻 ROM

每个DS2431 都有唯一一个 64 位ROM代码，其中前 8 位是一个 1-Wire家族码，中间 48 位是唯一的序列号，最后 8 位是前 56 位的CRC（循环冗余校验）码。详见图 3 所示。1-Wire CRC校验码通过一个包括移位寄存器和异或门的多项式发生器产生，如图 4 所示。该多项式为： $X^8 + X^5 + X^4 + 1$ 。有关Dallas 1-Wire CRC校验码的更多信息请参考应用笔记 27。

移位寄存器初始化时被清 0。然后从家族码的最低有效位开始，每次移入一位。当家族码的最后一位被移入后，再移入序列号。当序列号的最后一位也被移入时，移位寄存器的值即为 CRC 码的值。继续移入 8 位 CRC 码后，移位寄存器所有位归 0。

图 3. 64 位光刻 ROM

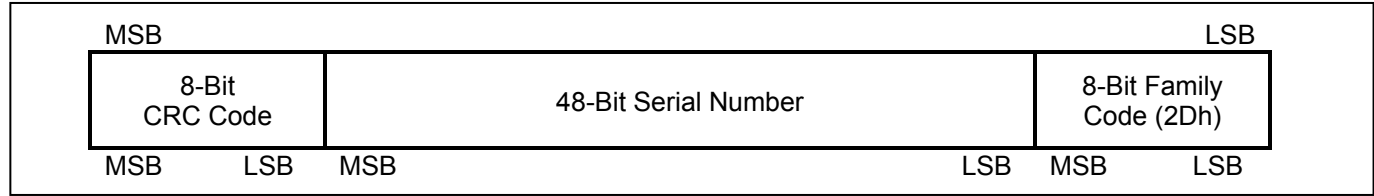


图 4. 1-Wire CRC 发生器

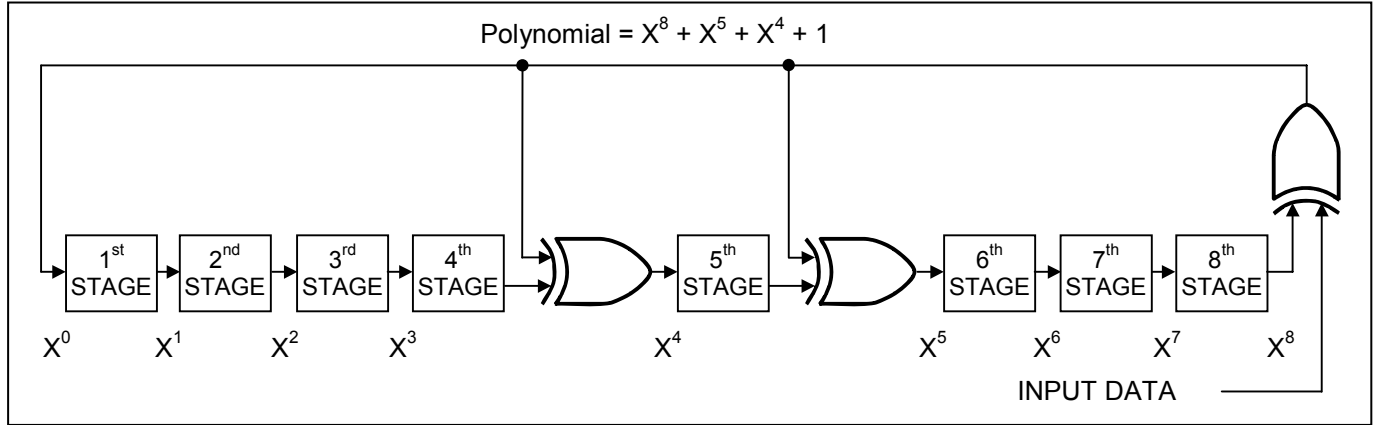


图 5. 存储器映像

ADDRESS RANGE	TYPE	DESCRIPTION	PROTECTION CODES
0000h to 001Fh	R/(W)	Data Memory Page 0	
0020h to 003Fh	R/(W)	Data Memory Page 1	
0040h to 005Fh	R/(W)	Data Memory Page 2	
0060h to 007Fh	R/(W)	Data Memory Page 3	
0080h ¹⁾	R/(W)	Protection Control Byte Page 0	55h: Write Protect P0; AAh: EPROM mode P0; 55h or AAh: Write Protect 80h
0081h ¹⁾	R/(W)	Protection Control Byte Page 1	55h: Write Protect P1; AAh: EPROM mode P1; 55h or AAh: Write Protect 81h
0082h ¹⁾	R/(W)	Protection Control Byte Page 2	55h: Write Protect P2; AAh: EPROM mode P2; 55h or AAh: Write Protect 82h
0083h ¹⁾	R/(W)	Protection Control Byte Page 3	55h: Write Protect P3; AAh: EPROM mode P3; 55h or AAh: Write Protect 83h
0084h ¹⁾	R/(W)	Copy Protection Byte	55h or AAh: Copy Protect 0080:008Fh, and any write-protected Pages
0085h	R	Factory byte. Set at Factory.	AAh: Write Protect 85h, 86h, 87h; 55h: Write Protect 85h, unprotect 86h, 87h
0086h	R/(W)	User Byte/Manufacturer ID	
0087h	R/(W)	User Byte/Manufacturer ID	
0088h to 008Fh	N/A	Reserved	

¹⁾一旦被设置为AAh或 55h，该地址将变为只读。可以被设为其它任意值，但不能对该地址起到写保护作用，也不激活任何功能。

大小 : 128字节

存储器

数据存储器和寄存器位于一个线性地址空间，如图 5 所示。数据存储器和寄存器对读操作没有限制。DS2431 的 EEPROM 阵列共有 18 行，每行 8 字节。前 16 行被等分为 4 个存储器页（每页 32 字节），这 4 页为主数据存储 器。可以通过设置寄存器行中相应的保护字节将每一页单独设置成开放（无保护），写保护，或 EPROM 模式。最 后两行包括保护寄存器和保留字节。寄存器行包括 4 个保护控制字节，1 个复制保护字节，1 个工厂预置字节，和两 个用户/厂商 ID 字节。厂商 ID 可以是客户要求的标识码，用于帮助应用软件识别与 DS2431 有关的产品。要设置并 注册一个定制的厂商 ID 请与工厂联系。最后一行为将来的应用所保留。未定义读/写功能，不能使用这些操作。

除主 EEPROM 阵列之外，还包含一个 8 字节易失暂存器。向 EEPROM 阵列写入数据包括两个步骤。首先，数据先 写到暂存器，然后被复制到主存储器阵列。这就允许用户在将数据复制到主存储器阵列前先对数据进行校验。器件 仅支持整行（8 字节）复制操作。为保证复制操作中暂存器的数据有效，Write Scratchpad 命令提供的地址必须开始 于一行的边界处，而且暂存器必须写入 8 个完整的字节。

保护控制寄存器决定执行 **Write Scratchpad** 命令时输入数据如何被加载到暂存器。保护控制寄存器设置为 **55h**（写保护）时，输入的数据被忽略，位于目标地址的主存储器数据被加载到暂存器。保护控制寄存器设置为 **AAh**（EPROM 模式）时，输入数据与目标地址的主存储器数据进行逻辑与，计算结果被加载到暂存器。保护控制寄存器的其它任意设置值使相关存储器页处于不限制写操作的开放状态。保护控制字节设置成 **55h** 或 **AAh** 时，该字节自身也受写保护。保护控制字节设置成 **55h** 并不阻止复制操作。这就允许被写保护的数据在器件内部进行刷新（即用当前数据重新编程）。

复制保护字节用于更高的安全级别，仅应在其它所有保护控制字节，用户字节，写保护页被设置成最终值后才被使用。如果复制保护字节置为 **55h** 或 **AAh**，将阻止所有试图向寄存器行和用户字节行复制的操作。此外，所有试图向写保护的主存储器页复制的操作（即刷新）也被阻止。

地址寄存器和传输状态

DS2431 使用 3 个地址寄存器:TA1, TA2, 以及 E/S（见图 6）。这些寄存器在许多其它 1-Wire 器件中都很常见，但用法与 DS2431 略有不同。寄存器 TA1 和 TA2 必须加载进行数据写入或读出的目标存储器地址。寄存器 E/S 是一个只读的传输状态寄存器，用来校验写操作命令的输入数据完整性。ES 的 E2:E0 位加载 **Write Scratchpad** 命令所输入的 T2:T0 位，每输入一个数据字节加 1。这实际上是一个 8 字节暂存器内部的字节结束偏移计数器。E/S 寄存器的第 5 位，称作 PF，如果暂存器数据因掉电或主机发送的数据未能按要求填满整个暂存器而无效，该位被置为逻辑 1。**为了使写入暂存器数据有效，T2:T0 位必须为 0，而且主机必须发送完整 8 个字节数据。**第 3, 4, 6 位没有定义功能；读数总为 0。E/S 寄存器的最高位，称为 AA 或授权许可，作为指示暂存器数据已被复制到目标存储器地址的标志位，向暂存器中写入数据将清除此位。

图 6. 地址寄存器

Bit #	7	6	5	4	3	2	1	0
Target Address (TA1)	T7	T6	T5	T4	T3	T2	T1	T0
Target Address (TA2)	T15	T14	T13	T12	T11	T10	T9	T8
Ending Address with Data Status (E/S) (Read Only)	AA	0	PF	0	0	E2	E1	E0

也就是 发送一个地址，后面跟8个数据，即写该地址后的8个字节

带校验的写操作

向 DS2431 写入数据时，必须把暂存器用作中间存储器，首先主机发送 **Write Scratchpad** 命令并指定目标存储器地址，随后发送要写入暂存器的数据。注意 **Copy Scratchpad** 命令必须在达到 8 字节边界时执行。也就是说，目标地址的低 3 位 (T2..T0) 必须等于 000b。如果 T2..T0 是非 0 值，复制命令将被中止。在一定条件下（见 **Write Scratchpad** 写暂存器命令），**主机将接收到一个反码的 CRC16 校验码，用于校验命令、地址（实际发送的地址）和位于 Write Scratchpad 命令序列末尾的数据。**收到该 CRC 校验码后，主机与自己的计算结果进行比较，判断通信是否成功，并决定是否继续执行 **Copy Scratchpad** 命令。如果主机没有接收到 CRC16 码，主机应发送一条 **Read Scratchpad** 命令来验证数据的完整性。在回送暂存器数据前，DS2431 先发送目标地址 TA1 和 TA2，以及 E/S 寄存器值。如果 PF 标志位置位，说明数据未能正确送达暂存器或者上一次写暂存器后发生过掉电故障。这样主机就无需继续读入数据；可以重新开始向暂存器写入数据。类似地，如果 AA 标志位置位，同时 PF 标志位清零，则说明器件未能认可写命令。如果一切正常，两个标志位均被清零。此时主机即可继续读取和验证每个数据字节了。主机完成数据校验后，就可发送 **Copy Scratchpad** 命令了。此命令之后必须紧随三个地址寄存器中的数据，TA1，TA2 和 E/S。主机应通过读暂存器获知这些寄存器的内容。

存储器功能命令

存储器功能流程图（图 7）说明了访问 DS2431 存储器所需要的协议。本文档的最后给出了一个如何利用这些功能读取和写入数据的示例。主机和 DS2431 之间可在标准速率（默认值，OD = 0）或高速模式（OD = 1）下通信。如没有明确设置成高速模式，DS2431 默认以标准速率通信。

Write Scratchpad 命令 [0Fh]

Write Scratchpad 命令适用于数据存储器和寄存器页中的可写地址。为了保证暂存器中的数据能够被正确复制到存储器阵列中，用户必须保证写暂存器命令中的 8 个数据字节开始于一个有效行边界处。**Write Scratchpad** 命令接受无效地址和不完整的存储器行，但后续的 **Copy Scratchpad** 命令将被阻止。

发出 **Write Scratchpad** 命令后，主机必须首先发送 2 个字节的目標地址，接着发送要写入暂存器的数据。写入暂存器的数据起始字节偏移量为 T2:T0。ES 的 E2:E0 位加载起始字节偏移量，后面每收到一个数据字节加 1。E2:E0 最终结果为最后被写入暂存器的完整字节的偏移量。仅接受完整数据字节。

当执行 **Write Scratchpad** 命令时，DS2431 内部的 CRC 发生器（图 13）随着主机的发送过程，计算整个数据流的 CRC 校验码，始于命令代码，终止于最后一个数据字节。该 CRC 校验码由 CRC16 多项式生成，计算时首先清除 CRC 发生器，然后顺序移入 **Write Scratchpad** 命令代码 (0Fh)，目标地址 (TA1 和 TA2)，和所有数据字节。要注意的是，CRC16 计算时使用的是由主机实际发送的 TA1、TA2 和数据字节。主机可在任意时间终止 **Write Scratchpad** 命令。但如果写入数据达到暂存器上限 (E2:E0 = 111b)，主机可发送 16 个读时隙并收到 DS2431 产生的 CRC 校验码。

如果 **Write Scratchpad** 命令试图对写保护区域进行写入，暂存器将加载存储器原有的数据，而不是主机发送的数据。类似地，**如果目标地址页为 EPROM 模式，暂存器加载的则是存储器原有数据与主机发送数据位逻辑与的结果。**

图 7-1. 存储器功能流程图

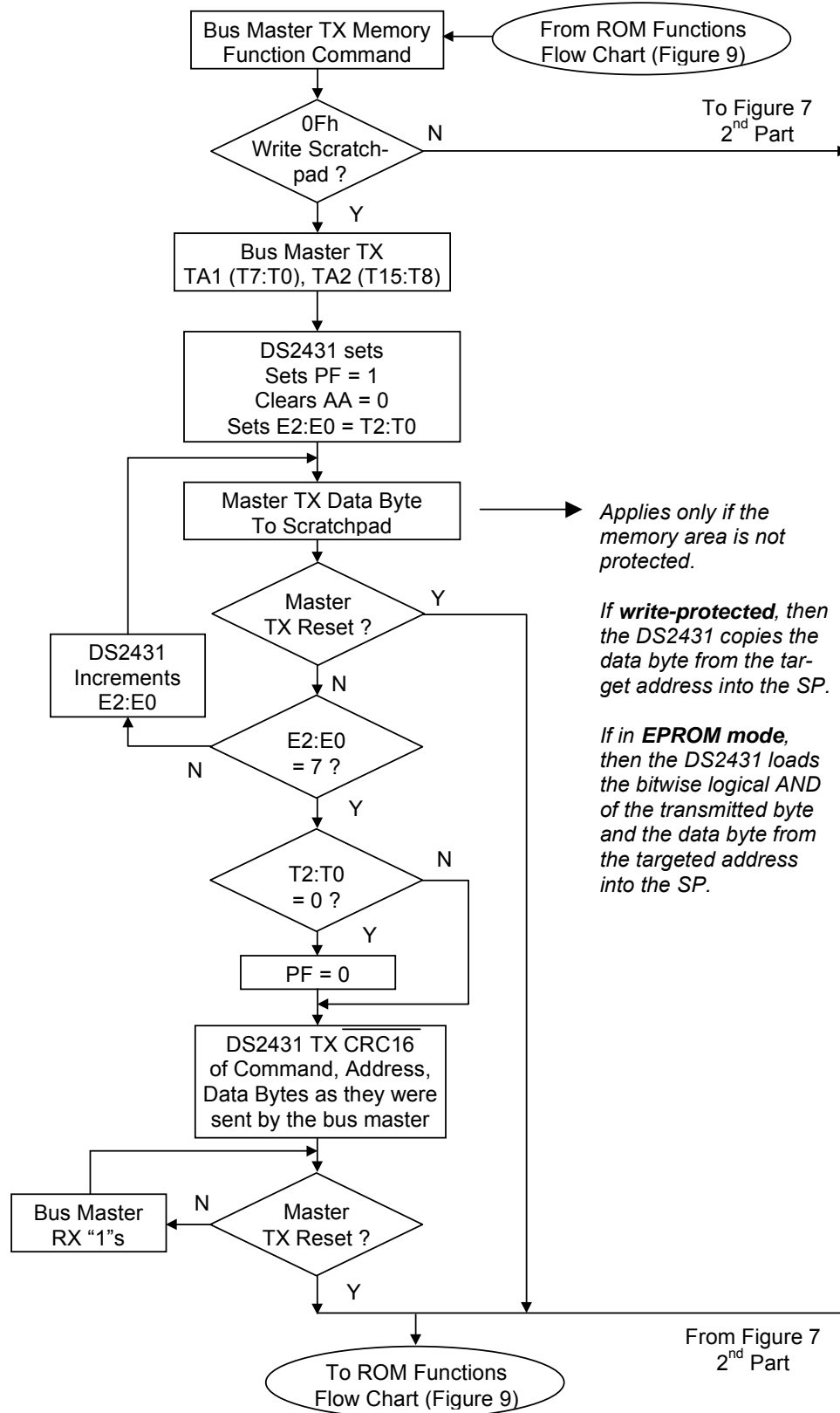


图 7-2. 存储器功能流程图 (续)

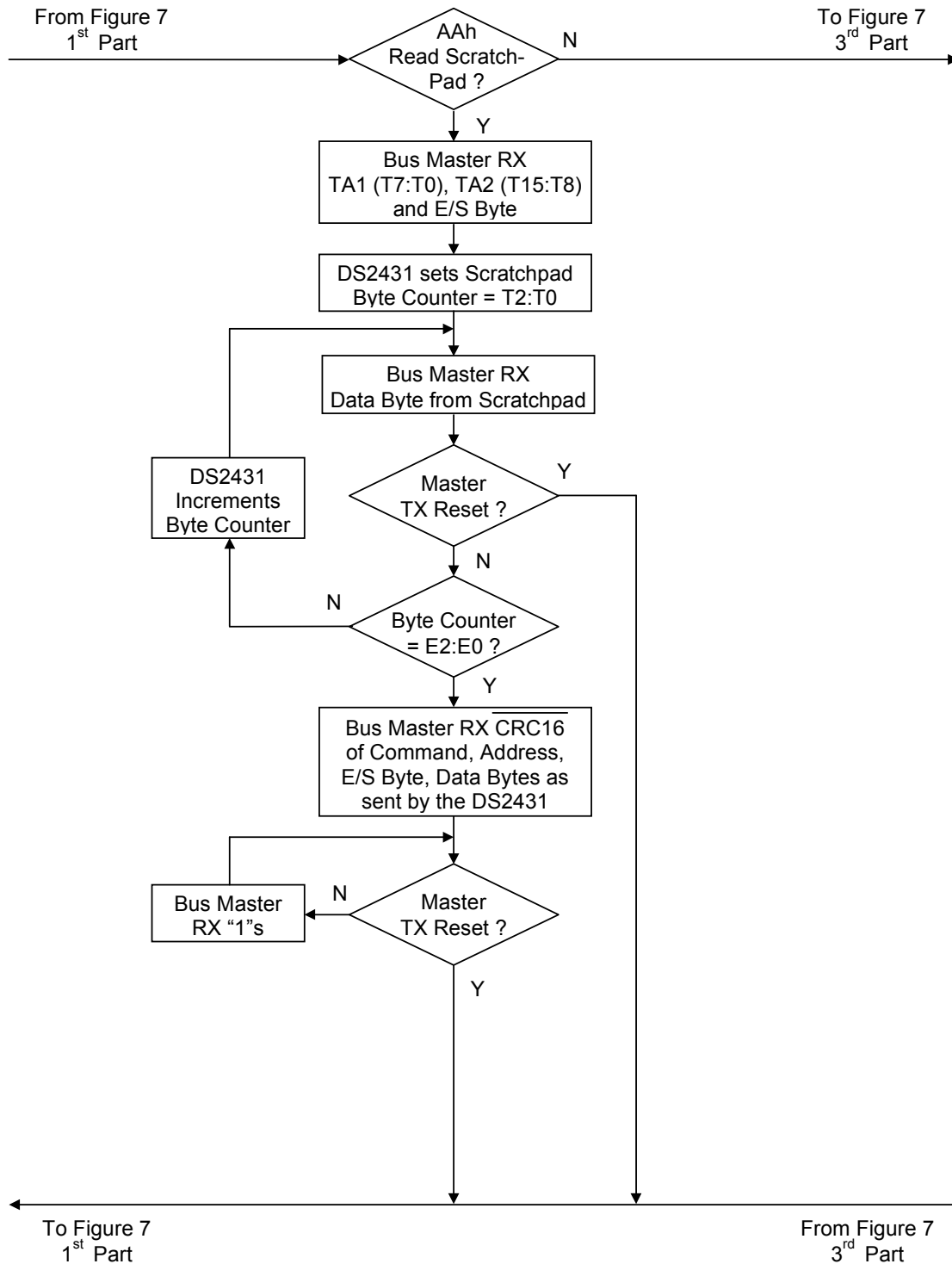


图 7-3. 存储器功能流程图 (续)

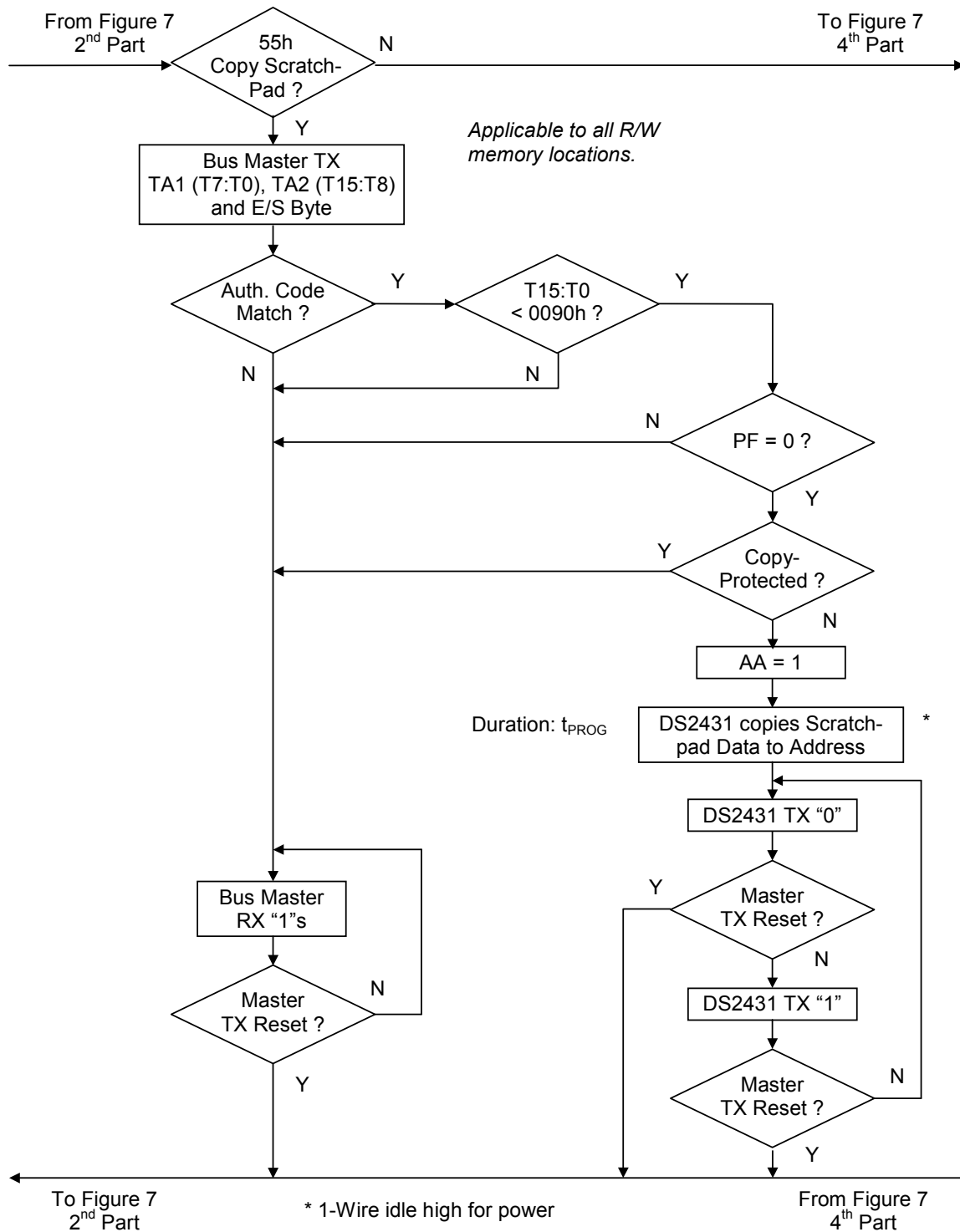
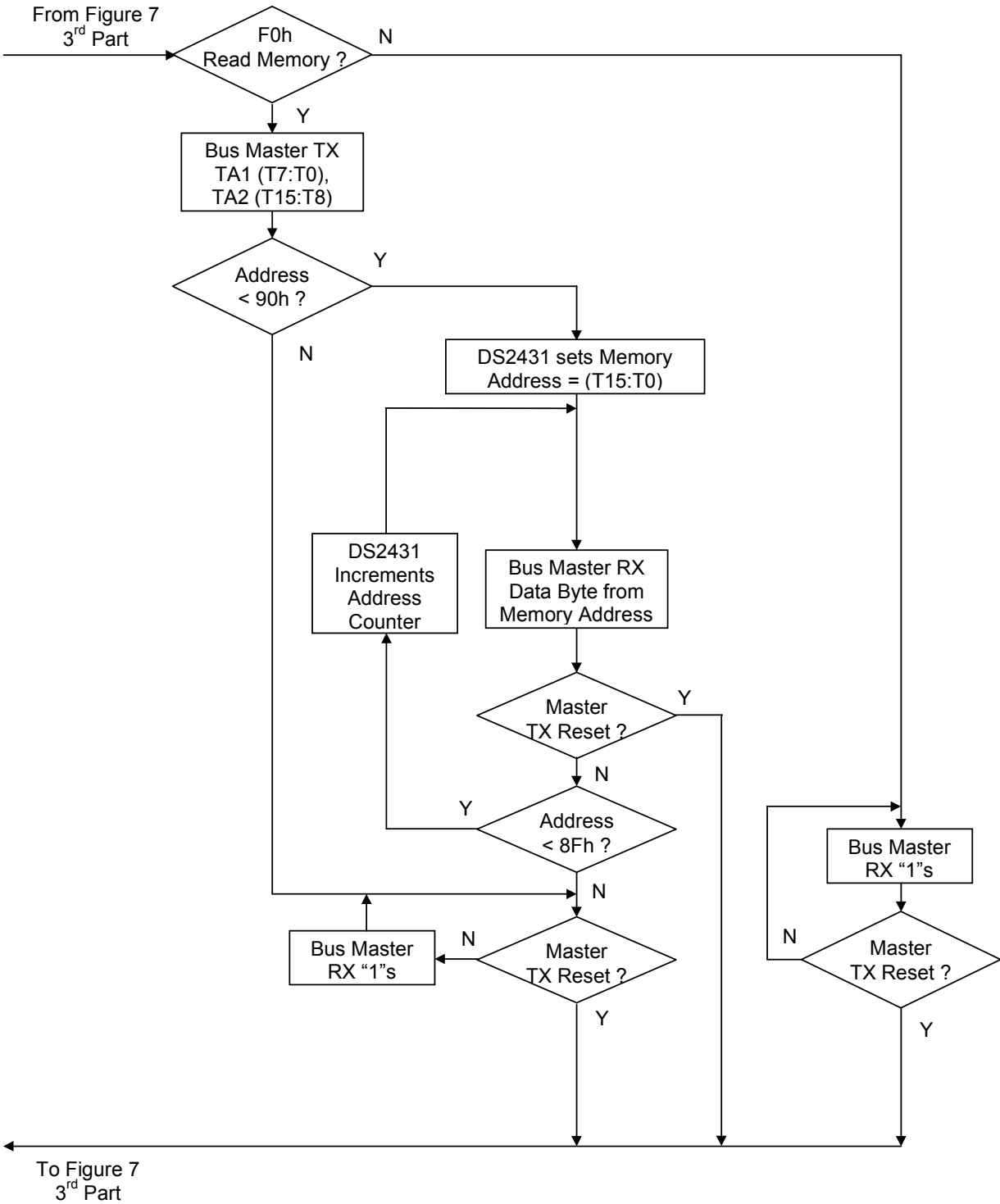


图 7-4. 存储器功能流程图（续）



Read Scratchpad 命令[AAh]

Read Scratchpad 命令可以用来校验目标地址和暂存器数据的完整性。主机发送命令代码后开始读取数据。开头的两个字节是目标地址，下一个字节是结束偏移量/数据状态字节（E/S），接着是暂存器数据，这些数据可能与主机发送的原始数据有所不同。当目标地址位于寄存器页或位于写保护或 EPROM 模式页时，这一点尤其重要。详细信息见 Write Scratchpad 命令说明。主机应先读完暂存器中所有数据（E2:E0 - T2:T0 + 1 个字节），然后就可以收到反码的 CRC，该 CRC 码根据 DS2431 发送的数据产生。如果主机在收到 CRC 码后继续读取数据，得到的所有数据均为逻辑 1。

Copy Scratchpad [55h]

Copy Scratchpad 命令用来将暂存器中的数据复制到可写的存储器区域，发出 Copy Scratchpad 命令后，主机必须提供一个 3 字节的授权模式，该数据应该通过紧邻此条命令的前一个 Read Scratchpad 命令获得。该 3 字节模式数据必须与三个地址寄存器（依次为 TA1，TA2，E/S）中的数据正确匹配。如果授权码匹配，目标地址有效，PF 标志位未被置位，目标存储器没有复制保护，AA（授权许可）标志位置位，才能开始执行复制操作。暂存器中的 8 字节数据全部被复制到目标存储器。器件内部的数据传输需要最多 t_{PROG} ，在此期间 1-Wire 总线上的电压必须保证不低于 2.8V。数据复制完成后会发送一组“0”和“1”交替的信号，直到主机发送复位脉冲为止。如果 PF 标志位被置位或目标存储器处于复制保护模式，则不会执行复制操作而且 AA 标志位不会置位。

Read Memory [F0h]

Read Memory 命令通常用于从 DS2431 读取数据。发出命令后，主机需要提供 2 个字节的目标地址。在这两个字节之后，主机开始读取始于目标地址的数据，可连续读至地址 008Fh 处。如果继续读，读取结果将是逻辑 1。器件内部的 TA1，TA2，E/S，以及暂存器内容不受 Read Memory 命令影响。

1-Wire 总线系统

1-Wire 单总线系统是用一根数据线连接单个主机和一台或多台从机设备的系统。在所有的情况下，DS2431 都只能作为从机设备来使用。总线上主机是一个典型的微控制器。关于单总线系统的讨论分为三个部分：硬件配置，处理流程，和 1-Wire 信令（信号类型和时序）。1-Wire 协议规定总线的收发按照特殊时序下的总线状态进行，由主机发出的同步脉冲下降沿初始化。

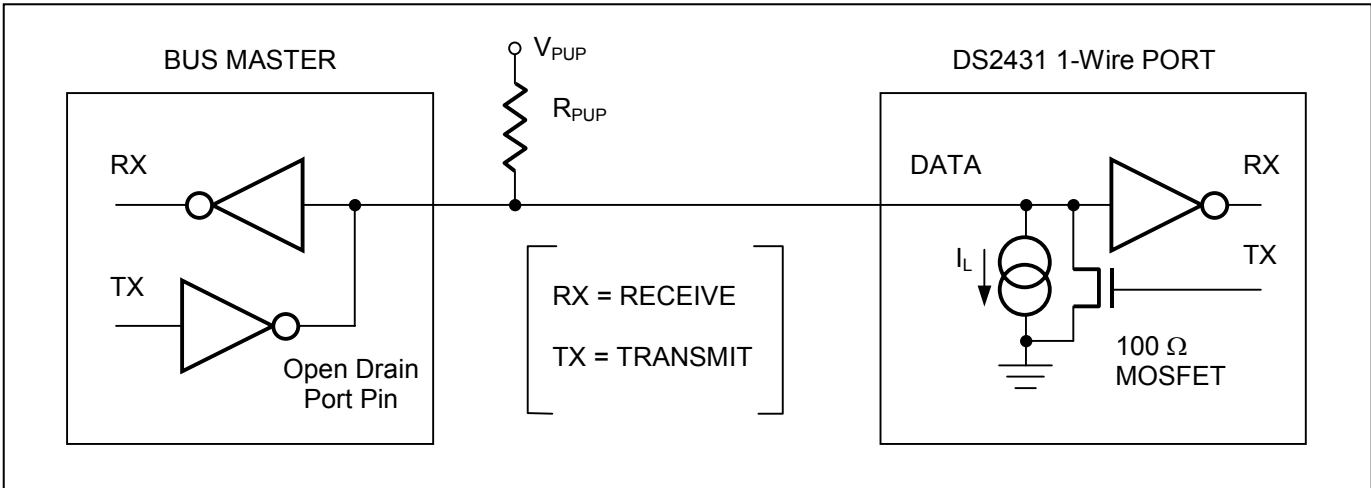
硬件配置

1-Wire 总线只定义了一根数据线；因此总线上的每个设备在适当时刻能够驱动总线是非常重要的。为了实现此目的，挂接在 1-Wire 总线上的所有设备都必须采用漏极开路或三态输出。DS2431 的 1-Wire 端口为漏极开路，内部等效电路见图 8。

多点总线由连接了多个从机设备的 1-Wire 总线组成。DS2431 分别支持 15.4kbps（最大值）的标准通信速率和 125kbps（最大值）的高速通信速率。注意传统的 1-Wire 产品分别支持 16.3kbps 的标准通信速率和 142kbps 的高速通信速率。DS2431 速率略有降低，原因是为增强 1-Wire 物理接口对噪声的抑制而增加了恢复时间。上拉电阻的阻值主要由网络的大小和负载条件决定。DS2431 在任何速度下运行都需要一个 2.2k Ω （最大值）的上拉电阻。

1-Wire 总线的空闲状态为高电平。如果由于某种原因需暂停通信，若还需要恢复通信的话，总线必须保持在空闲状态。如果未设置为空闲状态，在高速模式，总线处于低电平时间超过 16 μs ，标准速率模式超过 120 μs ，总线上的一个或多个器件将被复位。

图 8. 硬件配置



处理流程

通过 1-Wire 端口访问 DS2431 的协议如下：

- 初始化
- ROM 功能指令
- 存储器功能指令
- 传输/数据

初始化

所有 1-Wire 总线上的数据传输都以初始化过程开始。初始化过程包括主机发送一个复位脉冲，各从机随后发送应答脉冲。应答脉冲让主机得知 DS2431 在线并且准备就绪。更多信息请参阅 1-Wire 信令一节。

1-Wire ROM 功能命令

一旦主机检测得到一个应答脉冲，便可发送 DS2431 支持的七条 ROM 功能命令中的任一条。所有的 ROM 功能命令长度均为 8 位。下面列出了所有的 ROM 命令（参考图 9 中的流程图）。

Read ROM [33h]

此命令允许主机读取 DS2431 的 8 位家族码，唯一的 48 位序列号和 8 位 CRC 校验码。此命令适用于总线上仅有一个从机的情况。如果总线上连接了多个从机设备，当所有从机试图同时发送数据时，将会发生数据冲突（漏极开路输出产生一个线与的结果）。导致主机收到的家族码和 48 位序列号与 CRC 校验码不匹配。

Match ROM [55h]

Match ROM 命令后面跟随一个 64 位 ROM 地址码，允许主机访问多点总线上的一个特定 DS2431。只有与该 64 位 ROM 地址码正确匹配的 DS2431 才会对后面的存储器功能命令做出反应。其它所有从机均等待下一个复位脉冲。这条命令既适用于单从机系统，也适用于多从机系统。

Search ROM [F0h]

系统刚启动时，主机可能并不知道多少设备挂在 1-Wire 总线上，也不知道它们具体的地址码。主机可利用总线上的线与特性，采用排除法来识别总线上所有从机的地址码。先发送地址码的最低有效位，主机针对每一位都发送三个时隙。第一个时隙，每个参与搜索的从机都输出各自地址码该位的值。第二个时隙，每个参与搜索的从机都输出该位的补码。第三个时隙，主机写入该位指定值。所有与该值不匹配的从机都不再参加搜索。如果主机两次读到的值均是 0，则说明从机该位的两个状态都存在。主机通过写入的状态值来选择搜索 ROM 码树的不同分支。经过一次完整搜索过程，主机即可知道某个从机的地址码。另外的搜索过程可以识别其余从机的地址码。详细讨论请参考应用笔记 187：1-Wire 搜索算法，其中包括一个示例。

Skip ROM [CCh]

在一个单从机总线系统中，主机可使用此命令访问存储器而不需要提供 64 位 ROM 地址码，从而节省时间。如果总线上不止一个从机，当一条 Read 命令紧跟一条 Skip ROM 命令发送时，会因多个从机同时发送数据而导致数据冲突。（漏极开路输出下拉将产生一个线与结果）。

Resume [A5h]

为了最大程度提高多点环境中的数据吞吐率，系统提供了 Resume 功能。此功能检查 RC 位的状态，如果置位，则直接把控制权交给存储器功能，与 Skip ROM 命令类似。RC 的置位只能通过成功地执行 Match ROM、Search ROM 或 Overdrive Match ROM 命令来实现。一旦 RC 置位，即可利用 Resume 命令重复访问此器件。访问总线上的其它器件会清除 RC 位，以防止两个或更多的从机同时响应 Resume 命令。

Overdrive Skip ROM [3Ch]

在一个单从机总线上使用该命令时，主机不需要提供 64 位的 ROM 地址码就可以访问存储器功能，从而节省了时间。与通常的 Skip ROM 命令不同，Overdrive Skip ROM 命令将 DS2431 设置为高速模式（OD = 1）。该命令后的所有通信均为高速模式，直到有一个最短持续 480μs 时间的复位脉冲将总线上的所有器件复位成标准速率（OD = 0）。

如果在一个多点总线上发送该命令，则总线上所有支持高速模式的器件都被设置成高速模式。随后，为了寻址特定的高速模式器件，必须发出一个高速模式的复位脉冲，接着运用 Match ROM 或 Search ROM 命令。这样能够加速搜索过程。如果总线上有多个支持高速模式的从机，而且 Overdrive Skip ROM 命令后跟着一条 Read 命令，会因多个从机同时发送数据而产生数据冲突（漏极开路输出下拉将产生一个线与结果）。

Overdrive Match ROM [69h]

通过 Overdrive Match ROM 命令，后接以高速模式发送的 64 位 ROM 地址码，能够使总线主机在多点总线上访问一个特定的 DS2431，同时将其设置成高速模式。只有与该 64 位 ROM 地址码正确匹配的 DS2431 才会对后续的存储器功能命令做出反应。已经被前面的 Overdrive Skip 或 Overdrive Match 命令成功设置成高速模式的从机将继续保持高速模式。所有支持高速模式的从机在下一个持续时间最小为 480μs 的复位脉冲后回到标准速率。Overdrive Match ROM 命令适用于总线上有单个或多个器件的情况。

图 9-1. ROM 功能流程图

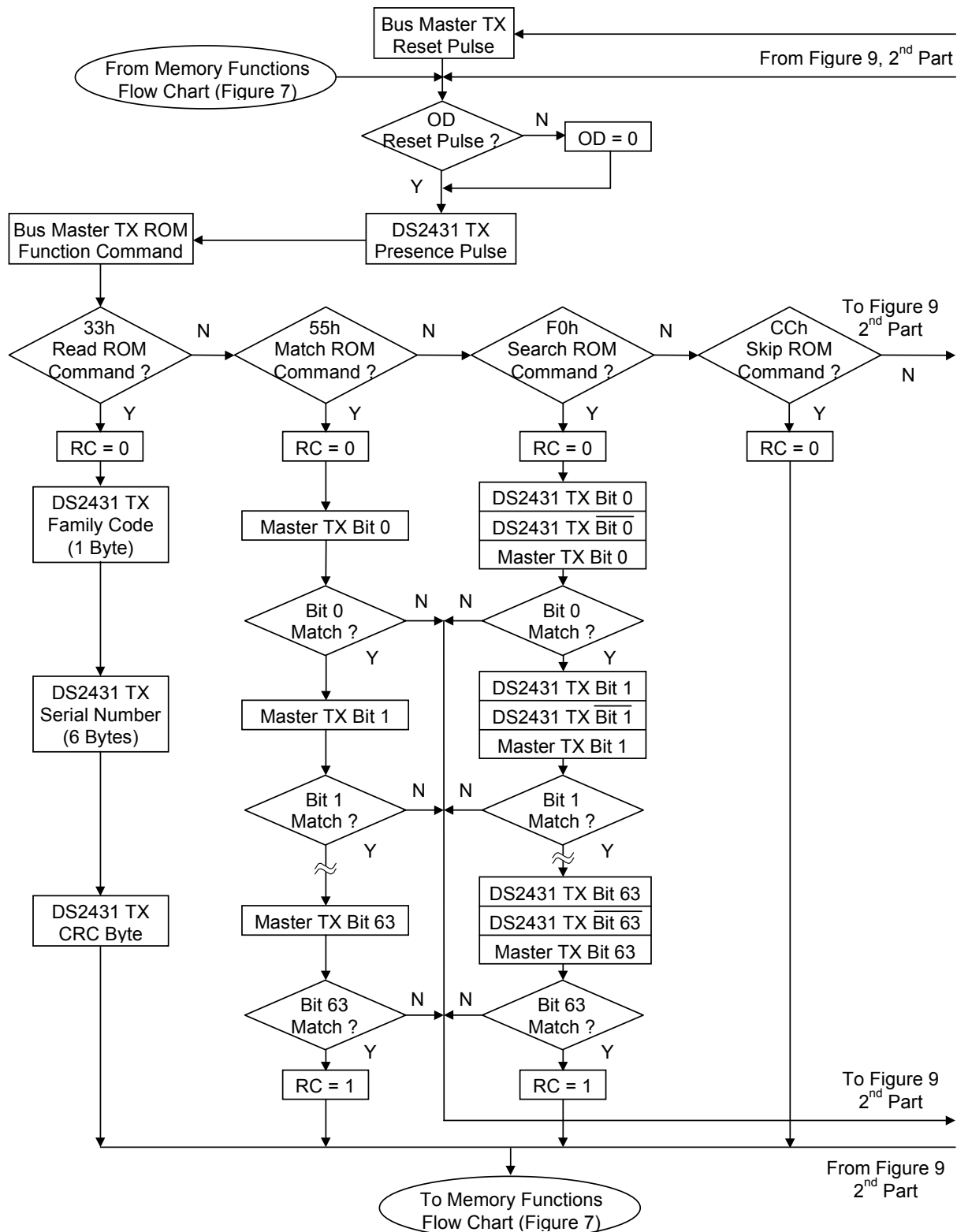
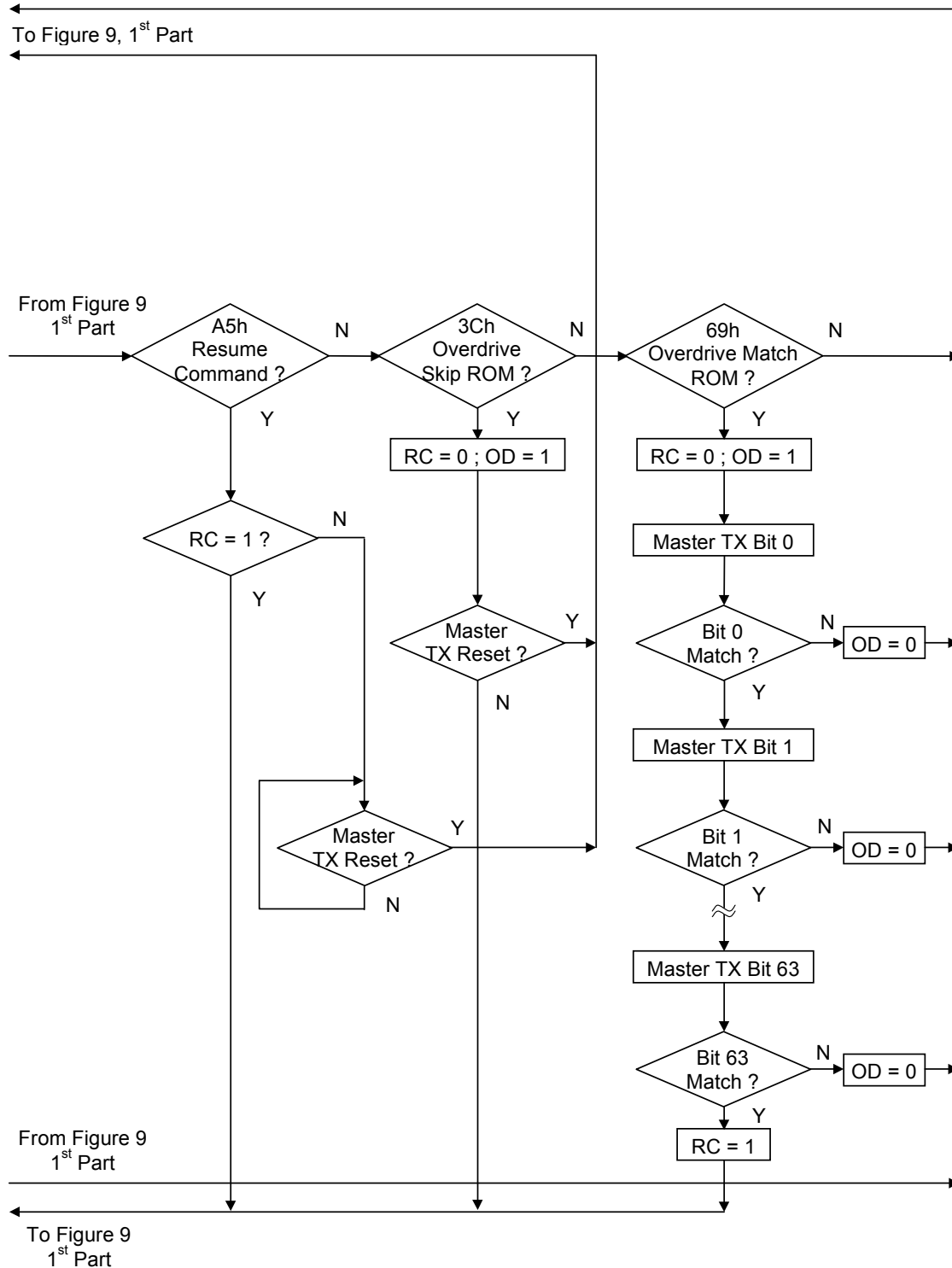


图 9-2. ROM 功能流程图 (续)

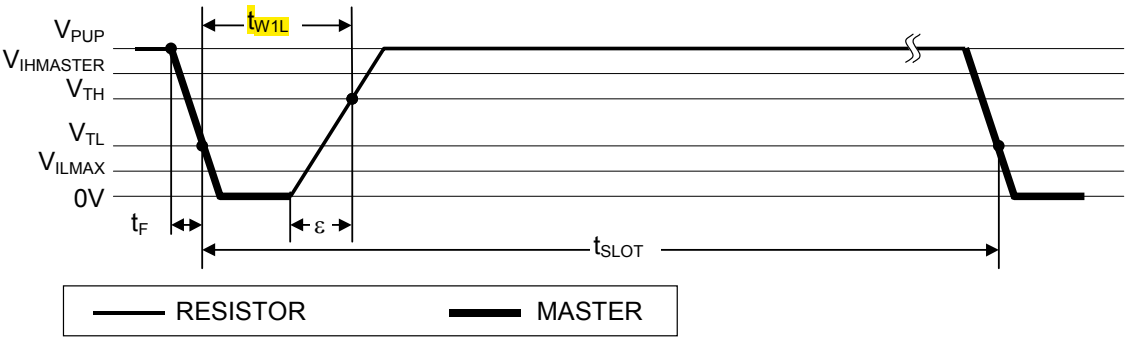


主机到从机

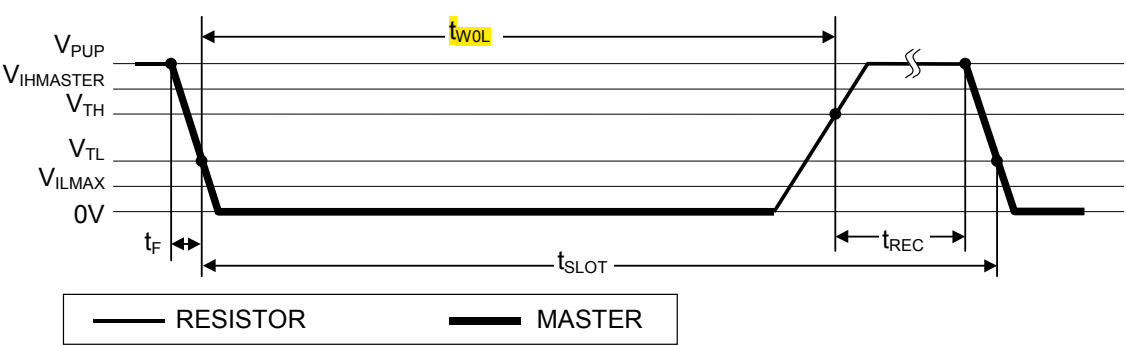
对于“写 1”时隙，数据线上的电压必须在“写 1”低时间 t_{W1LMAX} 结束前高过门限电压 V_{TH} 。对于“写 0”时隙，数据线上的电压在“写 0”低时间 t_{W0LMAX} 结束前必须保持低于门限电压 V_{TH} 。为了实现最可靠的通信，数据线上的电压在整个 t_{W0L} 或 t_{W1L} 时间窗口内都不应超过 V_{ILMAX} 。数据线上的电压超过 V_{TH} 后，DS2431 在进行下一个时隙前需要一个恢复时间 t_{REC} 。

图 11. 读/写时序图

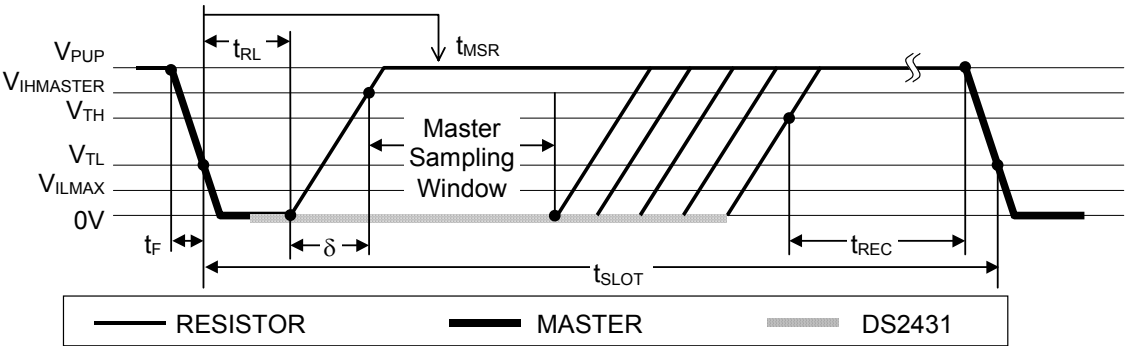
Write-One Time Slot



Write-Zero Time Slot



Read-Data Time Slot



从机到主机

“读数据”时隙在开始时与“写 1”时隙类似。数据线上的电压在读低时间 t_{RL} 结束前必须保持低于 V_{TL} 。在 t_{RL} 窗口，应答 0 时，DS2431 开始拉低数据线；其内部定时发生器决定何时结束下拉，电平重新开始升高。应答 1 时，DS2431 并不保持数据线的低电平， t_{RL} 一结束，电平即开始上升。

主机采样窗口（ t_{MSRMIN} 到 t_{MSRMAX} ）一方面由 $t_{RL} + \delta$ （上升时间），另一方面由DS2431 内部定时发生器决定，主机必须在采样窗口内执行一次数据线读操作。为实现最可靠的通信， t_{RL} 在允许范围内应尽量短，主机应该在接近但不晚于 t_{MSRMAX} 的时间读取数据。从数据线读取数据后，主机必须等待直至 t_{SLOT} 结束。这确保了DS2431 在下一个时隙准备就绪前有足够的恢复时间 t_{REC} 。需注意的是，这里指定的 t_{REC} 仅适用于 1-Wire总线上只接一个DS2431 的情况。在一个多点总线上，为了适应其它 1-Wire器件的输入电容，应延长 t_{REC} 。另外，还可使用DS2482-x00 或 DS2480B等 1-Wire总线驱动器接口器件，在 1-Wire恢复时间内进行有源上拉。

改善的网络性能（切换点滞回）

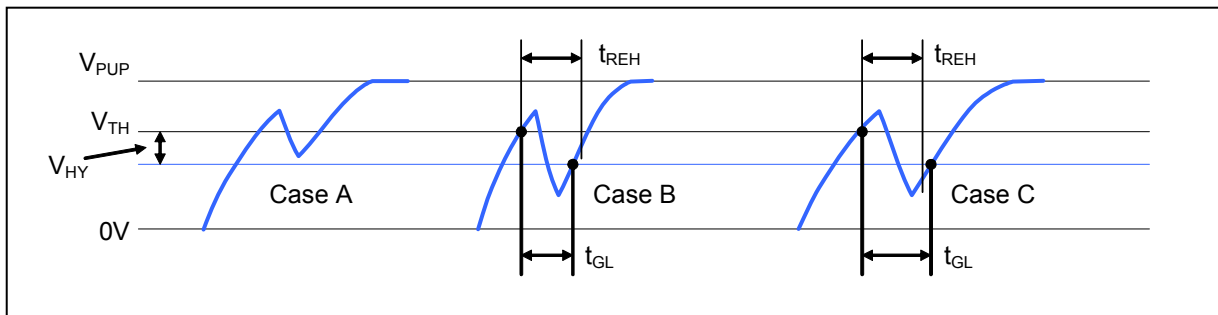
在 1-Wire 环境中，线路端接只有在总线主机（1-Wire 驱动器）控制的短时间内才有可能。因此，1-Wire 网络极易受到各种来源的噪声干扰。由于网络的大小和拓扑结构不同，从端点或支路节点反射的信号可能在某种程度上相互加强或抵消。这些反射信号在 1-Wire 通信线路上看来象毛刺或振铃。从外部耦合到 1-Wire 线路上的噪声也能导致信号产生毛刺。在一个时隙上升沿产生的毛刺会导致从机与主机失去同步，继而导致对 Search ROM 命令失去反应，或导致从机执行特定功能命令失败。为了实现更好的网络性能，DS2431 使用了一种新的 1-Wire 前端，降低了其对噪声的敏感度，同时也降低了其自身引入到 1-Wire 总线的噪声幅度。

DS2431 的 1-Wire 前端与传统的从机器件相比有 4 点特性不同。

- 1) 在电路中附加了一个低通滤波器来检测时隙开始时的下降沿。这降低了对高频噪声的敏感度。高速模式下不使用此附加滤波器。
- 2) 在低到高的开关门限 V_{TH} 处设有一个滞回，如果有一个负毛刺低于 V_{TH} 但还没有低于 $V_{TH} - V_{HY}$ ，将不会被承认（图 12，示例A），滞回在任何 1-Wire速度模式下均有效。
- 3) 由上升沿保持关闭时间 t_{REH} 定义了一个时间窗口，在该时间窗口内即使毛刺低于 $V_{TH} - V_{HY}$ 也会被忽略（图 12，示例B， $t_{GL} < t_{REH}$ ）。大的压降或穿过 V_{TH} 门限后延续时间超出 t_{REH} 窗口的毛刺则无法滤除，会被当作一个新时隙的开始（图 12，示例C， $t_{GL} \geq t_{REH}$ ）。

只有在电气特性中指明参数 V_{HY} 和 t_{REH} 的器件使用了改进的 1-Wire前端。

图 12. 噪声抑制示意图



生成 CRC 码

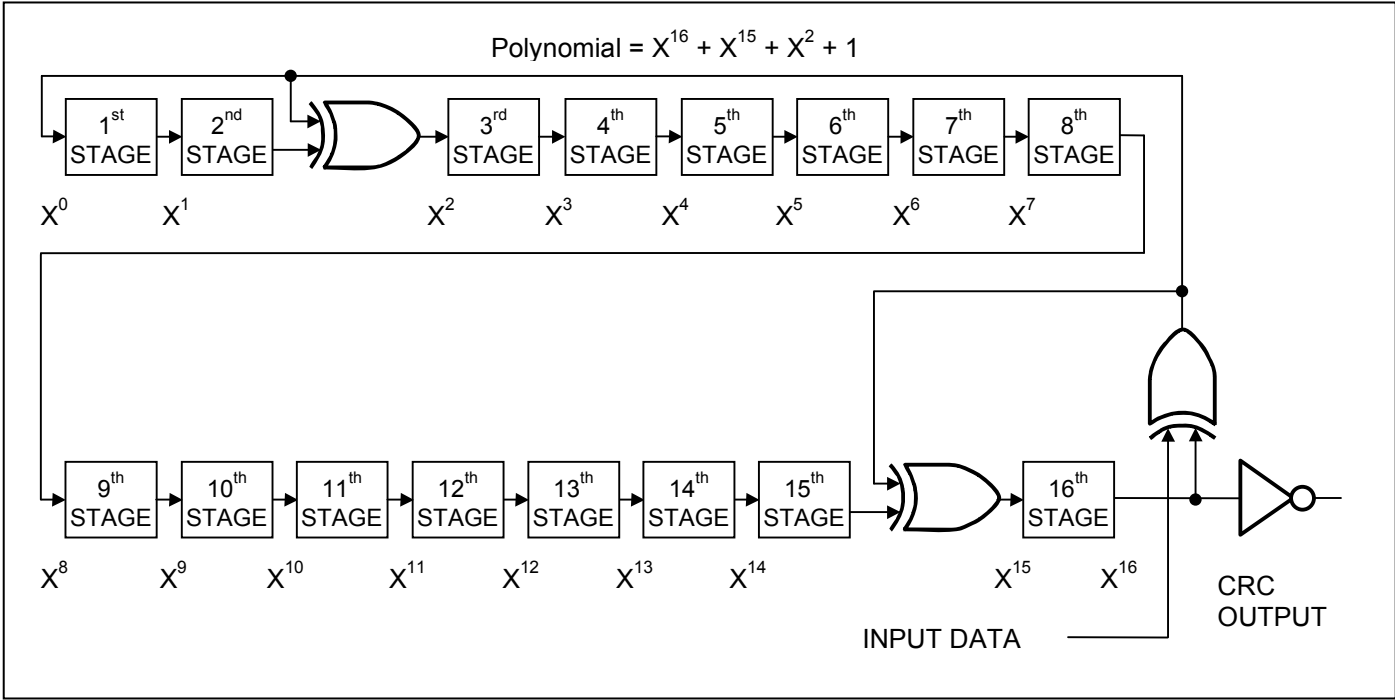
DS2431 有两种不同类型的CRC码。一种为 8 位，存储在 64 位ROM的最高字节中。主机能根据 64 位ROM码的前 56 位计算出该CRC码，并与存储在DS2431 中的值比较，判断ROM数据是否接收无误。计算该CRC校验码的等效多项式为： $X^8 + X^5 + X^4 + 1$ 。接收到的 8 位CRC为原码（不取反）形式。该值在工厂计算并被光刻写入ROM中。

另一种CRC码为 16 位，采用标准的CRC16 多项式函数 $X^{16} + X^{15} + X^2 + 1$ 产生。该CRC校验码用来对读写暂存器时传输的数据进行快速校验。与 8 位CRC校验码不同，16 位CRC校验码总是以反码的形式传输。DS2431 芯片内部的CRC发生器（见图 13）计算一个新的 16 位CRC校验码，如命令流程图（图 7）所示。主机通过比较由从机读取的CRC校验码与利用接收数据计算出的CRC校验码，据此来决定是继续某一操作还是重新读取CRC码有误的数据部分。

在 Write Scratchpad 命令中，首先清空 CRC 发生器，然后移入命令代码，目标地址 TA1 和 TA2，以及主机发送的所有数据字节。DS2431 只有在 E2:E0 = 111b 时才发送 CRC 校验码。

在 Read Scratchpad 命令中，首先清空 CRC 发生器，然后移入命令代码，目标地址 TA1 和 TA2，E/S 字节，以及 DS2431 发送的暂存器数据。DS2431 只有在连续读取暂存器数据直到结尾时才发送 CRC 校验码。有关生成 CRC 校验码的更多信息参考应用笔记 27。

图 13. CRC-16 硬件说明及多项式



指令细节 1-Wire 通信协议颜色编码

Master to slave	Slave to master	Programming
-----------------	-----------------	-------------

命令细节 1-Wire 通信协议—符号表

符号	说明
RST	由 1-Wire 主机产生的复位脉冲。
PD	由 1-Wire 从机产生的应答脉冲。
Select	满足 ROM 功能协议的命令和数据。
WS	“Write Scratchpad”命令。
RS	“Read Scratchpad”命令。
CPS	“Copy Scratchpad”命令。
RM	“Read Memory”命令。
TA	目标地址 TA1, TA2。
TA-E/S	目标地址 TA1, TA2, 以及 E/S 字节。
<8 – T2:T0 bytes>	对于指定目标地址, 传送到暂存器末端所需的足够字节。
<data to EOM>	传送到存储器末端所需的足够字节。
CRC16\	传送反码的 CRC16 校验码。
FF loop	主机读取 FF 字节的不确定循环。
AA loop	主机读取 AA 字节的不确定循环。
Programming	数据写入 EEPROM; 在此期间 1-Wire 总线上不允许有任何活动。

写暂存器（不能失败）

RST	PD	Select	WS	TA	<8 – T2:T0 bytes>	CRC16\	FF loop
-----	----	--------	----	----	-------------------	--------	---------

读暂存器（不能失败）

RST	PD	Select	RS	TA-E/S	<8 – T2:T0 bytes>	CRC16\	FF loop
-----	----	--------	----	--------	-------------------	--------	---------

复制暂存器（成功）

RST	PD	Select	CPS	TA-E/S	Programming	AA loop
-----	----	--------	-----	--------	-------------	---------

复制暂存器（地址无效, **PF = 1**, 或复制保护）

RST	PD	Select	CPS	TA-E/S	FF loop
-----	----	--------	-----	--------	---------

读存储器（成功）

RST	PD	Select	RM	TA	<data to EOM>	FF loop
-----	----	--------	----	----	---------------	---------

读存储器（地址无效）

RST	PD	Select	RM	TA	FF loop
-----	----	--------	----	----	---------

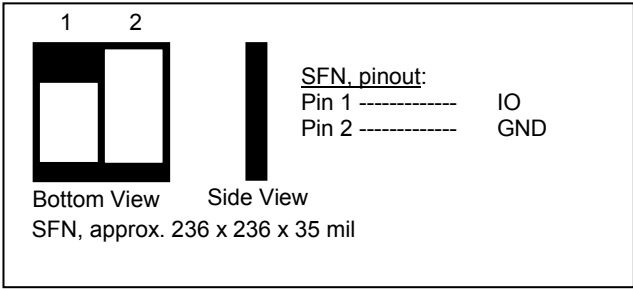
存储器功能示例

写入存储器第 1 页的前 8 个字节。读整个存储器。

总线上只有单个 DS2431 与主机连接，通信过程如下所示：

主机模式	数据（最低有效位优先）	说明
TX	(Reset)	复位脉冲
RX	(Presence)	应答脉冲
TX	CCh	发送“Skip ROM”命令
TX	0Fh	发送“Write Scratchpad”命令
TX	20h	TA1，起始偏移 = 20h
TX	00h	TA2，地址 = 0020h
TX	<8 data bytes>	向暂存器写 8 字节数据
RX	<2 bytes CRC16\>	读 CRC 码检查数据完整性
TX	(Reset)	复位脉冲
RX	(Presence)	应答脉冲
TX	CCh	发送“Skip ROM”命令
TX	AAh	发送“Read Scratchpad”命令
RX	20h	读 TA1，起始偏移 = 20h
RX	00h	读 TA 2，地址 = 0020h
RX	07h	读 E/S，结束偏移 = 111b，AA，PF = 0
RX	<8 data bytes>	读暂存器数据并校验
RX	<2 bytes CRC16\>	读 CRC 码检查数据完整性
TX	(Reset)	复位脉冲
RX	(Presence)	应答脉冲
TX	CCh	发送“Skip ROM”命令
TX	55h	发送“Copy Scratchpad”命令
TX	20h	TA1
TX	00h	TA2 （授权码）
TX	07h	E/S
----	<1-Wire idle high>	等待 t_{PROGmax} ，完成复制操作
RX	AAh	读复制状态，AAh = 成功
TX	(Reset)	复位脉冲
RX	(Presence)	应答脉冲
TX	CCh	发送“Skip ROM”命令
TX	F0h	发送“Read Memory”命令
TX	00h	TA1，起始偏移 = 00h
TX	00h	TA2，地址 = 0000h
RX	<144 data bytes>	读存储器全部数据
TX	(Reset)	复位脉冲
RX	(Presence)	应答脉冲

引脚配置（续）



订购信息（续）

DS2431+	-40°C to +85°C	TO-92
DS2431+T&R	-40°C to +85°C	TO-92, tape-and-reel
DS2431P+	-40°C to +85°C	TSOC
DS2431P+T&R	-40°C to +85°C	TSOC, tape-and-reel
DS2431G+	-40°C to +85°C	SFN
DS2431G+T&R	-40°C to +85°C	SFN, tape-and-reel
DS2431X-S	-40°C to +85°C	μCSP, 2.5k pcs, tape-and-reel
DS2431X	-40°C to +85°C	μCSP, 10k pcs, tape-and-reel
DS2431X+S	-40°C to +85°C	μCSP, 2.5k pcs, tape-and-reel
DS2431X+	-40°C to +85°C	μCSP, 10k pcs, tape-and-reel

+表示无铅封装。有关无铅μCSP的供货信息，请与工厂联系。

封装信息

(本数据资料的封装图未能反映最新的封装信息，有关封装的最新资料，请访问www.maxim-ic.com.cn/DallasPackInfo。)