

UNIVERSIDADE FEDERAL DO CEARÁ

CENTRO DE TECNOLOGIA

DEPARTAMENTO DE ENGENHARIA ELÉTRICA

**DESENVOLVIMENTO DE ARQUITETURA COMPUTACIONAL BASEADA NO MICROPROCESSADOR INTEL 8086**

JUNHO DE 2012

**SUMÁRIO**

**Página**

|  |  |
| --- | --- |
| Lista de Figuras |  |
| Lista de Tabelas |  |
| Lista de Abreviaturas e Siglas |  |
| Introdução |  |
| Capítulo 1: |  |
| Conclusão |  |
| Referências |  |
| Anexos |  |

**LISTA DE FIGURAS**

**LISTA DE TABELAS**

**LISTA DE ABREVIATURAS E SIGLAS**

**INTRODUÇÃO**

O presente relatório visa descrever a implementação e funcionamento de uma arquitetura computacional baseada no microprocessador Intel 8086.

O circuito integrado 82C84 é responsável por fornecer o sinal de *clock* e reset para o processador 0886 visando atender às necessidades de temporização para os sinais do 8086.

A fonte de alimentação de um sistema de computação dedicado é um dos subsistemas de hardware mais críticos. Os componentes de hardware do sistema são, em sua maioria, sensíveis à variações de tensão e à presença de ruídos na alimentação, de tal forma que a fonte deve ser projetada de forma que seja garantida o correto fornecimento de energia elétrica aos componentes do sistema mesmo sob variação de carga.

[E A REGULAÇÃO?]

O processador é formado internamente por uma máquina de estados, onde uma de suas funções primárias é buscar na memória do sistemas as instruções a serem executadas. O 8086 busca essas instruções através de pulsos no pino ALE (Address Latch Enable). Para que este pino opere adequadamente, é necessário que todos os pinos de controle, Clock e Reset estejam corretamente ligados.

O programa deve ser gravado na memória não volátil (ROM, EPROM, EEPROM, FLASH, etc.) do sistema para garantir que as instruções não sejam perdidos quando cessa a alimentação do sistema, enquanto que os dados utilizados pelo programa são salvos na memória volátil do sistema (RAM), pois são usados apenas quando da execução do programa.

O segmento de código do programa deve ser alocado no correspondente endereço do CI de memória utilizado. Desta forma, deve-se atentar para a correta associação entre os sinais gerado pelo processador para o seu barramento de endereços e os sinais correspondentes presentes nas entradas de endereço do chip de memória utilizado, conforme a tabela 1.

[TABELA MEMÓRIA]

**CAPÍTULO 1:**

**CONCLUSÃO**

**REFERÊNCIAS**

**ANEXOS**