



# **Tworzenie nowego projektu logiki typu NGC/NGO w aplikacji ISE WebPack 9.2i**

**Katedra Automatyki, Wydział EAIiE  
Akademia Górniczo-Hutnicza w Krakowie**

Paweł Piątek  
Kraków 2008

## 1. Ważne uwagi i definicje

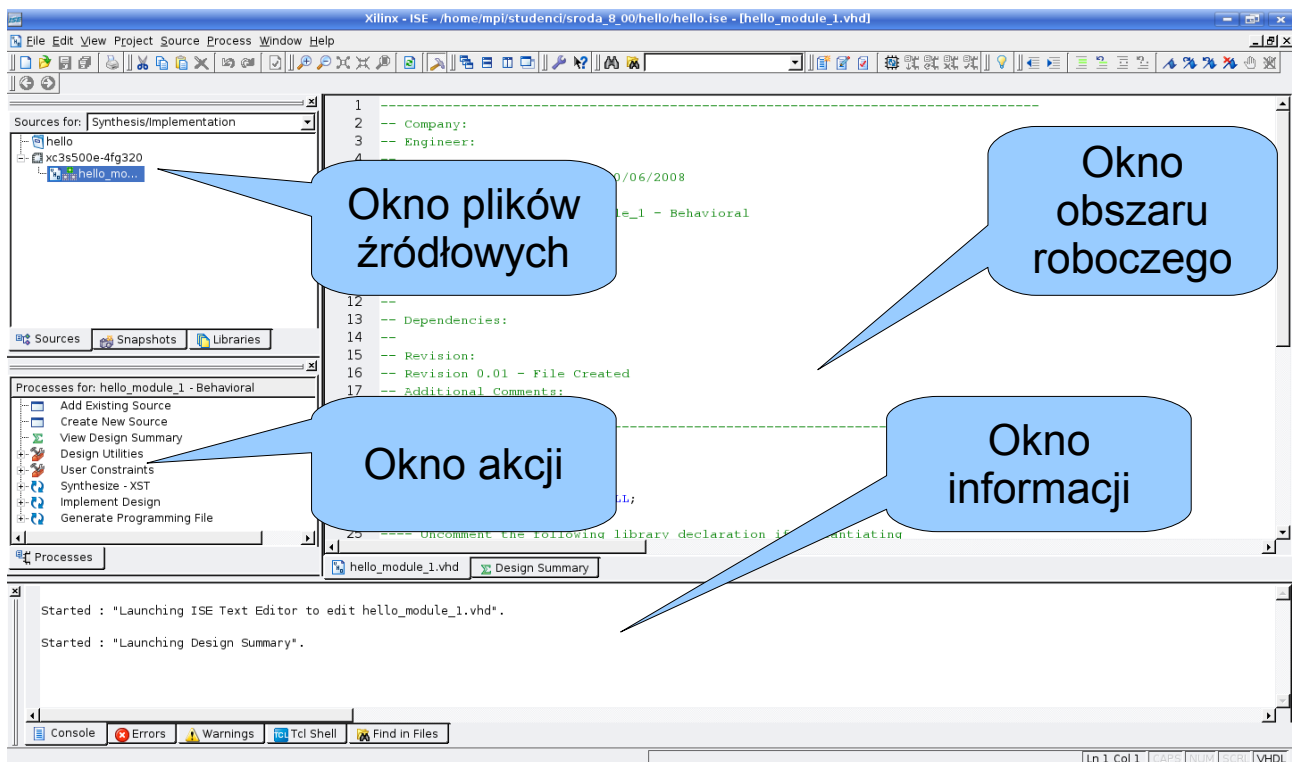
Poniższy poradnik opisuje tworzenie przykładowego projektu logiki typu NGC/NGO dla układu FPGA. Został on stworzony jako pomoc dydaktyczna do laboratorium Elektroniki z Techniką Mikroprocesorową dla III roku kierunku Automatyka i Robotyka Akademii Górniczo-Hutniczej w Krakowie. Poradnik powstał z wykorzystaniem i jest przeznaczony do wykorzystania z wymienionymi niżej narzędziami:

- aplikacja **ISE WebPack 9.2i**,
- płytki prototypowa **Spartan 3E Starter Board**,
- komputer PC.

Przydatne dokumenty:

- schemat płytki prototypowej **Spartan 3E Starter Board**,
- opis języka VHDL.

Poniższy rysunek przedstawia okno aplikacji ISE WebPack 9.2i i definiuje nazwy poszczególnych jego elementów, które są wykorzystywane w dalszych częściach tego poradnika.



## 2. Utworzenie projektu NGC/NGO

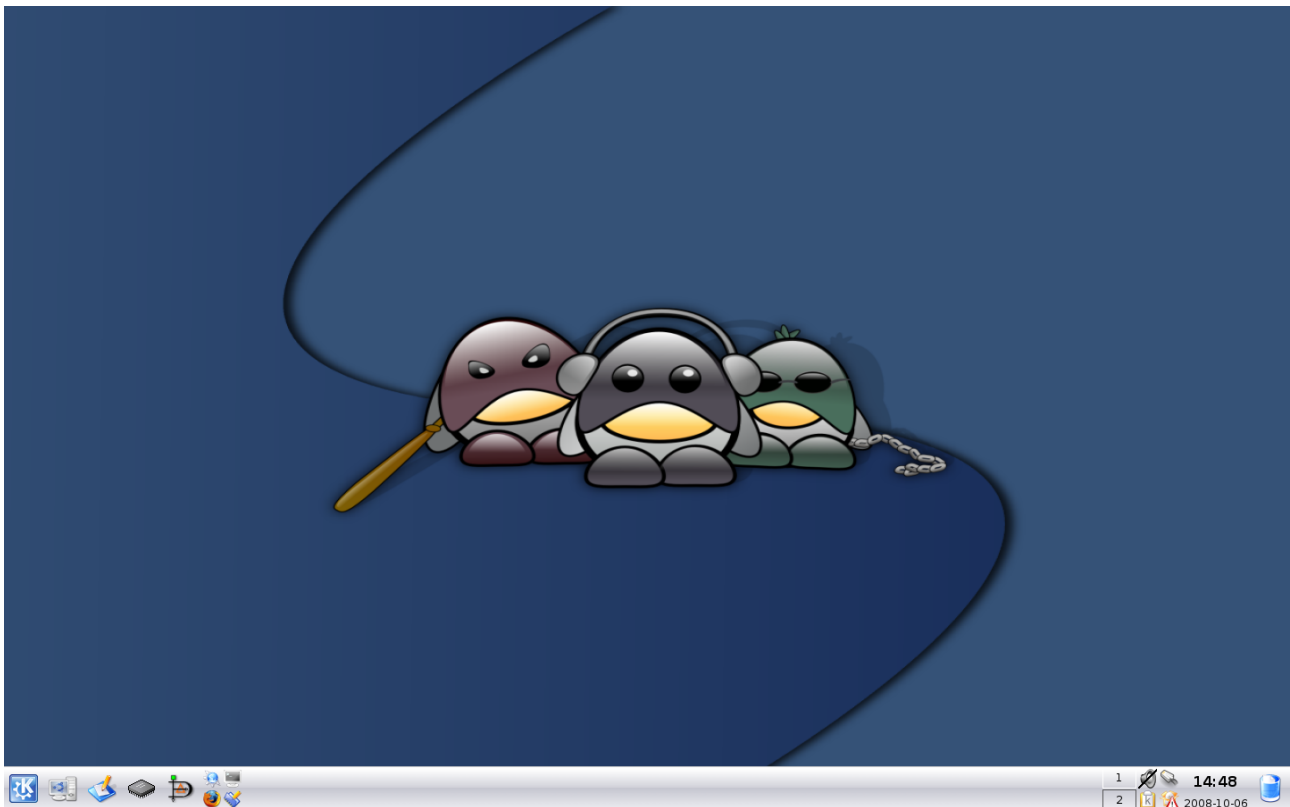
Podłącz płytkę prototypową do komputera za pomocą kabla USB.

Włącz komputer, a następnie zaloguj się.

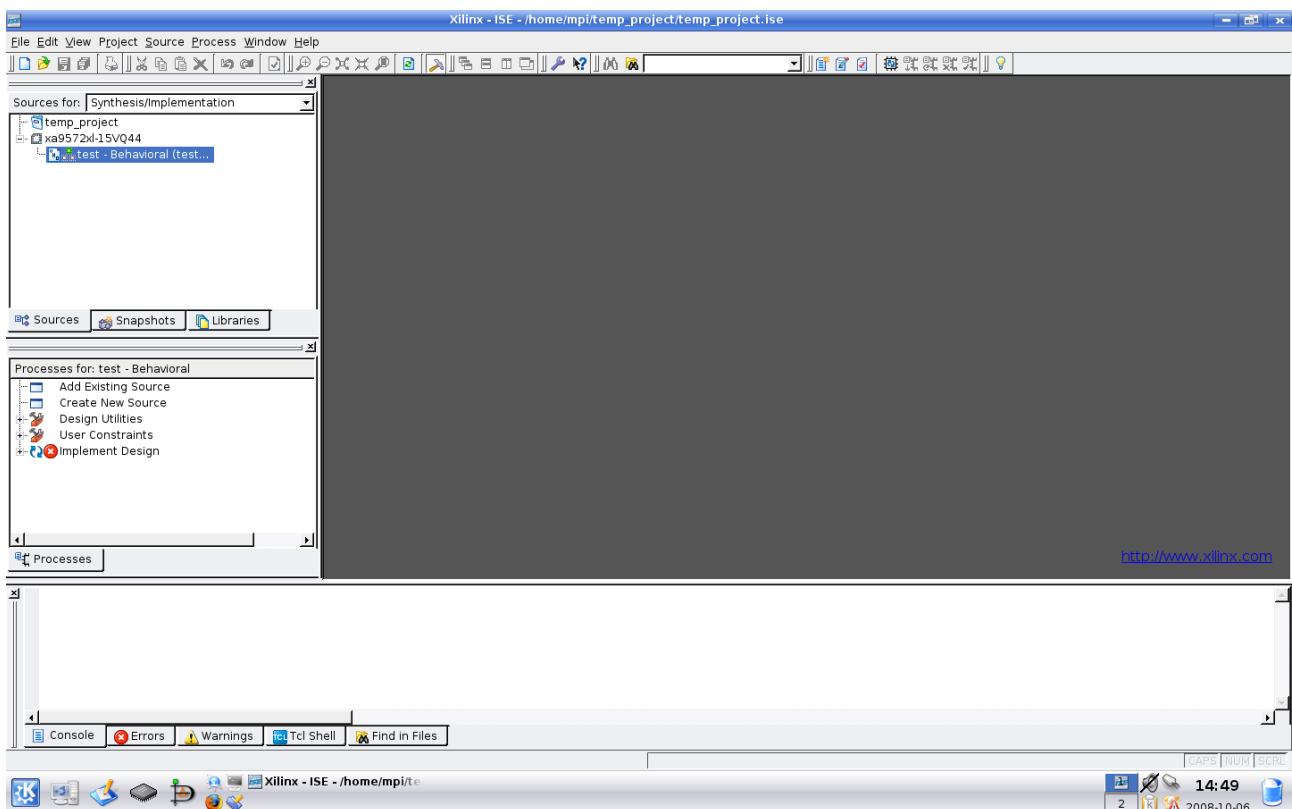
Użytkownik: *student*, hasło: *student*

Włącz zasilanie płytki prototypowej **Spartan 3E Starter Board**.

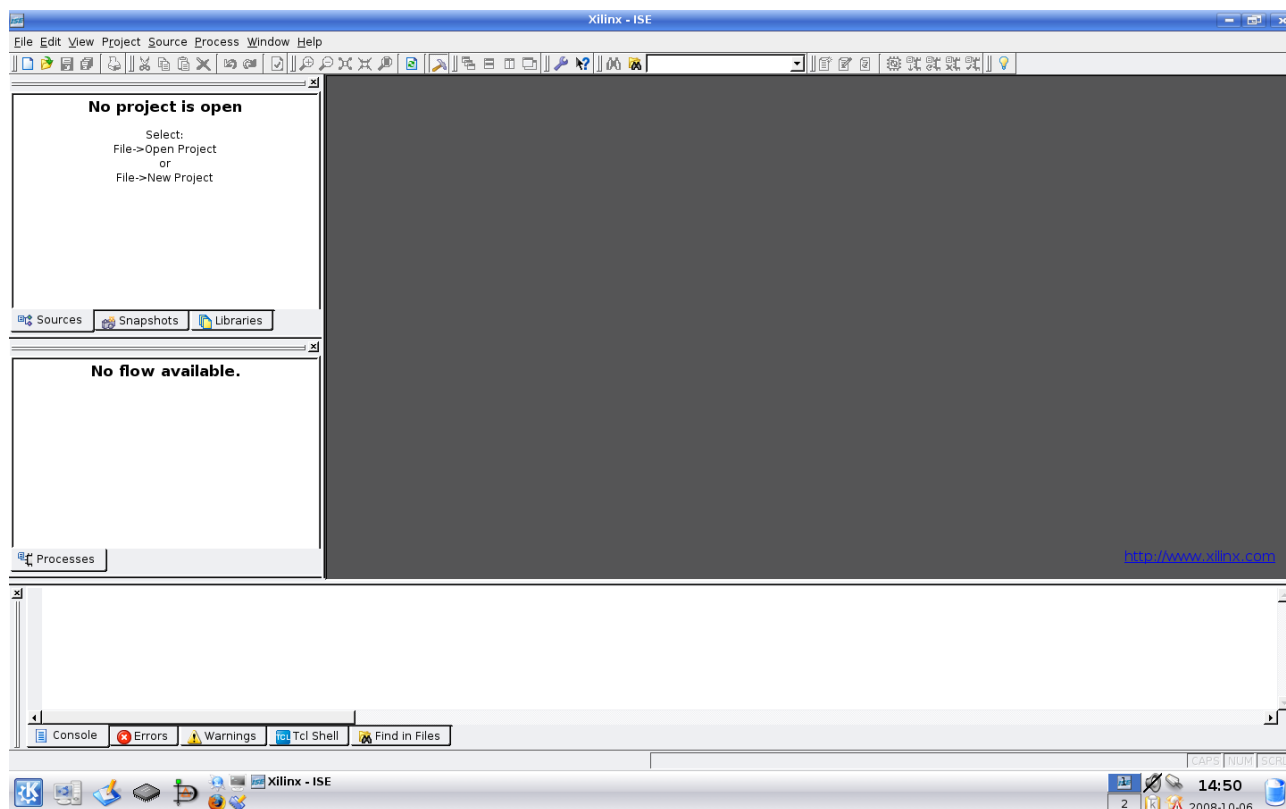
Otwórz aplikację **ISE WebPack** klikając ikonę umieszczoną na pasku szybkiego uruchamiania.



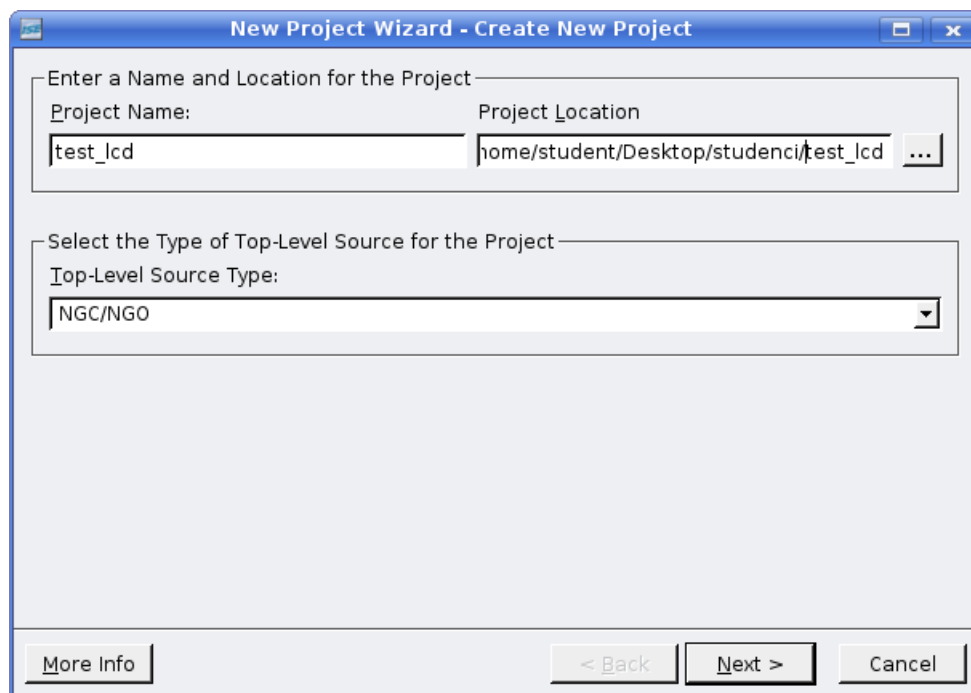
Aplikacja (w zależności od konfiguracji) po uruchomieniu się otwiera ostatnio utworzony projekt lub nie otwiera żadnego projektu.



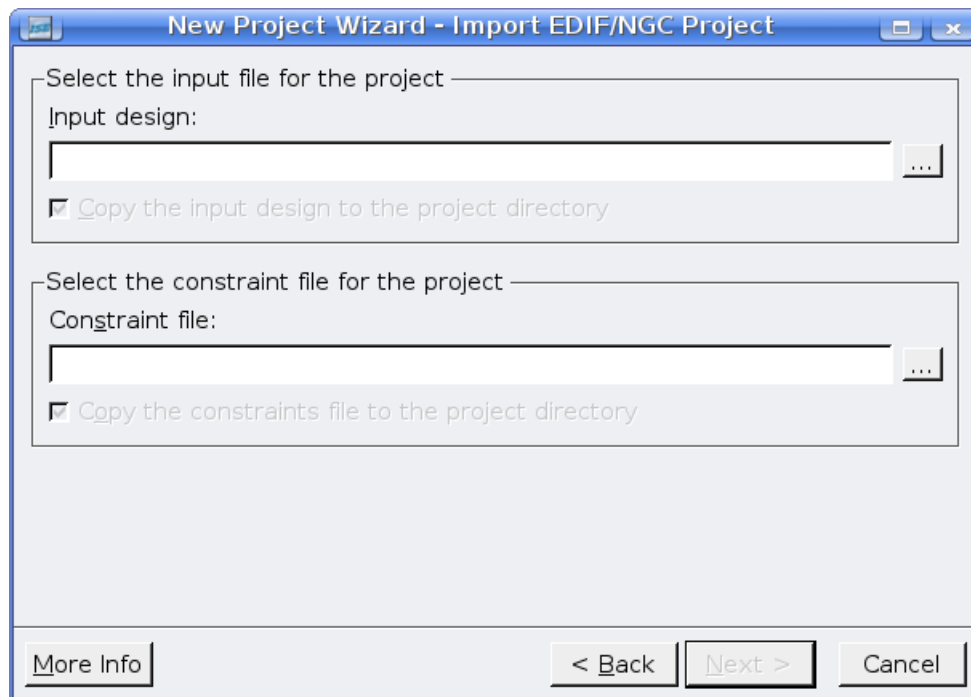
lub



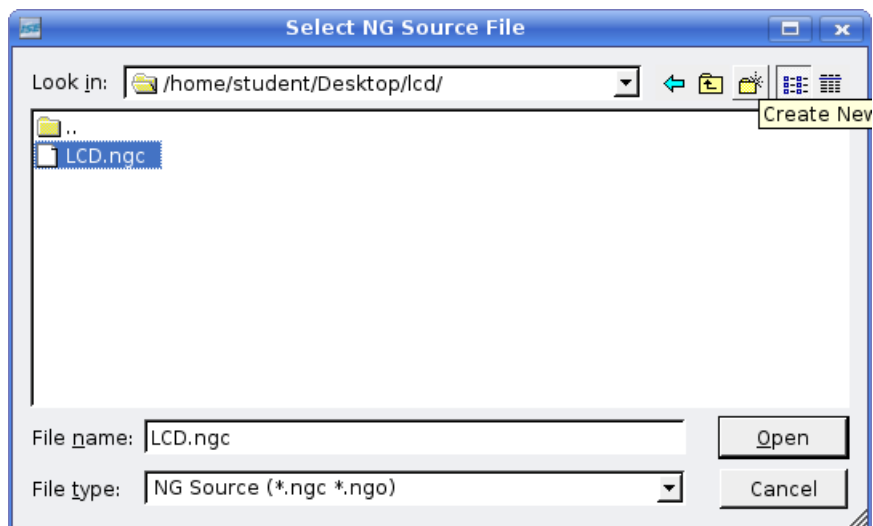
Utwórz nowy projekt wybierając z menu *File* pozycję *New Projekt*. Zostanie otwarte okno tworzenia nowego projektu.



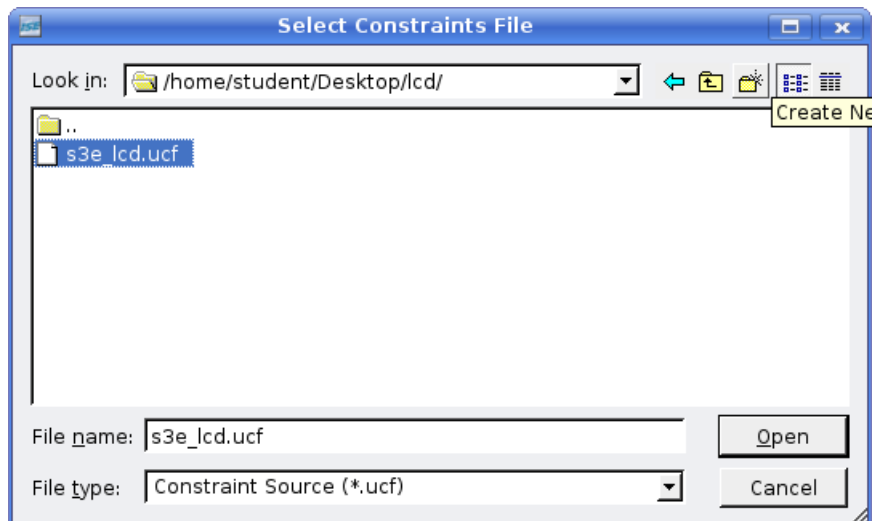
Wpisz nazwę projektu i wybierz katalog docelowy (najlepiej **/home/lab/studenci/twoja\_grupa**). Z listy wyboru *Top-Level Source Type* wybierz pozycję *NGC/NGO*. Następnie kliknij przycisk *Next*. Zostanie otwarte nowe okno.



Teraz należy podać odpowiednie plik wejściowe. Jako Plik *Input design* wskaż plik */home/student/Desktop/lcd/lcd.ngc*.

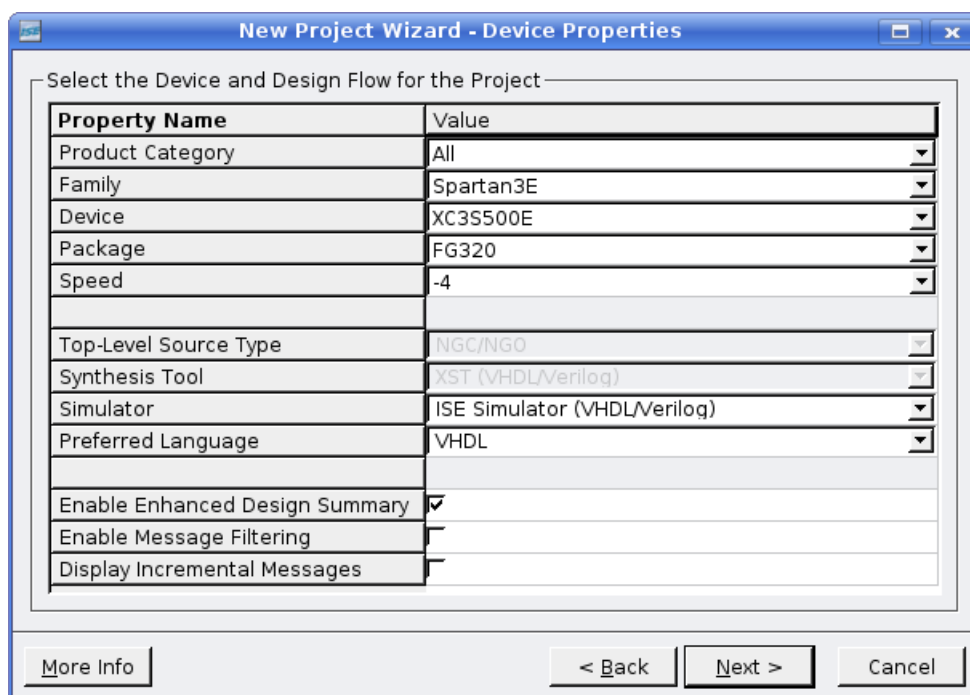


Jako Plik *Constraints File* wskaż plik */home/student/Desktop/lcd/s3e\_lcd.ucf*.



**Pamiętaj, żeby zaznaczyć flagi zatwierdzające skopiowanie plików do nowego katalogu.**

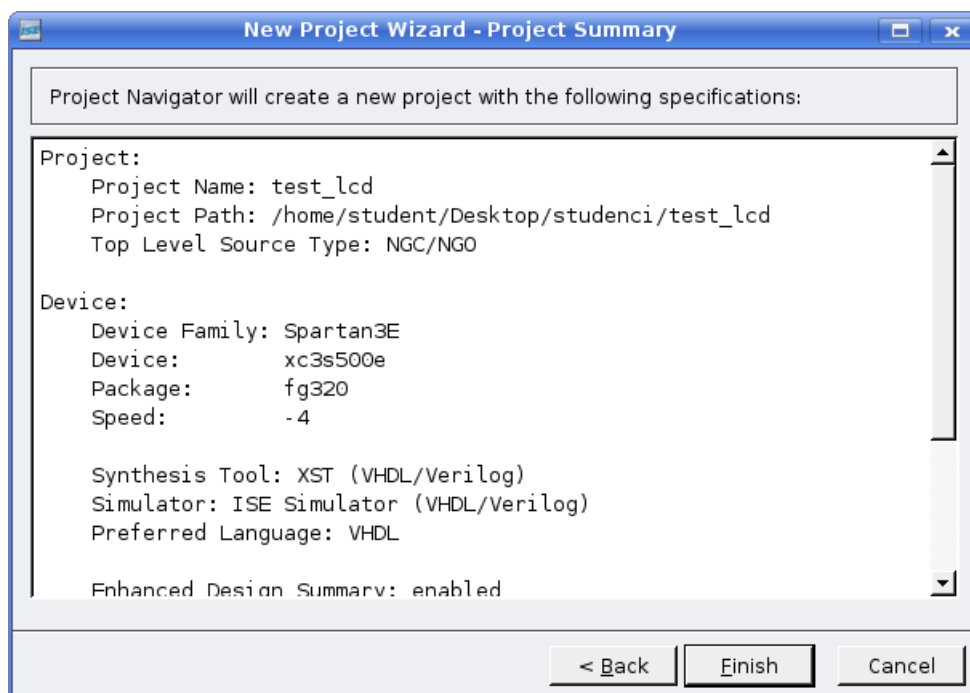
Następnie kliknij przycisk *Next*. Zostanie otwarte nowe okno.



The dialog box titled "New Project Wizard - Device Properties" contains a table for selecting device and design flow parameters. At the bottom are buttons for "More Info", "< Back", "Next >", and "Cancel".

Property Name	Value
Product Category	All
Family	Spartan3E
Device	XC3S500E
Package	FG320
Speed	-4
Top-Level Source Type	NGC/NGO
Synthesis Tool	XST (VHDL/Verilog)
Simulator	ISE Simulator (VHDL/Verilog)
Preferred Language	VHDL
Enable Enhanced Design Summary	<input checked="" type="checkbox"/>
Enable Message Filtering	<input type="checkbox"/>
Display Incremental Messages	<input type="checkbox"/>

W tym oknie należy wybrać odpowiednie parametry projektu oraz układu FPGA. Ustaw je zgodnie z rysunkiem. Następnie kliknij przycisk *Next*. Aplikacja wyświetli okno podsumowania projektu.



The dialog box titled "New Project Wizard - Project Summary" displays the project specifications. At the bottom are buttons for "< Back", "Finish", and "Cancel".

Project Navigator will create a new project with the following specifications:

```

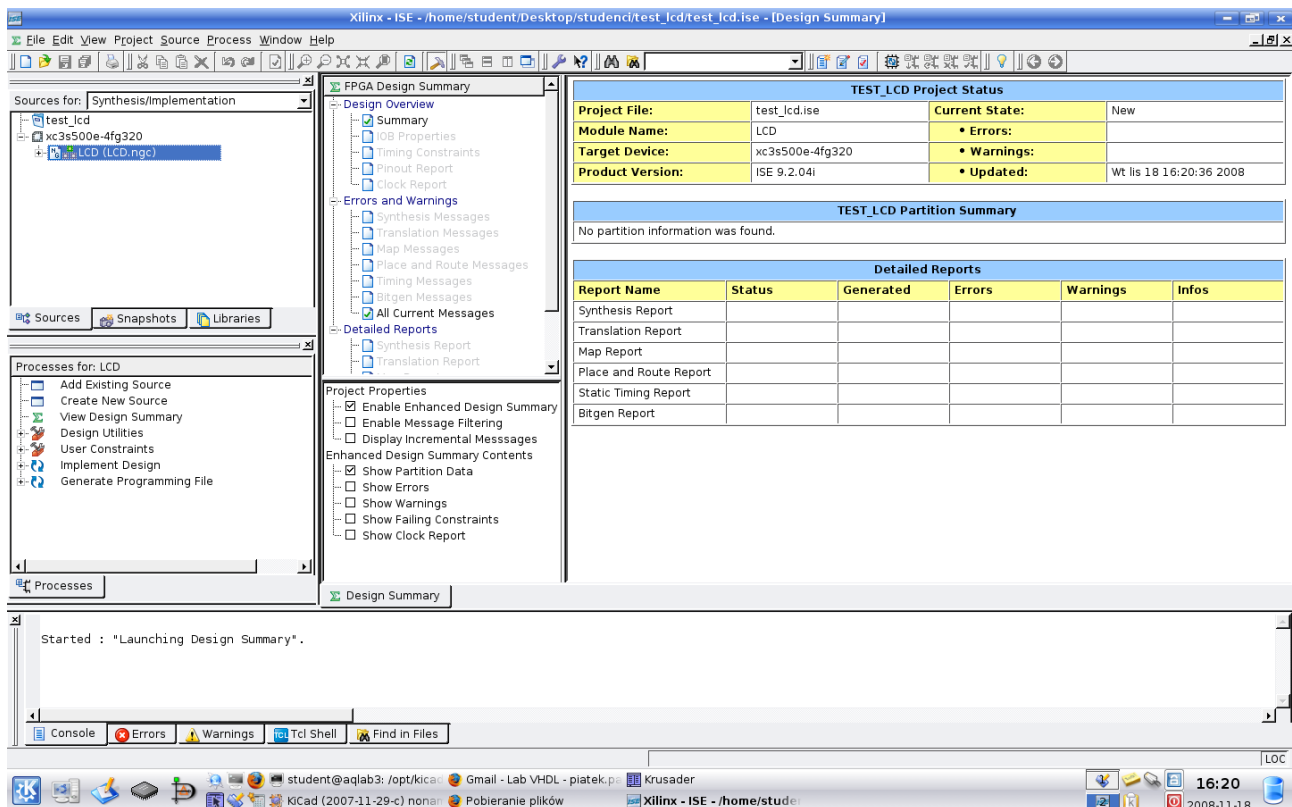
Project:
  Project Name: test_lcd
  Project Path: /home/student/Desktop/studenci/test_lcd
  Top Level Source Type: NGC/NGO

Device:
  Device Family: Spartan3E
  Device: xc3s500e
  Package: fg320
  Speed: -4

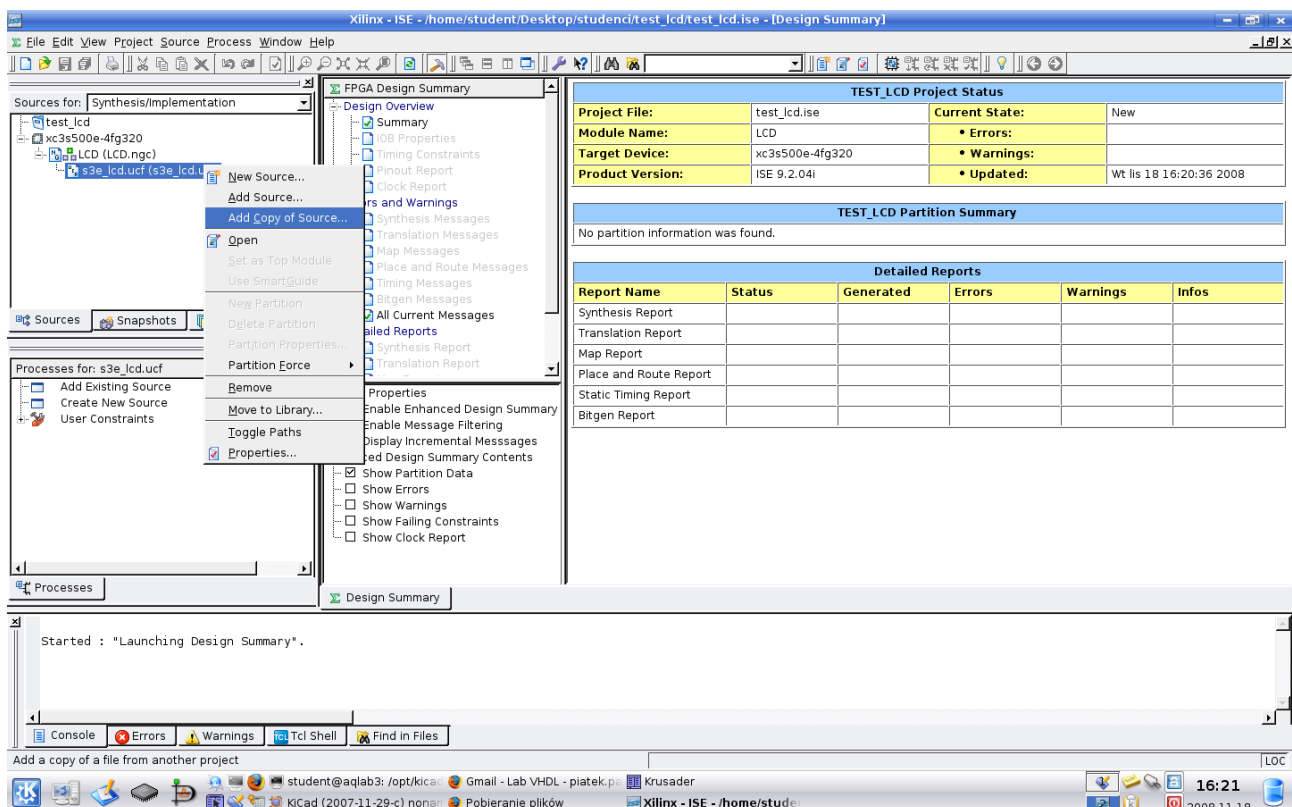
  Synthesis Tool: XST (VHDL/Verilog)
  Simulator: ISE Simulator (VHDL/Verilog)
  Preferred Language: VHDL

  Enhanced Design Summary: enabled
  
```

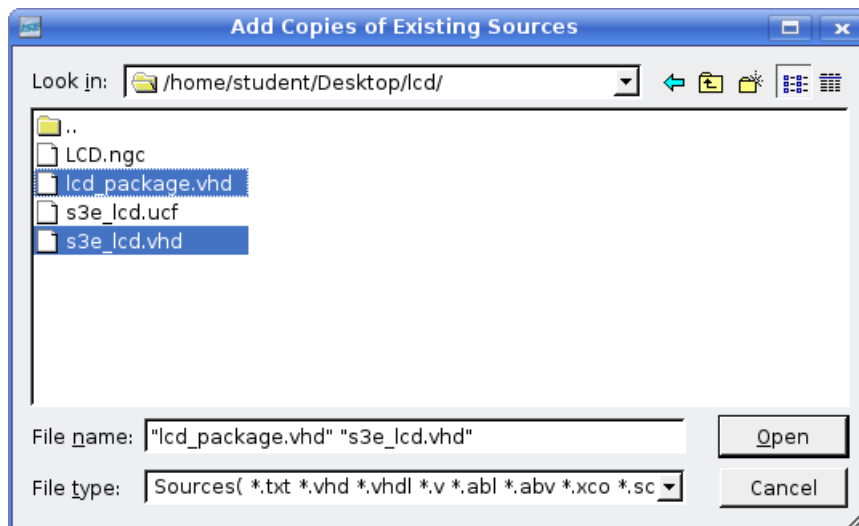
Kliknij przycisk *Finish*, żeby zakończyć tworzenie projektu. Aplikacja utworzy wszystkie pliki projektu i przejdzie do okna podsumowania projektu pokazanego poniżej.



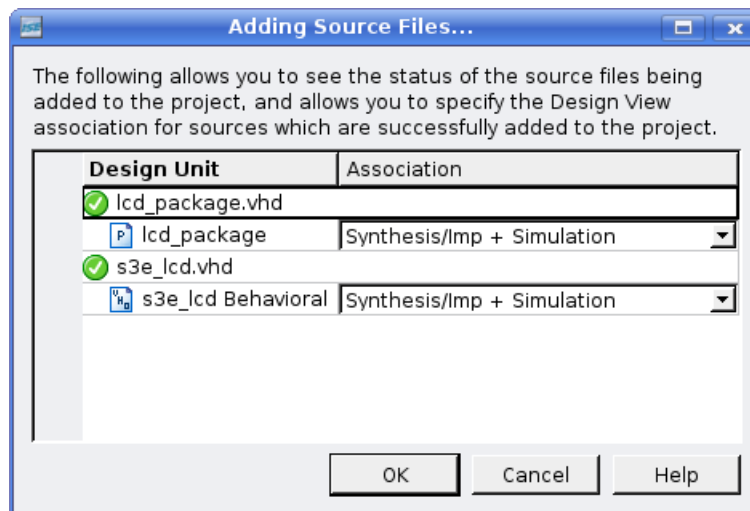
Kliknij prawym klawiszem myszy na pliku źródłowym (w oknie plików źródłowych) i wybierz z menu kontekstowego pozycję *Add Copy of Source*.



W oknie wyboru plików wskaż pliki `/home/student/Desktop/lcd/s3e_lcd.vhd` oraz `/home/student/Desktop/lcd/lcd_package.vhd` (wskaż oba pliki przy pomocy klawisza *Ctrl*).

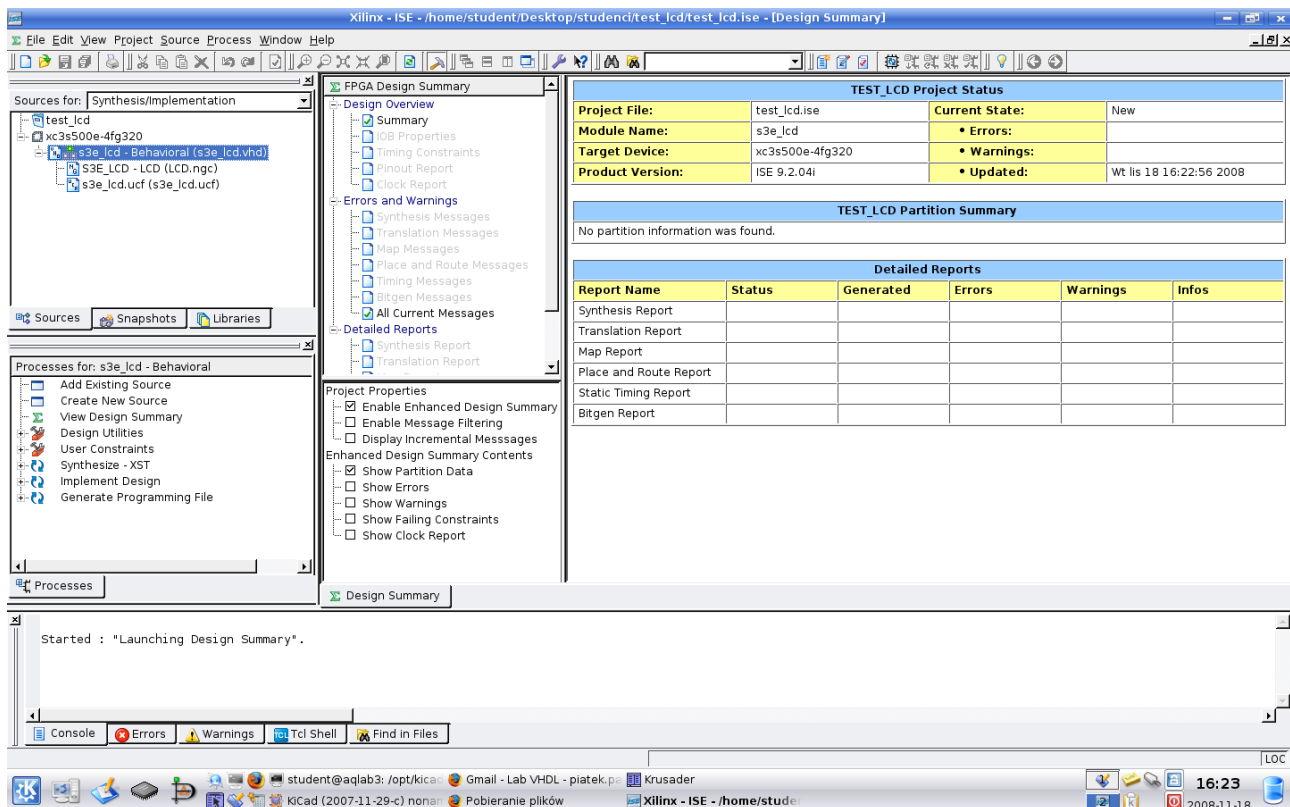


Kliknij przycisk *Open*. Zostanie wyświetlone okno informujące o poprawnym dodaniu plików do projektu.



Po dodaniu plików do projektu główne okno aplikacji powinno wyglądać jak poniżej.





### 3. Definiowanie połączenia projektu z pinami układu scalonego

Na etapie tworzenia projektu został wskazany plik *ucf*, więc nie ma potrzeby wskazywać go powtórnie.

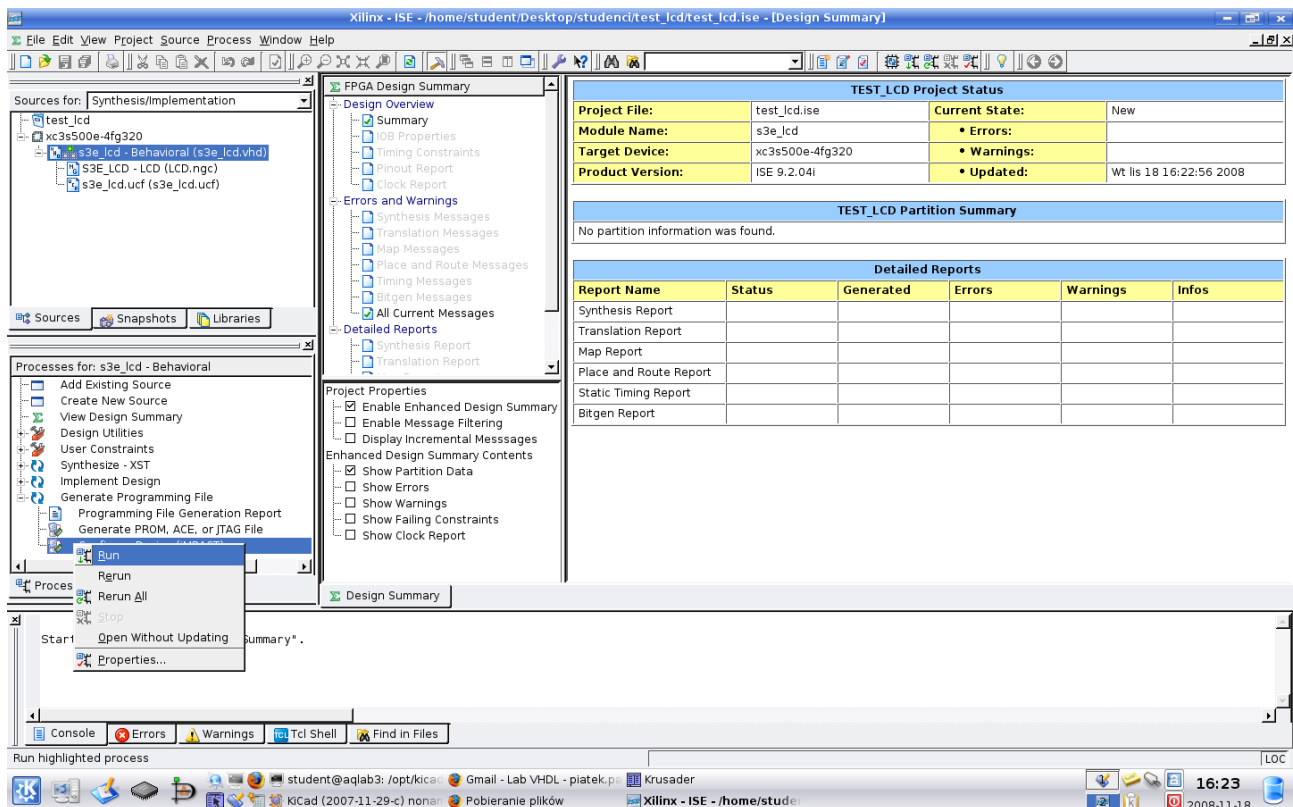
### 4. Tworzenie właściwego projektu

Plik *s3e\_lcd.vhd*, który został dodany do projektu zawiera prostą logikę inicjalizującą wyświetlacz LCD i wyświetlającą na nim znaki. Zmodyfikuj ten plik tak, aby realizował funkcjonalność zadana przez prowadzącego.

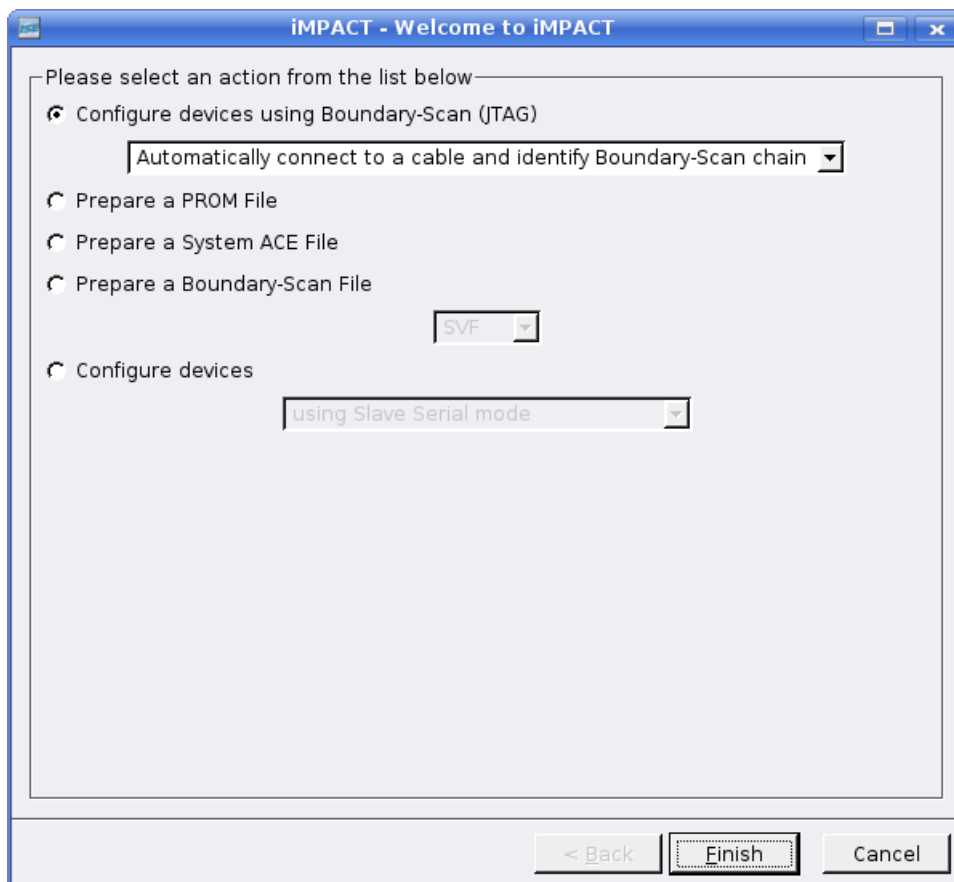
### 5. Budowanie projektu i programowanie płytki prototypowej

Następnym etapem jest uruchomienie narzędzi „kompilujących” projekt.

W celu uruchomienia „kompilacji” w oknie plików źródłowych kliknij jednokrotnie (w celu podświetlenia) na głównym pliku źródłowym projektu. W przypadku tego projektu jest plik *s3e\_lcd.vhd*, a w przypadku projektów z wieloma modułami (plikami) jest plik zawierający porty przypisane do pinów układu scalonego. Następnie w oknie dostępnych akcji rozwiń pozycję *Generate Programming File*, kliknij prawym klawiszem myszy na pozycji *Configure Device (IMPACT)* i z menu kontekstowego wybierz pozycję *Run*.



Zostanie otwarte okno aplikacji służącej do programowania układów.



Wybierz opcję *Configure devices using Boundary-Scan (JTAG)* i kliknij przycisk *Finish*.

Dalej postępuj zgodnie z instrukcjami z poradnika pt. *Tworzenie nowego projektu logiki w aplikacji ISE WebPack 9.2i*.

Koniec.