

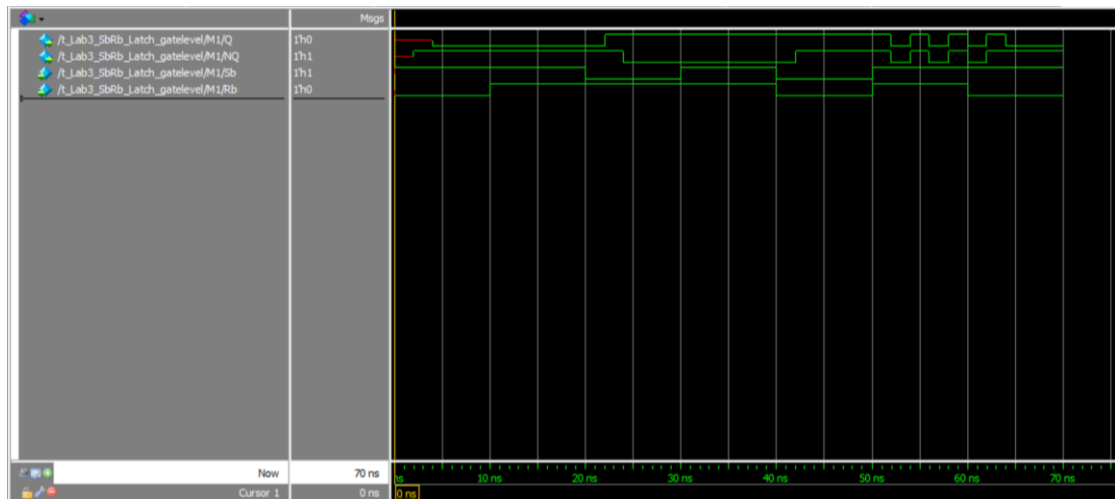
數位電路設計 Lab3 實驗報告

(1) 2A 之模擬結果波形圖，並說明其模擬結果波形圖是否正確。(20%)

- 真值表(每一個箭頭表示 2ns)

秒數(ns)	Sb	Rb	Q	Q'
0	1	0	不一定->不一定->0	不一定->1
10	1	1	0->0	1->1
20	0	1	0->1->1	1->1->0->0
30	1	1	1->1	0->0
40	0	0	1->1->1	0->1->1
50	1	1	1->0->1->0->1	1->0->1->0->1
60	1	0	0->1->0->0	0->1->1->1

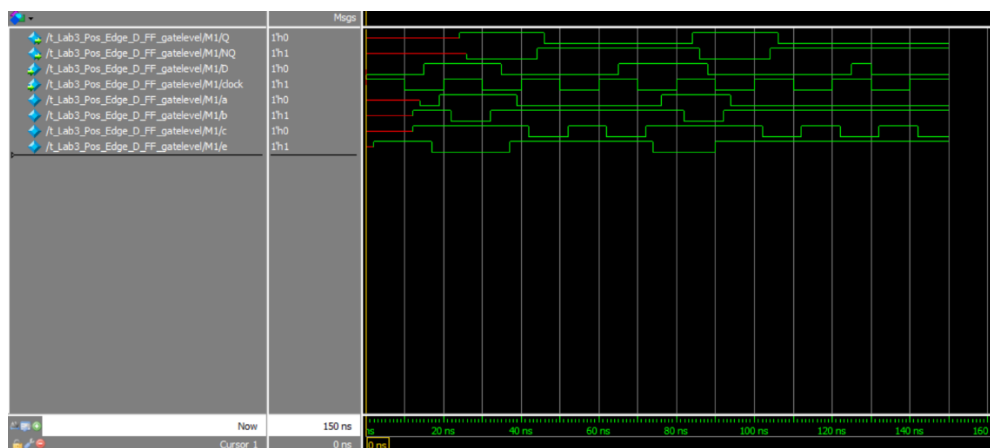
- 模擬波形圖



結果與真值表相符，故正確

(2) 2B 之模擬結果波形圖，並說明其模擬結果波形圖是否正確。(20%)

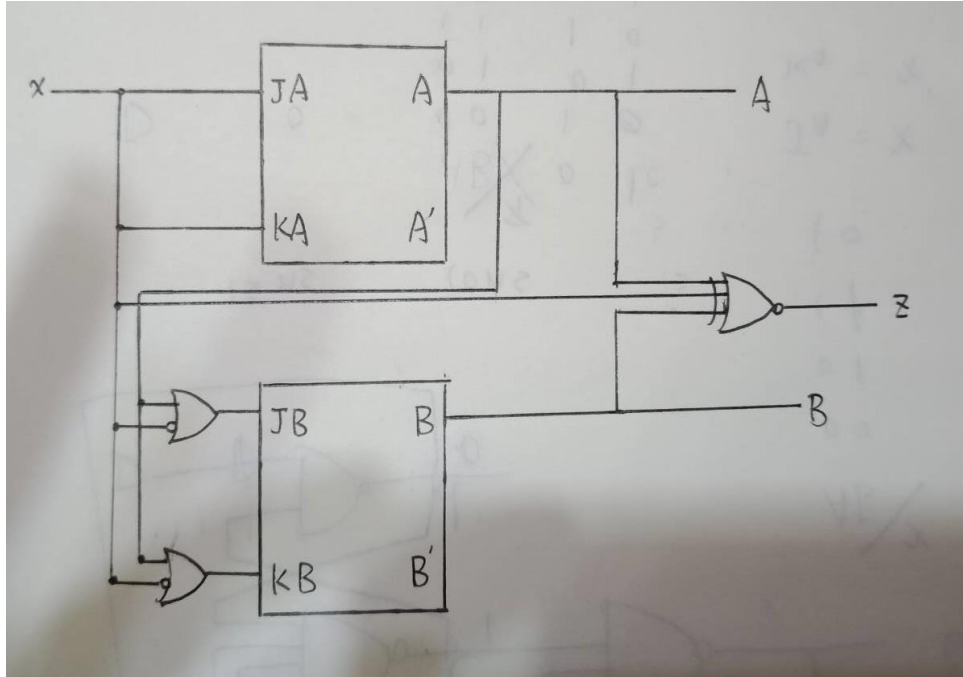
- D Flip-Flop : $Q(t+1)=D$
- 模擬波形圖



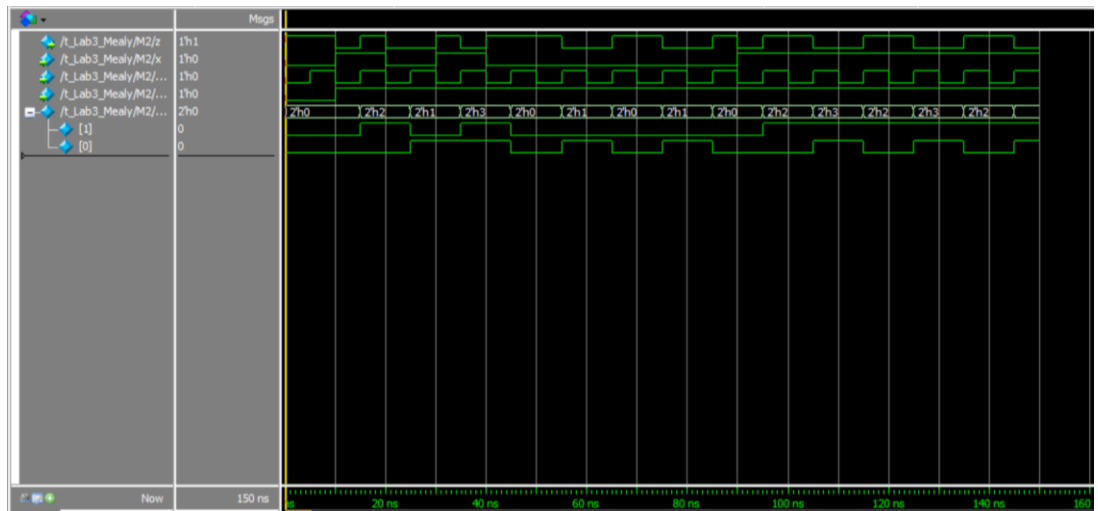
模擬波形圖結果若將 delay 考慮進去，確實符合 $Q(t+1)=D$ ，故正確

- (3) 敘述 2C 之 Mealy-type 同步順序電路之設計過程，以 JK 為儲存元件，推導出其電路圖。而後，列出 2C 之模擬結果波形圖，並說明其 testbench 如何設計、針對 input stimulus 預期之狀態轉換與輸出值為何、及 i. 和 ii. 兩種電路模組之模擬結果波形圖是否正確。(50%)

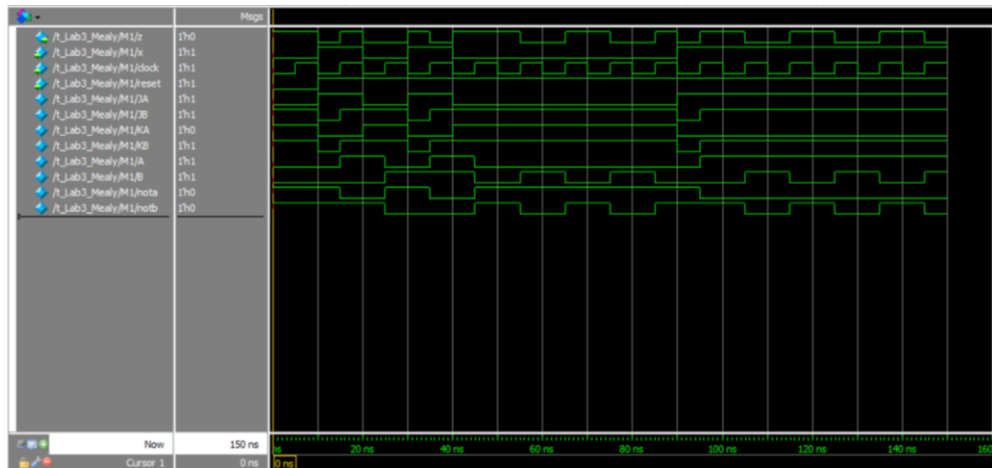
- 電路圖



- 2C(i)模擬結果波形圖



- 2C(ii)模擬結果波形圖



- testbench 如何設計

在每一種狀態下，都須測試輸入為 0 及 1 時，輸出是否正確及狀態轉換是否符合狀態圖

- 波形圖正確與否

當 reset 為 0 時，狀態須維持 S0(00)

當 reset 為 1 時，狀態及輸出須符合狀態圖，如 30ns 時，x=0，reset=1，狀態為 S0，clock=1->0，則 z=1，狀態不變，因其為 positive edge。

因波形圖符合題目所給狀態圖，故正確

(4) 心得與感想、及遭遇到的問題或困難 (10%)

一開始不太熟悉同步順序電路 testbench 的設計，所以得出一些奇奇怪怪的波形圖，還以為自己電路寫錯或畫錯，經過這次 lab 我對 verilog 又更熟悉了，也更明白 testbench 的重要性。