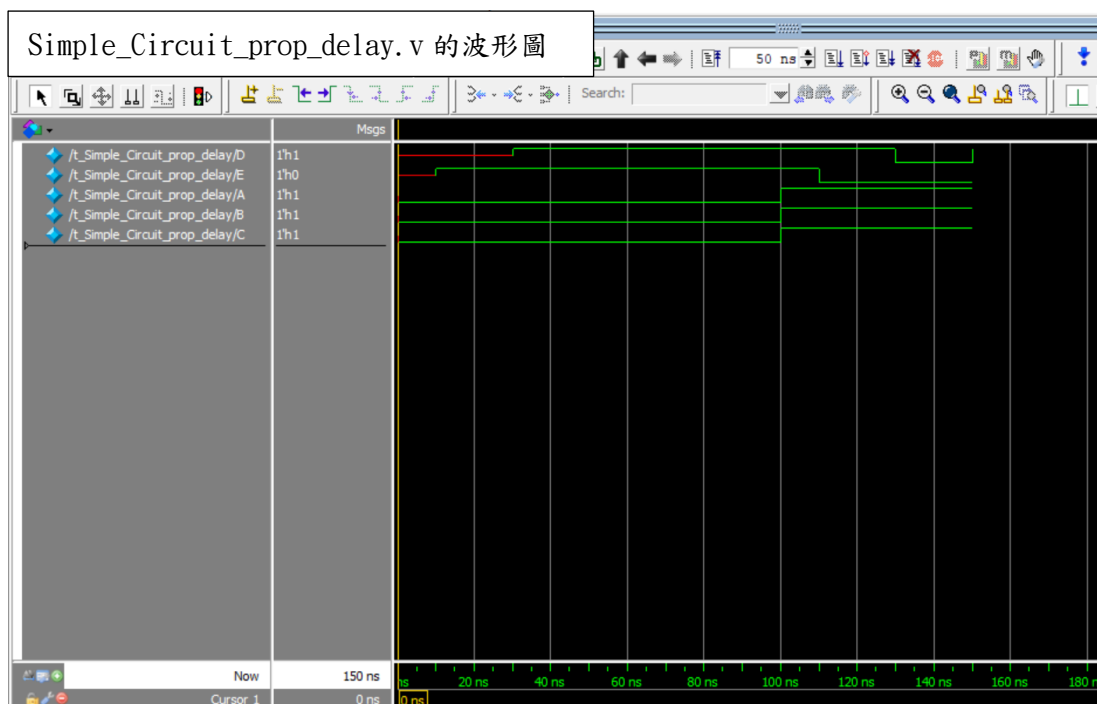
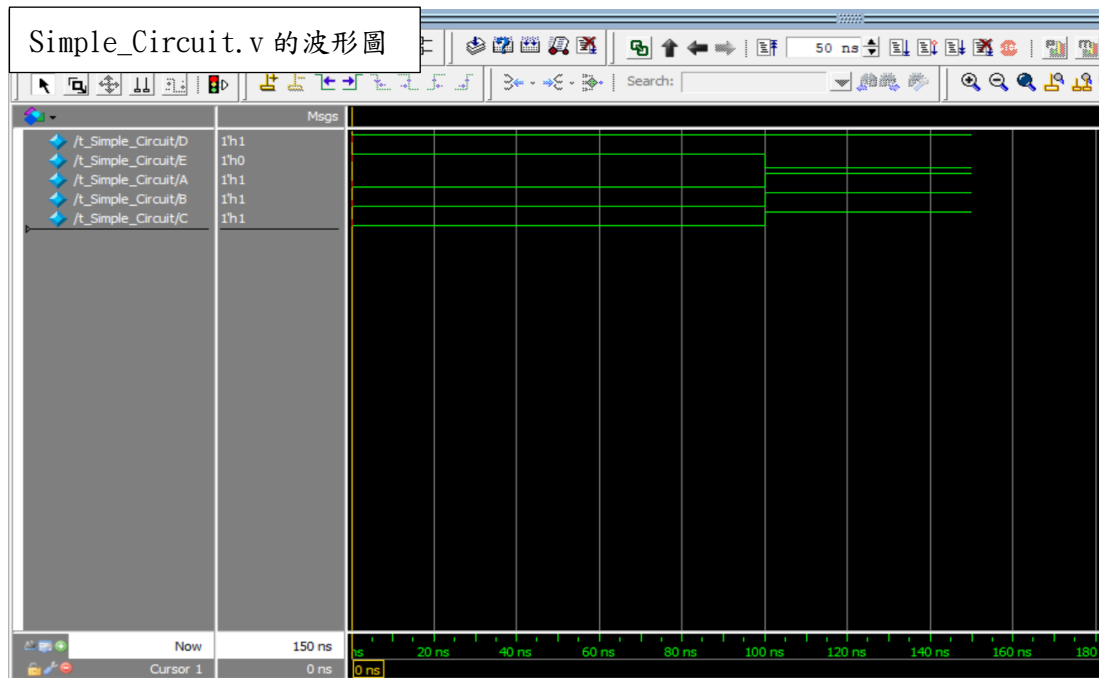


數位電路設計 Lab1 實驗報告

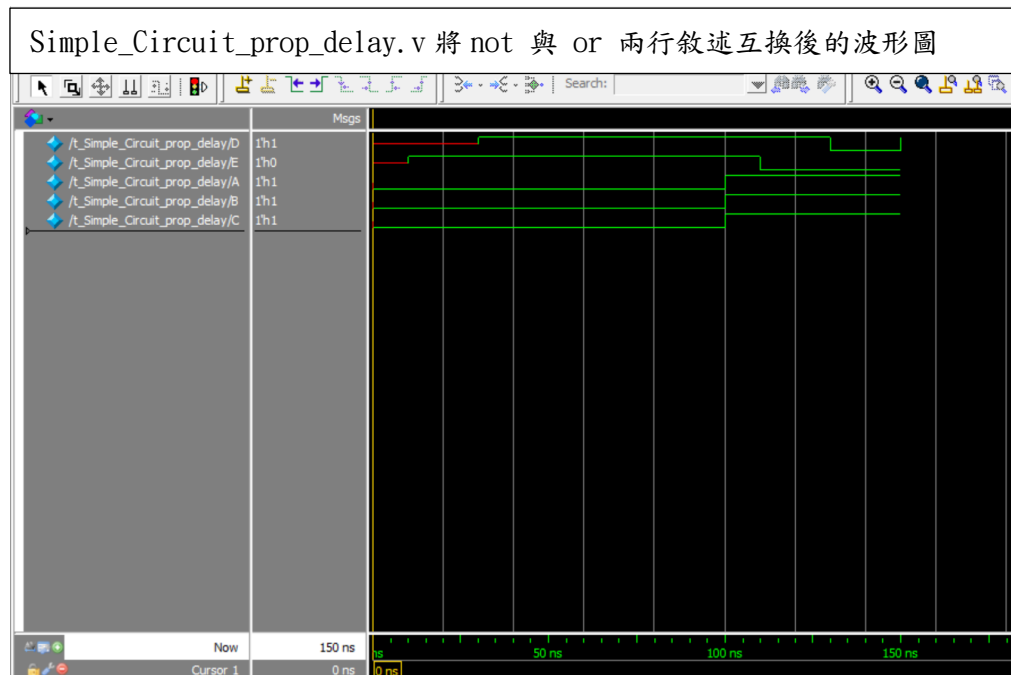
(1) 2A(a)之模擬結果波形圖，並說明與 Simple_Circuit.v 之波形圖的差異。(10%)



由上述兩張圖可以看出下面那張 Simple_Circuit_prop_delay 的圖因為有 delay 所以當輸入改變時，輸出並不會馬上改變，而是要過一段時間，才會改成正確的輸出。

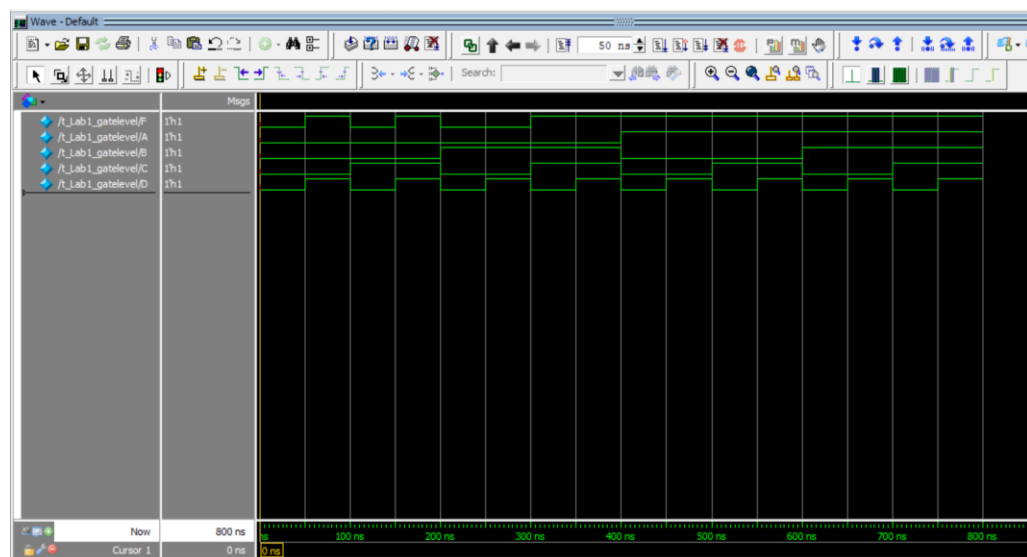
反觀上面那張 Simple_Circuit 的圖則是，當輸入一改變，輸出也馬上跟著改變

(2) 2A(b)之模擬結果波形圖，並說明與 2A(a)之波形圖是否有差異及原因。(10%)



與 2A(a)之波形圖沒有差異，因為 modelsim 並不是由上而下執行程式碼，而是全部同時一起進行，故將兩個敘述順序互換並無任何影響。

(3) 2B(a)之 gate-level modeling 模擬結果波形圖，並說明是否正確。(15%)



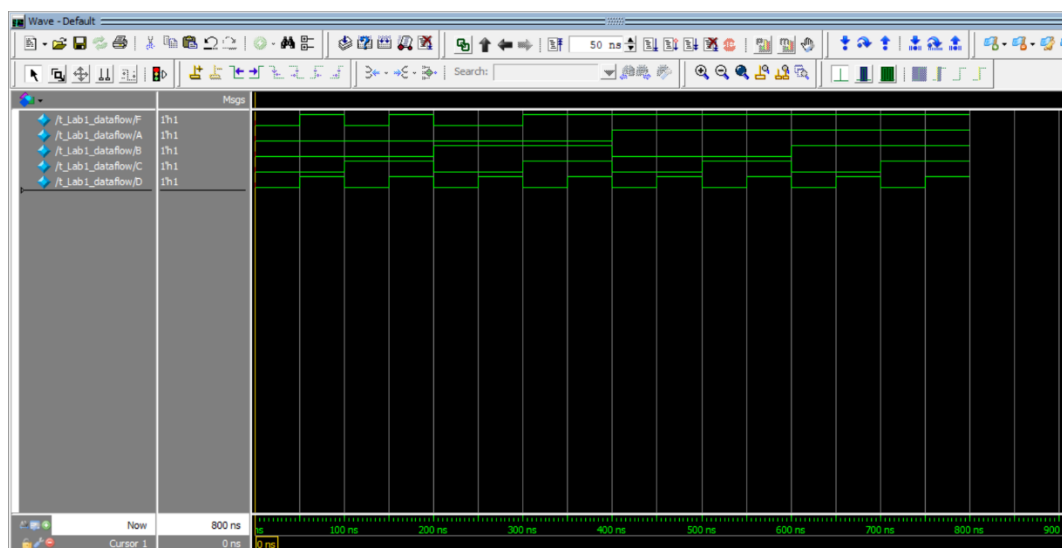
此電路的真值表

A	B	C	D	F
0	0	0	0	0
0	0	0	1	1

0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

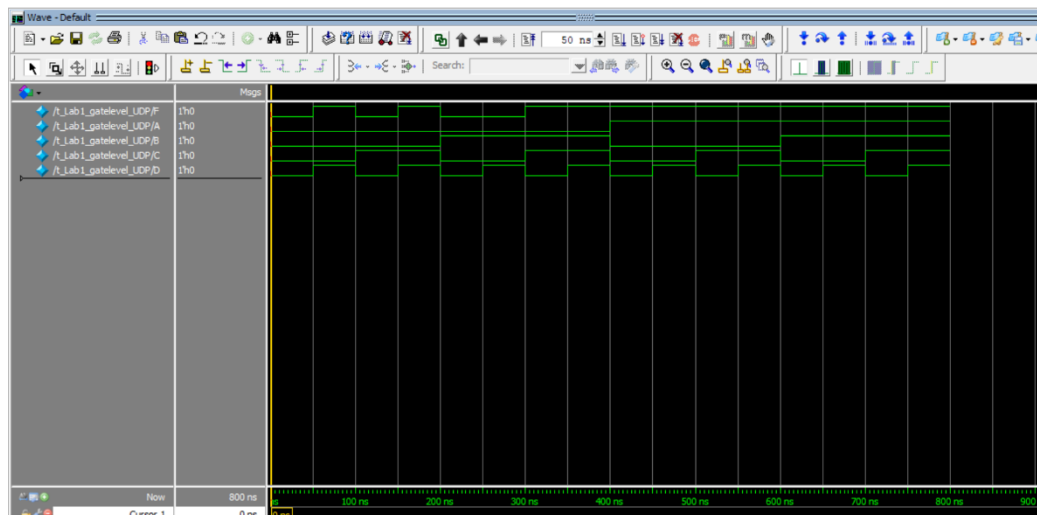
因模擬結果波形圖與我自己列的真值表結果相同，故波形圖正確無誤。

(4) 2B(b)之 dataflow modeling 模擬結果波形圖，並說明是否正確。(15%)



因為波形圖與我在 2B(a)時列的真值表相符，同時也與 2B(a)波形圖相同，故正確無誤。

(5) 2B(c)之電路模擬結果波形圖，並說明是否正確。(25%)

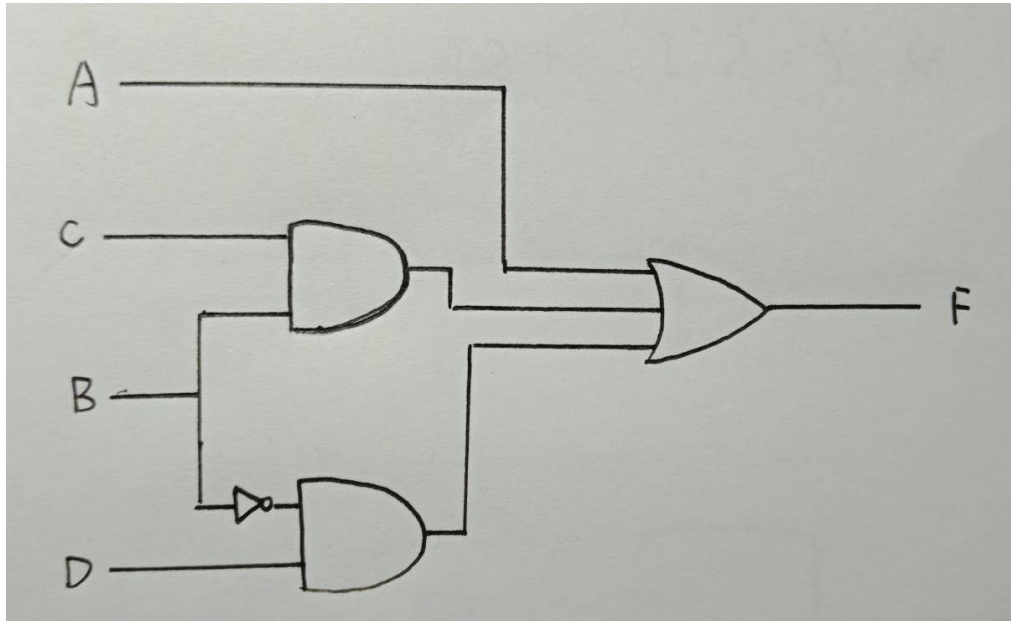


因為波形圖與我在 2B(a)時列的真值表相符，同時也與 2B(a)及 2B(b)波形圖相同，故正確無誤。

(6) 請判斷圖 1 之電路是否為該函式 gate input counts 最少之實作？若是，請說明之；若否，則請推導出此函式 gate input count 最少的布林代數式，寫出 gate input count 數值，並以 AND、OR、NOT 邏輯閘畫出其電路圖。(15%)

否，利用 K-map 可以得出 $F=A+BC+B'D$ ，其 $\text{GIC}=9$

AB \ CD	00	01	11	10
00	0	1	1	0
01	0	0	1	1
11	1	1	1	1
10	1	1	1	1



(7) 心得與感想、及遭遇到的問題或困難。(10%)

第一次自己寫 verilog，過程中常常因為還不熟悉而犯一些語法上的小錯誤，不過做完這次 Lab 之後，我相信之後這些語法上的錯誤必然會大量的減少。完成這份實驗報告後，不但獲得了滿滿地成就感，也使我對 Modelsim 有了更進一步的瞭解，令我獲益良多。