

# 目录

## 第一部分 实验准备

第一章 数字逻辑实验要求 .....	预备-1
第二章 数字逻辑实验基本知识 .....	预备-2
第三章 MAX+plus II 实验操作步骤 .....	预备-5

## 第二部分 实验

实验一 逻辑门电路的功能与测试 .....	实验-1
-----------------------	------

- (一) 或门的逻辑功能测试
- (二) 与非门 74LS00 的逻辑功能测试
- (三) 或非门 74LS02 的逻辑功能测试
- (四) 与非门 74LS20 的逻辑功能测试
- (五) 异或门 74LS86 的逻辑功能测试

实验二 复合逻辑电路功能的实现测试 .....	实验-6
-------------------------	------

- (一) 用与非门组成异或门并测试验证其功能
- (二) 用与非门构成同或门并测试验证其功能
- (三) 用或非门实现逻辑函数的功能并进行测试验证

实验三 组合逻辑电路 .....	实验-11
------------------	-------

- (一) 逻辑电路的逻辑关系分析
- (二) 分析 74LS00 构成的组合电路，看它具备什么功能
- (三) 利用现有器件，实现具有以下逻辑函数功能的电路并测试验证。
- (四) 用可编程逻辑电路开发环境 MAX+plus II 对 ACEX 器件编程，实现以下电路的逻辑函数功能并测试验证。
- (五) 思考题

实验四 半加器、全加器及逻辑运算实验 .....	实验-18
--------------------------	-------

- (一) 组合逻辑电路功能测试
- (二) 测试用异或门(74LS86)和与非门(74LS00)组成的半加器的逻辑功能。
- (三) 测试全加器的逻辑功能。
- (四) 测试用异或、与非门组成的全加器的逻辑功能。
- (五) 用可编程逻辑器件的开发工具 MAX+plus II 进行集成全加器 74LS183 的功能测试
- (六) 思考题：用可编程逻辑器件的开发工具 MAX+plus II 对 ACEX 编程，设计实现四位的二进制并行加法器。

- (七) 思考题：用可编程逻辑器件的开发工具 MAX+plus II 对 ACEX 编程，设计实现四位二进制减法器。

## 实验五 编码器、译码器、数据选择器和数值比较器 ..... 实验-25

- (一) 4 线-2 线编码器
- (二) 2 线-4 线译码器功能测试
- (三) 译码器转换
- (四) 数据选择器的测试及应用
- (五) 两位数值比较器功能测试
- (六) 思考题：用 MAX+plus II 验证 10 线/3 线优先编码器 74LS147 的逻辑功能。
- (七) 思考题：用 MAX+plus II 实现将用 8 线/3 线优先编码器 74LS148 扩展为 16 线/4 线优先编码器的方法。
- (八) 思考题：用 MAX+plus II 实现用四位数值比较器 74LS85 构造八位数值比较器的方法。

## 实验六 供电控制电路、七人表决电路、血型检测电路 ..... 实验-34

- (一) 供电控制电路（设计）
- (二) 七人表决电路的测试（设计）
- (三) 血型关系检测电路（设计）

## 实验七 RS 触发器的功能测试 ..... 实验-39

- (一) 基本 RS 触发器
- (二) 同步 RS 触发器（时钟控制 RS 触发器）
- (三) 用基本 RS 触发器组成四位二进制数码寄存器
- (四) 时钟控制 RS 触发器组成四位二进制数码寄存器

## 实验八 JK、D 触发器逻辑功能及主要参数测试 ..... 实验-46

- (一) 集成 J-K 触发器 74LS112 逻辑功能测试。
- (二) 将 J-K 触发器转换成 D 触发器
- (三) 设计将 J-K 触发器转换成 T 触发器
- (四) 将 D 触发器转换成 J-K 触发器
- (五) 将 D 触发器转换成 T 触发器

## 实验九 三态输出触发器及锁存器 ..... 实验-52

- (一) 锁存器功能及应用

## 实验十 异步二进制计数器实验 ..... 实验-55

- (一) 设计一个三位二进制异步加计数器
- (二) 设计一个四位二进制异步减计数器

实验十一 同步二进制计数器实验 ..... 实验-60

- (一) 设计 4 位同步二进制加计数器
- (二) 设计 4 位同步二进制减计数器
- (三) 构造模 12 计数器 (以下选做一、二种方法)
- (四) 设计一个六十进制计数器

实验十二 移位寄存器的功能测试 ..... 实验-73

- (一) 由 D 触发器构成的单向移位寄存器。
- (二) 移位寄存器 74LS194 的逻辑功能测试
- (三) 设计由 D 触发器组成的双向移位寄存器
- (四) 用 ACEX 可编程逻辑器件或用 74LS74 实现环形计数器或扭环计数器

实验十三 计数时序电路综合应用实验 ..... 实验-83

- (一) 测试 74LS290 二、五、十进制计数器功能
- (二) 验证以下电路的功能
- (三) 时序电路综合应用

**第三部分 可编程逻辑器件开发软件**

MAX+Plus II 简介 ..... MAX+plus II-1

**附录 A 部分芯片引脚图**

**附录 B DICE-SEM II 实验箱 ISP1032 与 EP1K10 引脚对照表**

**附录 C 《数字逻辑实验》实验报告格式**

# 第一部分 实验准备

## 第一章 数字逻辑实验要求

### 一、实验准备

1. 每次实验前必须做好实验预习。预习内容包括：每次实验的目的、内容和要求。复习实验原理，消化相关知识点。做到进实验室前心中有数，不打无准备之仗。
2. 按预习要求做好相关预习作业。如实验步骤、接线图、实验参数、逻辑表达式等。实验前将预习作业交实验指导教师检查确认，方可动手。
3. 明确实验时间、地点，按时进入实验室。

### 二、实验制度

1. 保持实验室整洁良好的实验环境。
2. 接线前关闭电源，严格按照实验要求接线。
3. 接线后仔细检查，并经指导老师复核后方可上电。
4. 发生故障立即断电，请指导老师检查故障原因。
5. 实验中应仔细观察，如实记录实验数据，不可任意修改实验数据。
6. 因违规操作发生设备、仪器损坏的，必须查明原因，逐级上报。必要时视情节轻重予以赔偿。
7. 实验结束，将仪器实验仪器和实验材料整理好后方可离场。

### 三、实验结果和报告

1. 实验结果必须真实，经教师签字认可。
2. 每次实验后提交实验报告。
3. 实验报告按本实验指导书的附录 的格式撰写。
4. 实验报告内容包括：
  - 实验目的
  - 实验环境
  - 使用的仪器、设备及元器件规格。
  - 实验原理
  - 实验步骤
  - 实验数据、波形、现象的记录。
  - 实验结果分析
  - 思考和体会

# 第二章 数字逻辑实验基本知识

## 一、数字集成电路

集成电路（Integrated Circuit）是相对分离元件而言的，简称 IC。它将若干没有封装的电路元件（晶体管、电阻等）不可分割地连在一起，并在电学上加以互连，以完成特定的功能。数字集成电路是指完成数字逻辑功能的集成电路。集成电路按集成度可以分为小规模集成电路（SSI）、中规模集成电路（MSI）、大规模集成电路（LSI）等。在数字逻辑教学实验中常用的是中、小规模集成电路。小规模数字集成电路主要是一些门电路，如四 2 输入与非门 74LS00、六反向器等。中规模数字集成电路主要是计数器、数据选择器等。综合实验中用到的大规模数字集成电路主要是 CPLD 和 GAL。

## 二、数字集成电路分类

目前，在数字系统中使用的中、小规模集成电路主要分为两大类：一类是用双极型半导体器件作为元件的双极型集成逻辑电路；一类是用金属-氧化物-半导体场效应管作为元件的 MOS 集成电路。

常用的数字逻辑电路有：

- ◆ 晶体管-晶体管逻辑电路（ Transistor-Transistor Logic，简称 TTL），它包括：
  - TTL（中速 TTL 或称标准 TTL）
  - STTL（肖特基 TTL）
  - LSTTL（低功耗肖特基 TTL）
  - ALSTTL（先进低功耗肖特基 TTL）
- ◆ 射级耦合数字逻辑电路（EmitterCoupledLogic，简称 ECL）
- ◆ MOS 集成电路, 它包括：
  - ①. PMOS（P 沟道型 MOS 集成电路）
  - ②. NMOS（N 沟道型 MOS 集成电路）
  - ③. CMOS（互补型 MOS 集成电路），包括：
    - CMOS（标准 CMOS 4000 系列）
    - HC（高速 CMOS 系列）
    - HCT（与 TTL 兼容的 HCMOS 系列）

根据使用环境的不同，TTL 系列及 HCMOS 系列分为 54 系列和 74 系列。如表 1-1 所示。

表 1-1		TTL 及 HCMOS 分类	
	系列	工作温度范围 (C°)	电源电压 (TTL 系列) (v)
军品	54	-55 ~ +125	+ 4.5 ~ + 5.5 (DC)
民品	74	0 ~ +70	+ 4.75 ~ + 5.25 (DC)

常用的集成电路有 TTL、ECL、MOS 三种系列，各系列的分类及特点如表 1-2 所示。

表 1-2 三种集成电路性能比较

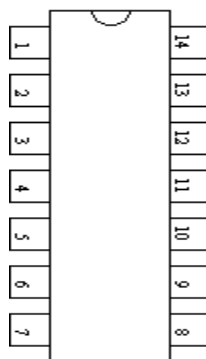
系列	型号	电源电压 (v)	门传输延迟时间 (ns)	门静态功耗 (mW)
TTL	54/74 TTL	5 ± 5% (74)	10	10
	54/74 LSTTL	5 ± 10% (54)	7.5	2
	54/74 ALSTTL		5	1
ECL	CE10K	-5.2 ± 10%	2	25
	CE100K	-4.2 ~ -5.5	0.75	40
CMOS	4000	3 ~ 18	80 ~ 20	$5 \times 10^{-3}$
	54/74 HC	2 ~ 6	10	$2.5 \times 10^{-3}$
	54/74 HCT	2 ~ 6	10	$2.5 \times 10^{-3}$

由表中可以知道，ECL 电路速度快，但功耗大，抗干扰能力弱，一般用于高速且干扰小的电路中。CMOS 电路静态功耗低，且 MOS 电路线路简单、集成度高，HCMOS 速度有所提高，目前在大规模和超大规模集成电路中应用广泛；TTL 介于两者之间，当工作频率不高，又要求使用方便且不易损坏时，可选用 LSTTL。

### 三、数字电路引脚

数字 IC 有多种封装形式。为了方便教学，本实验中所用的 74 系列器件选用双列直插式。双列直插式 IC 引脚数有 14、16、20、24、28 等若干种。从正面看，器件的一端有一个半圆的缺口，这是正方向的标志。器件正面缺口朝上，左边的引脚序号为 1，序号按逆时针方向递增，缺口右边的引脚为最后的序号。如图。

通常左列引脚的最后一个引脚是 GND，右列引脚的最上一个引脚是 Vcc。但也有例外如 74LS76 是 16 脚的双列直插式芯片，但它的引脚 13 是 GND，引脚 5 是 VCC。所以使用集成电路做实验时，必须参照引脚图，找对电源和接地，正确区分引脚功能，避免因接线错误造成损坏。



## 四、数字模拟综合实验系统

数字逻辑实验课程采用的主要装置是启东计算机总厂的 DICE-SEM 型数字模拟综合实验系统。该实验系统包括：

- 电源（+5V、+12V、-12V）
- 时钟源（1HZ、10HZ、100HZ、1KHZ、10KHZ、100KHZ、1MHZ）
- 单脉冲及相位滞后脉冲（P1 ~ P2，T1 ~ T4）
- 双列直插 IC 插座（IC1 ~ IC9，包括 14 脚、16 脚、20 脚和 40 脚等）
- ACEX 器件编程器电路板及实验电路
- 逻辑电平开关（K1 ~ K16）
- 电平信号发光二极管（L1 ~ L16）
- 数码管及驱动电路
- 各种配套电路

实验时将被测器件插入实验箱的双列直插式 IC 插座中，插座通过自锁紧插孔对外接线。接线时首先把插头插进插孔，然后按顺时针方向轻轻一拧就锁紧了。拔出插头时，首先按逆时针方向轻轻拧一下插头，使插头和插座松开，然后将插头从插孔中拔出。不要使劲拔插头，以免损坏插头和连线。IC 插座不提供电源和接地连接，使用者应根据需要来设置电源和接地连线。

必须注意，电插、拔器件必须在关闭+5V 电源的情况下进行，不要带电插、拔器件。

## 第三章 MAX+plus II 实验操作步骤

1. 启动桌面或“开始”菜单/“程序”中的 MAX+plus II 10.0。

### 2. 建立“工程”

建议：先在 Windows 中的某个磁盘如 D 盘中建立存放工程文件的目录，且路径中不要含有中文字符。

- 在 MAX+plus II 10.0 中选 File / Project / Name 进入 Project Name 对话框。
- 选择存放工程文件的文件夹。
- 在 Project Name 中输入工程名。
- OK。

### 3. 建立文件（图形文件、VHDL 文件、波形文件）

- File /New 进入 New 对话框。
- 选文件类型。图形文件选 gdf；VHDL 文件选 txt；波形文件选 scf。
- OK。 进入编辑界面。
- 编辑文件。（画图或输入 VHDL 文件或建立波形）
- Save As 保存文件。按文件类型设置相应的扩展名。保存位置是你的工程目录。

### 4. 选取器件（一个工程只需在第一次选一次）

- Assign/Device 进入 Device 对话框。
- Device Family 中选 ACEX1K。
- Device 中选 EP1K10TC144-1。（见本实验箱中，设置与本实验仪相对应的器件）
- OK。


### 5. 编译

- MAX+plus II /Compiler

说明①：只有当 Error 为 0 才是通过编译。此时可能在 3~5 步骤间反复多次。

说明②：若建立的是波形文件接下来就是运行仿真，此处略。请见本实验指导第三部分。

### 6. 锁定（将设计图或程序中的输入输出引脚与实验相对应的器件的引脚对应起来）

- MAX+plus II /Floorplan Editor
- 左边工具栏中选
- 将上面 unassigned node & pins 中的引脚拖到下面器件中的 I/O 引脚上进行连接，连接好的引脚系统会用颜色标示。



## 7. 再编译

- MAX+plus II /Compiler。

## 8. 连线

- 在实验箱上按 6 中锁定的引脚接线。输入的连在小开关上；输出的连在数码管或发光二极管上。连接线路时不要打开实验箱电源。
- 连接引脚序号见附录中“DICE-SEM II 实验箱 ISP1032 与 EP1K10 引脚对照表”。其中“ISP1032 引脚”是实验仪上的引脚，“EP1K10 引脚”是指 MAX+plus II 软件中所选的相对应器件的引脚号。

## 9. 打开实验箱电源

## 10. 配置实验板

- MAX+plus II /Program/configer 进入 Programmer。
- 首次配置选择 Hardware Setup 对话框中 Hardware Type 的 ByteBlaster(MV)项，设置为并行口连接。OK。
- 按 Programmer 对话框中的 configure 将程序下载到实验仪。

## 11. 实验

输入：拨动小开关。小开关向上为“1”，向下为“0”，

输出：观察数码管或发光二极管结果。上排发光二极管为“0”，下排为“1”。

## 第二部分 实验

### 实验一 逻辑门电路的功能与测试

#### 一、 实验目的

1. 熟悉 TTL 中、小规模集成电路的外形、管脚和使用方法；
2. 了解和掌握基本逻辑门电路的输入与输出之间的逻辑关系及使用规则；

#### 二、 实验仪器

1. DICE-SEM 型数字模拟综合实验箱 1 台
2. 器件

▪ 74LS00	四 2 输入与非门	2 片
▪ 74LS02	四 2 输入或非门	1 片
▪ 74LS04	六反向器	1 片（可选）
▪ 74LS08	四 2 输入与门	1 片
▪ 74LS20	二 4 输入与非门	1 片
▪ 74LS21	二 4 输入与门	1 片（可选）
▪ 74LS32	四 2 输入或门	1 片（可选）
▪ 74LS86	四 2 输入异或门	1 片

#### 三、 实验原理

实现基本逻辑运算和常用逻辑运算的单元电路通称为逻辑门电路。如实现“与”运算的电子电路称为与逻辑门，简称与门；实现“与非”运算的电子电路称为与非门。与基本逻辑运算和和常见逻辑运算相对应，常用的简单逻辑门电路有与门、或门、非门；复合逻辑门电路有与非门、或非门、与或非门和异或门等。

根据制造工艺不同，逻辑门电路有两大类，一类是以晶体三极管为主要元件的双极型逻辑门电路；。另一类是一 MOS 场效应管为主要元件的 MOS 型逻辑门电路。

根据门电路输出端结构不同，又可分为基本输出门电路、开路输出门电路（OC 门、OD 门）、三态门电路（TS 门）。基本输出门电路可以完成基本的逻辑功能，开路输出门电路不仅可以完成基本的逻辑功能，还能实现逻辑电平之间的转换，提高负载驱动能力。三态门电路可以完成基本的逻辑功能，在输出的高、低两种电平的基础上还增加了另一个状态——高阻状态，可以用于数字系统中的总线连接。

门电路通常用高电平  $V_H$  表示逻辑值“1”，低电平  $V_L$  表示逻辑值“0”。TTL 门电路高电平的典型值为  $V_H=5V\sim3.6V$ ，低电平的典型值为  $V_L=0.4V$ 。CMOS 门电路高电平的值为  $V_H=5V$ ，低电平的值为  $V_L=0V$ 。可以看出只有相同类型的门电路，其电平才相匹配。不同类型的门电路，其电平是不相匹配的。因此当某一类的门电路的输出作为另一类型

的门电路的输入信号时，必须在它们之间增加一种电压转换电路，否则会出现错误的输出。

以下表 1-1 是 TTL 与门的输入输出电压关系；表 1-2 是 TTL 与非门的输入输出电压关系

表 1-1 与门的输入输出电压关系

输入		输出
$A$	$B$	$Y$
$V_L$	$V_L$	$V_L$
$V_L$	$V_H$	$V_L$
$V_H$	$V_L$	$V_L$
$V_H$	$V_H$	$V_H$

表 1-2 与非门的输入输出电压关系

输入		输出
$A$	$B$	$Y$
0V	0V	5V
0V	5V	5V
5V	0V	5V
5V	5V	0V

- 与非门逻辑功能

二输入端  $F = \overline{AB}$

四输入端  $F = \overline{ABCD}$

- 或非门逻辑功能

二输入端  $F = \overline{A+B}$

- 异或门逻辑功能

$$F = A \oplus B$$

## 四、 预习

1. 各实验用门电路的工作原理及相应逻辑表达式。
2. 熟悉所用集成电路的引脚位置及各引脚用途。
3. 预习：填写以下逻辑功能表

$A$	$B$	$AB$	$A+B$	$\overline{A}$

## 五、 实验内容

实验前按使用说明先检查实验箱电源是否正常。然后选择实验用的集成电路。按自己设计的实验接线图连线，特别注意  $V_{CC}$  及地线不能接错。本实验箱上的接线采用自锁紧插头、插孔。接线时首先把插头插进插孔，然后按顺时针方向轻轻一拨就锁紧了。拔出插头时，首先按逆时针方向轻轻拧一下插头，使插头和插座松开，然后将插头从插孔中拔出。不要使劲拔插头，以免损坏插头和连线。

线接好后经实验指导教师检查无误方可通电实验。实验中改动接线须先断开电源，接好线后再通电实验。

必须注意，电插、拔器件必须在关闭+5V 电源的情况下进行，不要带电插、拔器件。

### （一） 或门的逻辑功能测试

对四 2 输入或门 74LS32 进行逻辑功能测试。

参考附录中 74LS32 芯片的引脚号。将引脚 1、2 (A、B) 分别连接到任意一个小开关插孔；引脚 3 (F) 连接到任意一个发光二极管电平指示灯插孔；引脚 7 连接接地插孔；引脚 14 连接+5V 电源插孔。

拨动开关（开关拨向下方为 0，拨向上方为 1）组合 A、B 的值, 观察 F（上方的发光二极管指示 0，下方的发光二极管指示 1）的结果。

测试结果填入表 1-3。

表 1-3                      或门的逻辑功能

<i>A</i>	<i>B</i>	<i>F</i>

### （二） 与非门 74LS00 的逻辑功能测试

对四 2 输入与非门 74LS00 进行逻辑功能测试。

参考附录中 74LS00 芯片的引脚号。将引脚 1、2 (A、B) 分别连接到任意一个小开关插孔；引脚 3 (F) 连接到任意一个发光二极管电平指示灯插孔；引脚 7 连接接地插孔；引脚 14 连接+5V 电源插孔。

拨动开关（开关拨向下方为 0，拨向上方为 1）组合 A、B 的值, 观察 F（上方的发光二极管指示 0，下方的发光二极管指示 1）的结果。

测试结果填入表 1-4。

表 1-4                      与非门的逻辑功能

<i>A</i>	<i>B</i>	<i>F</i>

### (三)    或非门 74LS02 的逻辑功能测试

参照附录中 74LS02 芯片的引脚号，接线。按表 1-4 设置 A、B，验证输出。测试结果填入表 1-5。

表 1-5

<i>A</i>	<i>B</i>	<i>F</i>
0	0	
0	1	
1	0	
1	1	

### (四)    与或非门 74LS20 的逻辑功能测试

选用四输入双与或非门 74LS20 一只，参照附录中 74LS20 芯片的引脚号，插入实验板，将电平开关按表 1-6 置位，分别测输出端逻辑状态。填在表中。

表 1-6

输入				输出
<i>1</i>	<i>2</i>	<i>3</i>	<i>4</i>	<i>Y</i>
H	H	H	H	
L	H	H	H	
L	L	H	H	
L	L	L	H	
L	L	L	L	

### (五)    异或门 74LS86 的逻辑功能测试

- ① 选四 2 输入异或门电路 74LS86，参照附录中 74LS86 芯片的引脚号，按图 1-1 方式接线。输入端 1、2、4、5 接电平开关，输出端 A、B、Y 接电平显示发光二极管。

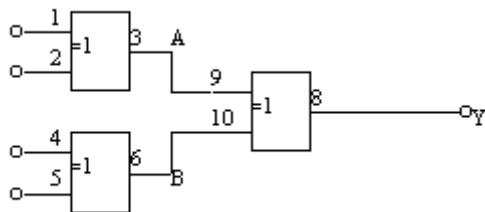


图 1-1

② 电平开关按表 1-7 设置，将结果填入表中。

表 1-7

输入		输出		
		<i>A</i>	<i>B</i>	<i>Y</i>
L L	L L			
H L	L L			
H H	L L			
H H	H L			
H H	H H			
L H	L H			

## 六、 实验报告要求

1. 整理实验数据，分析实验结果。
2. 讨论与非门的输入与输出电平的关系。
3. 组合电路的分析方法。

实验一	结果和体会	日期	评阅

## 实验二 复合逻辑电路功能的实现测试

### 一、实验目的

1. 了解和掌握复合逻辑电路的输入与输出之间的逻辑关系及使用规则。
2. 掌握用基本逻辑门电路构造复合逻辑门电路的原理和基本方式。
3. 学习使用可编程逻辑器件的开发工具 MAX+plus II。

### 二、实验仪器

1. DICE-SEM 型数字模拟综合实验箱 1 台
2. 器件
  - 74LS00 四 2 输入与非门 2 片
  - 74LS02 四 2 输入或非门 1 片
  - 74LS04 六反向器 1 片
  - 74LS20 二 4 输入与非门 1 片
  - 74LS86 四 2 输入异或门 1 片

### 三、实验原理

从理论上讲，由与、或、非三种简单逻辑门电路可以实现各种逻辑功能。最常用的复合逻辑门电路有与非门、或非门、与或非门、异或门等都是由简单逻辑门组合而成的电路。

### 四、预习

1. 各实验用门电路的工作原理及相应逻辑表达式。
2. 熟悉所用集成电路的引脚位置及各引脚用途。
3. 预习：填写以下复合逻辑功能表

$A$	$B$	$\overline{AB}$	$\overline{A+B}$	$A \oplus B$	$A \odot B$

4. 预习：实验内容（一）、（二）中用与非门等基本电路组成同或门、异或门和其他电路的逻辑表达式以及电路图。

逻辑表达式

$Y=A\odot B$

$Y=A\oplus B$

$Y=AB+C$

五、 实验内容

(一) 用与非门组成异或门并测试验证其功能

用一片二输入端四与非门组成异或门  $Y=A\oplus B$  的功能，画出电路图，测试并填表

- 2-1。
- ①. 将异或门表达式转化为与非门表达式。
  - ②. 画出逻辑电路图。
  - ③. 测试并填表 2-1

Y= A⊕B 电路图

表 2-1

输入		输出
<i>A</i>	<i>B</i>	<i>Y</i>
L	L	
L	H	
H	L	
H	H	



(二) 用与非门构成同或门并测试验证其功能

用一片二输入端四与非门 74LS00 组成同或门  $Y=A\odot B$  的功能，画出电路图，测试并填表 2-2。

- ①. 将同或门表达式转化为与非表达式。
- ②. 画出逻辑电路图。
- ③. 测试并填表 2-2。

Y= A⊙B 电路图

表 2-2

输入		输出
A	B	Y
L	L	
L	H	
H	L	
H	H	

(三) 用或非门实现逻辑函数的功能并进行测试验证

用一片四 2 输入端或非门 74LS02 及一片六反向器 74LS04 实现逻辑函数  $F(A,B,C,D)=CD+\overline{A}\overline{C}\overline{D}+ABD+\overline{A}\overline{C}\overline{D}$  的功能，画出电路图，测试并填表 2-3。

- ① 将函数表达式转化为或非表达式。
- ② 画出逻辑电路图。
- ③ 测试并填表 2-2。

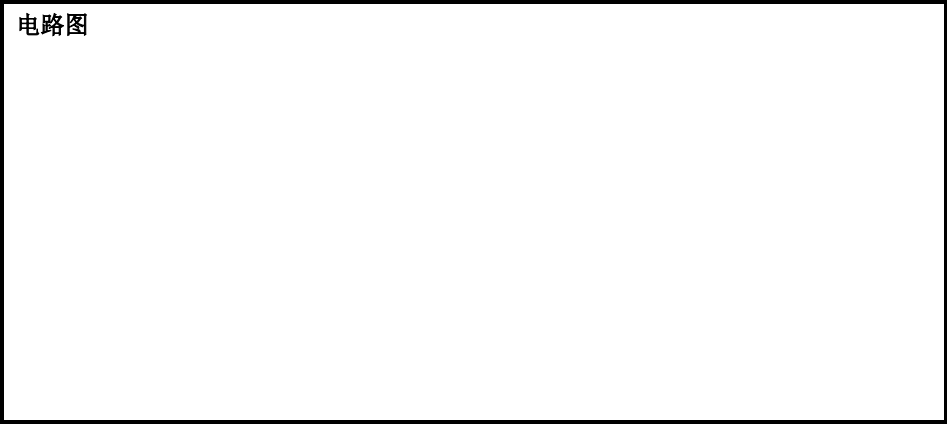


表 2-3

输入				输出
<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>F</i>

六、 实验报告要求

- 1. 整理实验数据，分析实验结果。
- 2. 用门电路实现逻辑函数的方法。

实验二	结果和体会	日期	评阅

## 实验三 组合逻辑电路

### 一、 实验目的

1. 掌握用基本电路实现逻辑函数的原理；
2. 熟悉组合电路的分析方法，测试组合逻辑电路的功能；
3. 掌握 TTL 非门、与非门、或非门构成逻辑电路的基本方式；

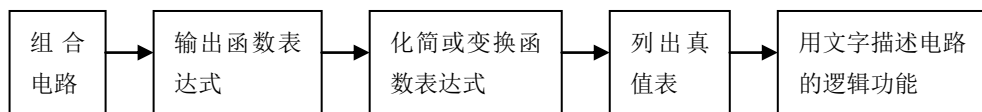
### 二、 实验仪器

1. DICE-SEM 型数字模拟综合实验箱 1 台
2. PC 机 1 台  
(Windows 2000 以上操作系统、安装 MAX+plus II 10.0 软件，并行口下载电缆等。)
3. 器件
  - 74LS00 四 2 输入与非门 2 片
  - 74LS02 四 2 输入或非门 1 片
  - 74LS04 六反向器 1 片
  - 74LS20 二 4 输入与非门 1 片
  - 74LS86 四 2 输入异或门 1 片

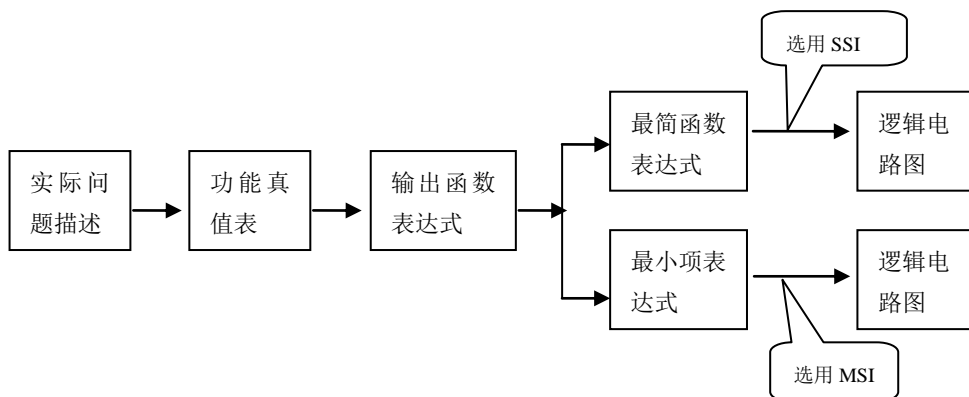
### 三、 实验原理

组合电路的功能特点是任何时刻，电路的输出仅取决于该时刻的输入，而与电路的过去状态无关。电路结构上的特点是电路仅由门电路构成，且电路的输出至输入没有反馈，不具有记忆功能。

分析组合电路的目的是确定已知电路的逻辑功能。分析过程包括根据给出的组合电路图，从输入端开始逐级推导出逻辑函数表达式；根据化简后的函数表达式列出真值表；根据真值表概括出其逻辑功能。



组合逻辑电路的设计是按实际问题的描述抽象出其逻辑功能，最终给出实现逻辑功能的最简单的逻辑电路图。设计方式包括用小规模集成电路（SSI）、中规模集成电路（MSI）和专用集成电路(ASIC)来实现。设计过程包括将实际的文字描述转换为真值表描述；由真值表列出输出函数表达式；化简或作出相应变换；根据表达画出逻辑图。



## 四、 预习

1. 分析图 3-1 所示电路，写出它的逻辑表达式。
2. 分析图 3-2 所示电路，写出它的逻辑表达式。
3. 写出实验内容（三）的最小项表达式。
4. 用可编程逻辑器件开发环境 MAX+plus II 开发组合电路的步骤和基本方法。

## 五、 实验内容

### （一） 逻辑电路的逻辑关系分析

- ① 写出图 3-1 所示电路的逻辑表达式。
- ② 用两片四 2 输入与非门 74LS00 按图 3-1 接线；
- ③ 测试，将输入输出逻辑关系填入表 3-1 中；
- ④ 看与你预习时所写的表达式是否相同，若不同找出原因。

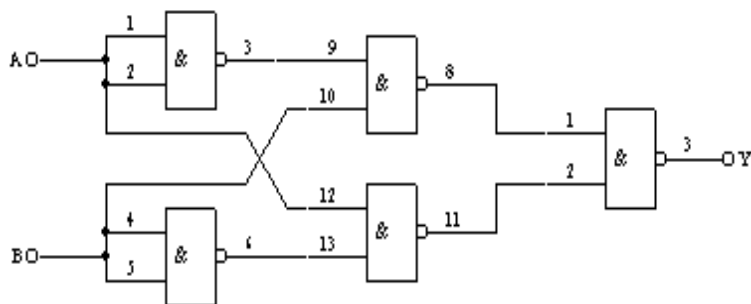


图 3-1

逻辑表达式

表 3-1

输入		输出
<i>A</i>	<i>B</i>	<i>Y</i>
L	L	
L	H	
H	L	
H	H	

(二) 分析 74LS00 构成的组合电路，看它具备什么功能

- ① 选用二输入双与非门 74LS00 两片，参照附录中 74LS00 芯片的引脚号，插入实验板，按图 3-2 接线。
- ② 将输入输出逻辑关系分别填入表 3-2 中；
- ③ 写出逻辑表达式。看与你预习时所写的表达式是否相同，若不同找出原因。

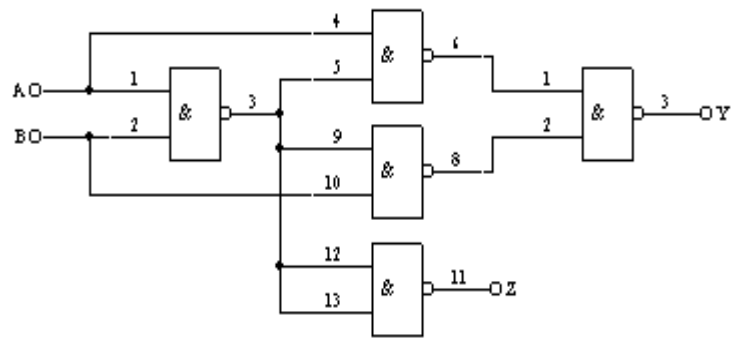


图 3-2

表 3-2

输入		输出	
<i>A</i>	<i>B</i>	<i>Y</i>	<i>Z</i>
L	L		
L	H		
H	L		
H	H		
逻辑表达式			
<i>Y</i> =			
<i>Z</i> =			

(三) 利用现有器件，实现具有以下逻辑函数功能的电路并测试验证。

$$F(A, B, C) = AB + C$$

① 将表达式转化为用与非门等组成的最小项表达式形式。

最小项表达式

② 画出逻辑电路图

③ 测试并填表 3-3

Y=AB+C 电路图

表 3-3

输入			输出
<i>A</i>	<i>B</i>	<i>C</i>	<i>Y</i>

(四) 用可编程逻辑电路开发环境 MAX+plus II 对 ACEX 器件编程，实现以下电路的逻辑函数功能并测试验证。

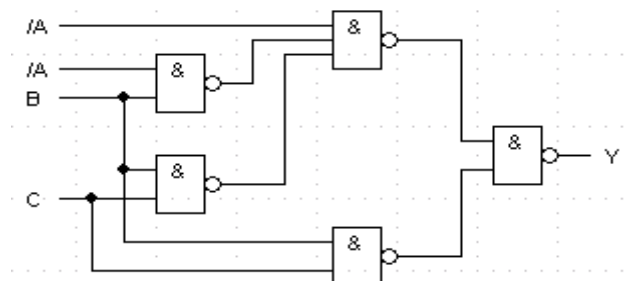
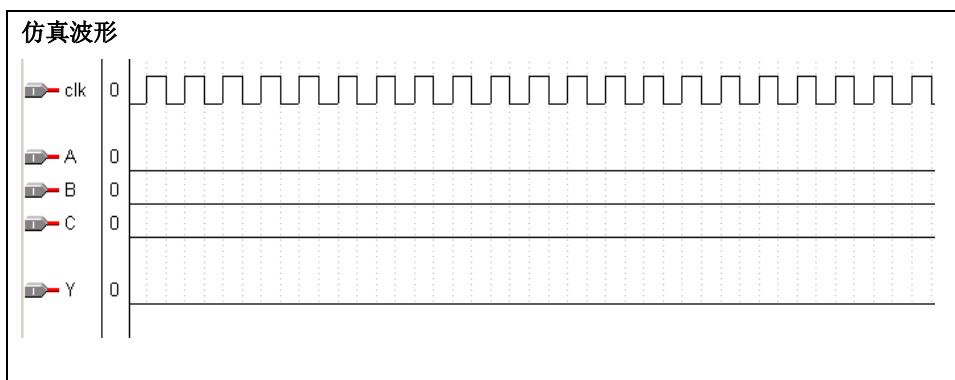


图 3-3

- ① 在 MAX+plus II 中，对 ACEX 可编程逻辑器件编程。选择 nand2 (2 输入与非门) 符号、nand3 (3 输入与非门) 符号以及 not (非门) 符号，建立图 3-3 原理图(.gdf)。其中 A、B、C 用 input (输入端) 符号，Y 用 output (输出端) 符号。
- ② 建立波形文件(.scf)。对 A、B、C 用不同的时钟频率 (如 1 倍、2 倍、4 倍)，组合成不同的输入。
- ③ 执行仿真后，观察产生的 Y 的结果波形。在下面图中记录波形。



- ④ 建立平面布线图，设计布线。
- ⑤ 连接电路。注意：平面布线图与实验箱的引脚号码的对应关系见附录??。
- ⑥ 打开电源。
- ⑦ 生成下载文件，下载到 ACEX 器件。
- ⑧ 测试结果并记录到表 3-4 中。

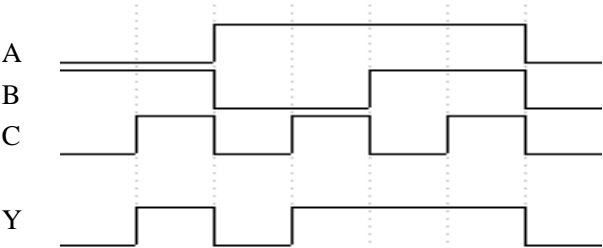


表 3-4

输入			输出
<i>A</i>	<i>B</i>	<i>C</i>	<i>Y</i>

（五） 思考题

已知某组合逻辑具有的输入端 A、B、C 和输出信号 Y 的波形图如下所示。试用最少的与非门设计此组合逻辑电路，并接线验证。



思考题实现方法

<p>结果和体会</p>
--------------

六、 实验报告要求

- 1. 整理实验数据，分析实验结果。
- 2. 组合电路的分析方法。
- 3. 讨论实现思考题所要求的逻辑电路的方法，给出验证结果。

实验三	结果和体会	日期	评阅

## 实验四 半加器、全加器及逻辑运算实验

### 一、 实验目的

1. 掌握组合逻辑电路的功能测试。
2. 学会二进制数的运算规律。
3. 掌握构造半加器和全加器的逻辑功能。
4. 学习使用可编程逻辑器件的开发工具 MAX+plus II 设计电路。

### 二、 实验仪器

1. DICE-SEM 型数字模拟综合实验箱 1 台
2. PC 机 1 台  
(Windows 2000 以上操作系统、安装 MAX+plus II 10.0 软件，并行口下载电缆等。)
3. 器件
  - 74LS00 四 2 输入与非门 2 片
  - 74LS04 六反向器 1 片
  - 74LS86 四 2 输入异或门 1 片

### 三、 实验原理

半加器是对两个一位二进制数进行相加，产生“和”与“进位”。根据半加器的逻辑表达式可知，半加器的“和” $Y$  是  $A$ 、 $B$  的异或，而“进位” $Z$  是  $A$ 、 $B$  相与。故半加器可用一个集成异或门和二与门组成。

全加器将两个一位二进制数及来自低位的进位  $C_{i-1}$  进行相加，产生“和”与“进位  $C_i$ ”。构成全加器的方法有多种：可用异或门和与门等门电路组成（见教材）、可用若干与门组成也可用半加器和或门组成。

加法器是数字系统中的基本逻辑器件。例如：为了节省资源，减法器 and 硬件乘法器都可由加法器来构成。但宽位加法器的设计是很耗费资源的，因此在实际的设计和相关系统的开发中需要注意资源的利用率和进位速度等两方面的问题。多位加法器的构成有两种方式：并行进位和串行进位方式。并行进位加法器设有并行进位产生逻辑，运算速度快；串行进位方式是将全加器级联构成多位加法器。通常，并行加法器比串行级联加法器占用更多的资源，并且随着位数的增加，相同位数的并行加法器比串行加法器的资源占用差距也会越来越大。

### 四、 预习要求

1. 预习用与非门和异或门构成的半加器、全加器的工作原理（可参照教材）。
2. 预习多位加法器的构成和实现方法。
3. 准备实验内容（三）和（四）的逻辑表达式和参数。
4. 用可编程逻辑器件开发环境 MAX+plus II 开发组合电路的步骤和基本方法。

## 五、 实验内容

### (一) 组合逻辑电路功能测试

- ①. 用 2 片 74LS00 组成图 4-1 所示逻辑电路。为便于接线和检查，在图中注明了芯片编号及各引脚对应的编号。其中 G1、G2、G3、G4 用 1 片 74LS00，G5、G6、G7 用 1 片 74LS00。

**注：**也可以用可编程逻辑电路开发环境 MAX+plus II 对 ACEX 器件编程，实现以下电路的逻辑函数功能并测试验证。

- ②. 图中 A、B、C 接电平开关，Y1、Y2 接发光二极管电平显示。
- ③. 按表 4-1 要求，改变 A、B、C 的状态填表，并写出 Y1、Y2 逻辑表达式。
- ④. 将运算结果与实验比较。

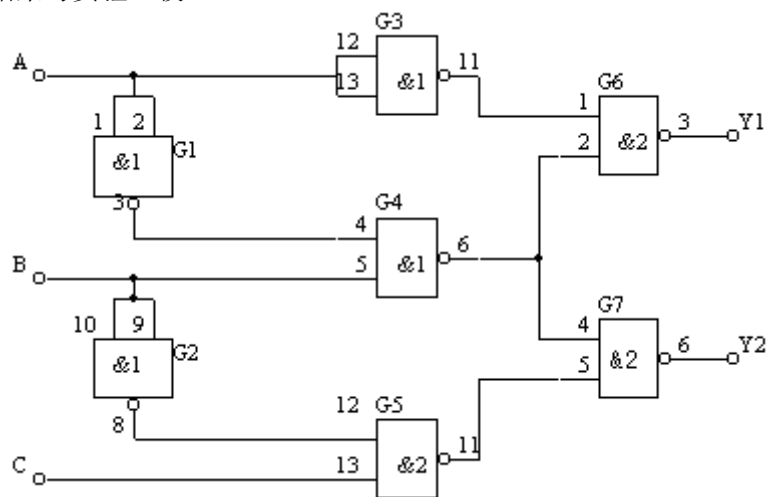


图 4-1

表 4-1

输入			输出	
A	B	C	Y1	Y2
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

逻辑表达式
Y1
Y2

（二） 测试用异或门和与非门 (74LS00)组成的半加器的逻辑功能。

根据半加器的逻辑表达式可知，半加器 Y 是 A、B 的异或，而进位 Z 是 A、B 相与，故半加器可用一个集成异或门和二个与非门组成，如。

- ①. 在实验箱上用异或门 (74LS86) 和与非门 (74LS00) 接成图 4-2 的电 路。A、B 接电平开关 K； Y、Z 接电平显示发光二极管。
- ②. 按表 4-2 要求改变 A、B 状态,填表。

表 4-2

输入端	<i>A</i>	0	1	0	1
	<i>B</i>	0	0	1	1
输出端	<i>Y</i>				
	<i>Z</i>				

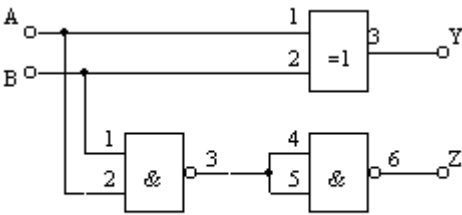


图 4-2

（三） 测试全加器的逻辑功能。

- ①. 在下面表中写出图 4-3 电路的逻辑表达式。

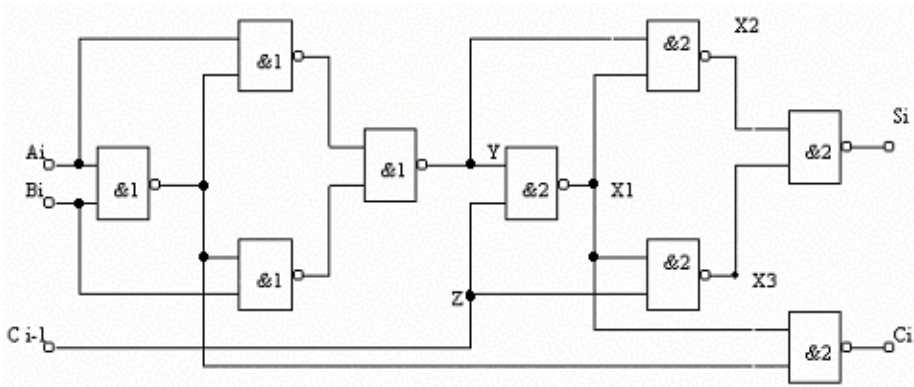


图 4-3

$Y =$
$Z =$
$X1 =$
$X2 =$
$X3 =$
$Si =$
$Ci =$

- ②.根据逻辑表达式的描述，若有 A、B 、Ci-1 的状态按表 4-3 设置，请填写表 4-3 各点的真值表

表 4-3

Ai	Bi	Ci-1	Y	Z	X1	X2	X3	Si	Ci
0	0	0							
0	1	0							
1	0	0							
1	1	0							
0	0	1							
0	1	1							
1	0	1							
1	1	1							

- ③.根据真值表画逻辑函数 Si、Ci 的卡诺图。

卡诺图

		Bi、 Ci-1			
		00	01	11	10
Ai	0				
	1				

		Bi、 Ci-1			
		00	01	11	10
Ai	0				
	1				

- ④.用可编程逻辑电路开发环境 MAX+plus II 对 ACEX 器件编程，实现以上电路的逻辑函数功能并测试验证，将测试结果记入表 4-4, 与上表进行比较看逻辑功能是否一致。

表 4-4

Ai	Bi	Ci-1	Ci	Si
0	0	0		
0	1	0		
1	0	0		
1	1	0		
0	0	1		
0	1	1		
1	0	1		
1	1	1		

(四) 测试用异或、与非门组成的全加器的逻辑功能。

全加器可以用两个半加器和两个与门、一个或门组成。在实验中，常用 74LS00

(四 2 输入与非门)、74LS86 (四 2 输入异或门) 来构造。

- ① 画出用异或门、与非门实现一位全加器的逻辑电路图，写出逻辑表达式。

一位全加器的逻辑电路图和逻辑表达式

- ② 按自己画出的图接线。A、B、Ci-1 接电平开关 K；Si、Ci 接电平显示发光二极管 L。

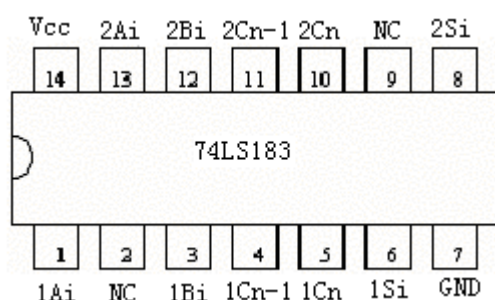
- ③ 当输入端 Ai、Bi 及 Ci-1 为下列情况时，用万用表测量 Si 和 Ci 的电位并将其转为逻辑状态填入表 4-5。

表 4-5

输入	Ai	0	0	0	0	1	1	1	1
	Bi	0	0	1	1	0	0	1	1
	Ci-1	0	1	0	1	0	1	0	1
输出 (电平/逻辑值)	Si								
	Ci								

**(五) 用可编程逻辑器件的开发工具 MAX+plus II 进行集成全加器 74LS183 的功能测试**

- ① 用可编程逻辑器件的开发工具 MAX+plus II 设计测试全加器 74LS183 功能的接线原理图。学会在 MAX+plus II 的 Help 中查询 74LS183 引脚功能。
- ② 根据 74LS183 的引脚功能接线原理图建立波形图，画出仿真波形。
- ③ 建立平面布局图。
- ④ 按照设计好的平面引脚布局接线图，将输入端接逻辑电平开关，输出端接电平显示发光二极管。
- ⑤ 编程下载到可编程逻辑器件 ACEX。
- ⑥ 改变输入端状态，观察输出状态。



74LS183 引脚

**(六) 思考题：用可编程逻辑器件的开发工具 MAX+plus II 对 ACEX 编程，设计实现四位的二进制并行加法器。**

- ① 用开发工具 MAX+plus II 设计原理图，用 74LS183 逻辑功能实现四位二进制并行加法器。
- ② 根据原理图建立波形图，画出仿真波形。
- ③ 建立平面布局图。
- ④ 按照设计好的平面引脚布局接线图，将输入端接逻辑电平开关，输出端接电平显示发光二极管。
- ⑤ 编程下载到可编程逻辑器件 ACEX。
- ⑥ 改变输入端状态，观察输出状态。
- ⑦ 举例验证四位二进制并行加法器运算功能。记录结果。

输入加数 1	输入加数 2	输入进位	输出结果	输出进位

**(七) 思考题：用可编程逻辑器件的开发工具 MAX+plus II 对 ACEX 器件编程，设计用 74LS183 符号实现四位二进制减法器。**

- ① 用开发工具 MAX+plus II 对 ACEX 器件编程，设计四位二进制并行减法器原理图。



- ② 根据原理图建立波形图，画出仿真波形。
- ③ 建立平面布局图。
- ④ 按照设计好的平面引脚布局接线图，将输入端接逻辑电平开关，输出端接电平显示发光二极管。
- ⑤ 打开电源。
- ⑥ 编程下载到可编程逻辑器件 ACEX。
- ⑦ 改变输入端状态，观察输出状态。
- ⑧ 举例验证四位二进制并行减法器运算功能。记录。

输入被减	输入减数	输入借位	输出结果	输出借位

## 六、 实验报告

1. 整理实验数据、图表并对实验结果进行分析讨论。
2. 总结组合逻辑电路的分析方法。

实验四	结果和体会	日期	评阅

## 实验五 编码器、译码器、数据选择器和数值比较器

### 一、 实验目的

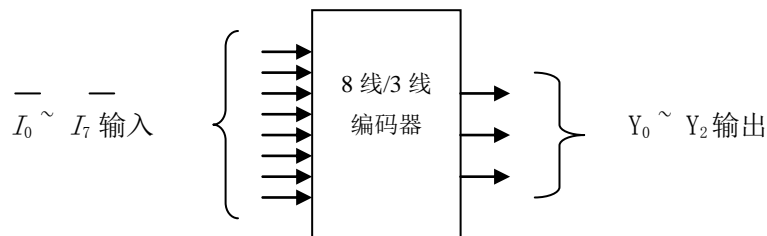
1. 熟悉编码器、译码器、数据选择器和数值比较器及它们的构成方法。
2. 掌握用逻辑门实现不同的组合逻辑电路的基本原理。
3. 了解集成译码器应用。
4. 熟练掌握可编程逻辑器件的开发工具 MAX+plus II 设计电路的方法。

### 二、 实验仪器及材料

1. DICE-SEM 型数字模拟综合实验箱 1 台
2. PC 机 1 台  
(Windows 2000 以上操作系统、安装 MAX+plus II 10.0 软件，并行口下载电缆等。)
3. 器件
  - 74LS139 2—4 线译码器 1 片
  - 74LS153 双 4 选 1 数据选择器 1 片
  - 74LS00 四 2 输入端与非门 2 片
  - 74LS04 六反相器 1 片
  - 74LS32 四 2 输入或门 1 片
  - 74LS08 四 2 输入与门 1 片
  - 74LS21 二 4 输入与门 2 片

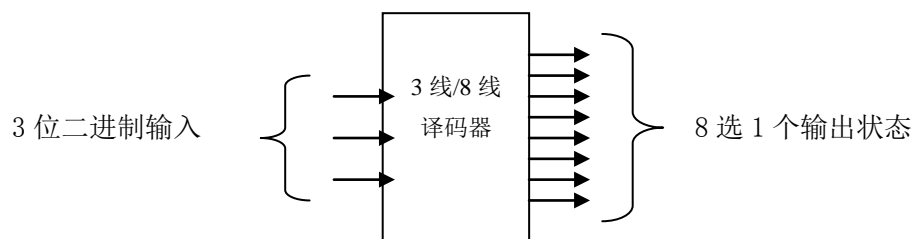
### 三、 实验原理

**编码器：**能将指定信息转换为二进制代码的电路称为编码器。如：8 线/3 线编码器。输入的八个端 ( $I_0$ 、 $I_1$ 、 $I_2 \cdots I_7$ ) 是低电平有效信号，当某一端输入为低电平时，输出端输出三位  $Y_2$ 、 $Y_1$ 、 $Y_0$  二进制代码。显然要编码的信息越多，输出的二进制位数越多。当输入端指定的信息数是  $2^n$  位时，则输出的编码为  $n$  位二进制代码。若编码器允许同时输入两个以上的信号，但电路只对其中优先级别最高的进行编码，而级别低的信号不起作用，这样的编码器称为优先编码器。

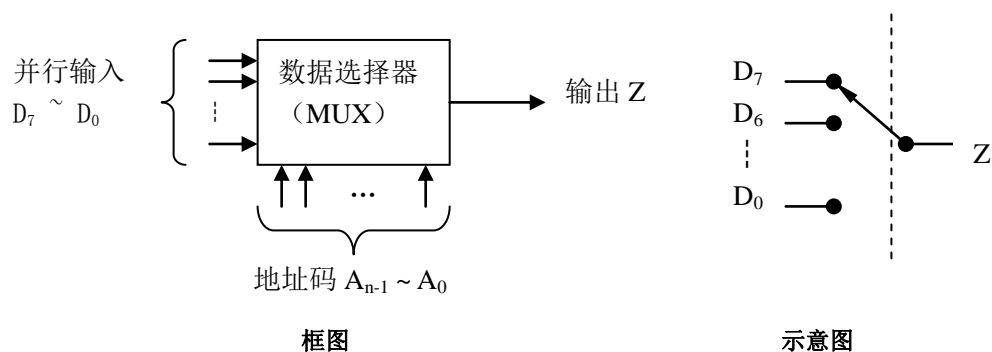


**译码器：**译码器是编码器的逆过程，是将二进制代码所代表的特定对象还原出来的组合逻辑电路。根据译码对象不同，可以分成二进制译码器（变量译码器）和二-十进制译码

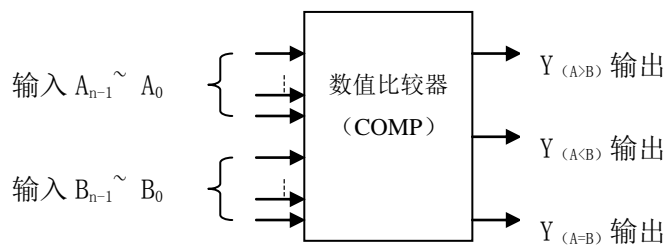
器（码制变换译码器、显示译码器等）。以下所示是二进制译码器。二-十进制译码器通常有 4 个输入端和 10 个输出端，主要功能是将输入的 BCD 码翻译成 10 个高、低电平的输出信号。



**数据选择器：**数字系统中经常需要在多个通道的信号中指定某个通道的信号送到公共数据总线上，这就要用到数据选择器。其框图和等效电路示意如下图。



**数值比较器：**对两个二进制数据进行比较判断是否相等的逻辑电路叫数值比较器。比较后的结果可能有  $A > B$ 、 $A < B$ 、 $A = B$  三种情况。



## 四、 预习

1. 实验内容（三）74LS139 转换为 3—8 线译码器电路图。
2. 实验内容（五）两位数值比器的真值表。
3. 可编程逻辑器件开发软件 MAX+plus II 建立模块的方法。进行波形仿真测试的方法。查看集成电路引脚的方法（Help/Old-Style Macrofunction/index）。

## 五、 实验内容

### (一) 4 线-2 线编码器

用可编程逻辑器件开发软件 MAX+plus II 对 ACEX 器件编程,实现图 5-1 的 4 线-2 线编码器。

- ① 在 MAX+plus II 开发环境中建立功能原理图 (.gdf) 。
- ② 根据引脚功能接线原理图建立波形图。
- ③ 仿真运行,产生波形图。观察正确与否,若有问题反复步骤①、②查错并改正。
- ④ 建立平面布局图
- ⑤ 按照设计好的平面引脚布局接线图,将输入端接逻辑电平开关,输出端接电平显示发光二极管。注意:平面布线图与实验箱的引脚号码的对应关系见附录??。
- ⑥ 打开电源
- ⑦ 编程下载到可编程逻辑器件 ACEX。
- ⑧ 改变输入端状态,观察输出状态。
- ⑨ 按表 5-1 输入电平分别置位,填输出状态表。

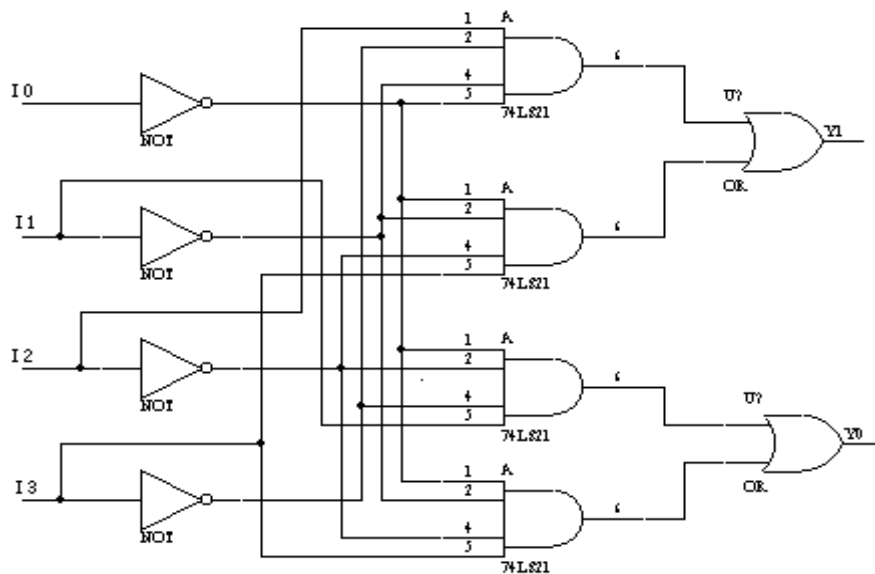


图 5-1

表 5-1

输入				输出	
<i>I0</i>	<i>I1</i>	<i>I2</i>	<i>I3</i>	<i>Y1</i>	<i>Y0</i>
1	0	0	0		
0	1	0	0		
0	0	1	0		
0	0	0	1		

## （二）2 线—4 线译码器功能测试

- 74LS139 包括两个 2 线—4 线译码器，A、B 为输入端，Y0、Y1、Y2、Y3 为输出端。每个译码器由一个使能控制端 G 控制，且低电平有效。按图 5-2 接线。
- 按表 5-2 输入电平分别置位，填输出状态表 5-2。

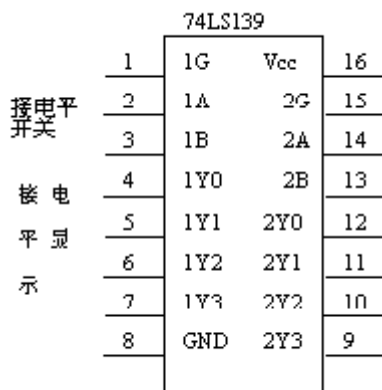


图 5-2

表 5-2

输入			输出			
使能	选择					
<i>G</i>	<i>B</i>	<i>A</i>	<i>Y0</i>	<i>Y1</i>	<i>Y2</i>	<i>Y3</i>
1	X	X				
0	0	0				
0	0	1				
0	1	0				
0	1	1				

## （三）译码器的转换

将双 2—4 线译码器 74LS139 转换为 3—8 线译码器。

- 画出转换电路图。
  - 在实验箱上接线并验证设计是否正确。
  - 设计并填写该 3—8 线译码器功能表 5-3，画出输入、输出波形。
- 注：**本实验也可用可编程逻辑器件开发软件 MAX+plus II 对 ACEX 器件编程来实现。

74LS139 转换为 3—8 线译码器电路图

表 5-3

输入			输出							

#### （四）数据选择器的测试及应用

1. 将双 4 选 1 数据选择器 74LS153 参照图 5-3 接线，测试其功能并填写功能表 5-4。

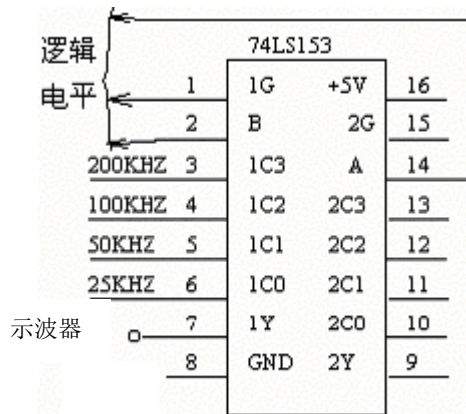


图 5-3

2. 将实验箱脉冲信号源中固定连续脉冲 4 个不同频率的信号接到数据选择器 4 个输入端，将选择端置位，使输出端可分别观察到 4 种不同频率脉冲信号（也可以用电平信号表示）。
3. 分析上述实验结果并总结数据选择器作用。

表 5-4

选择	数据输入端	输出控制	输出
<i>B A</i>	<i>C0 C1 C2 C3</i>	<i>G</i>	<i>Y</i>
X X	X X X X	1	
0 0	0 X X X	0	
0 0	1 X X X	0	
0 1	X 0 X X	0	
0 1	X 1 X X	0	
1 0	X X 0 X	0	
1 0	X X 1 X	0	
1 1	X X X 0	0	
1 1	X X X 1	0	

#### （五）两位数值比较器功能测试

1. 图 5-4 为一位数值比较器的逻辑图，将数值比较器按图 5-4 接线。
2. 按表 5-5 输入电平分别置位，填输出状态表。

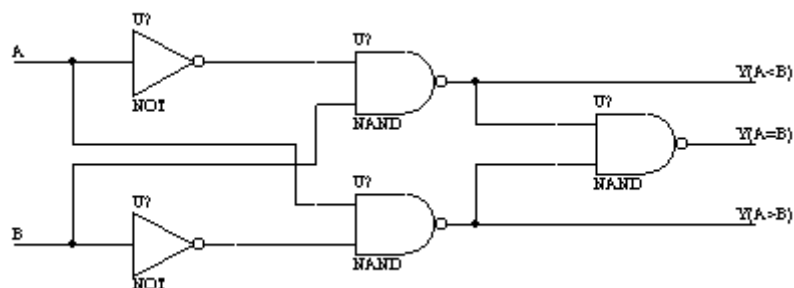


图 5-4

表 5-5

输入		输出		
$A1$	$B1$	$A0$	$B0$	
$A1 > B1$		X		
$A1 < B1$		X		
$A1 = B1$		$A0 > B0$		
$A1 = B1$		$A0 < B0$		
$A1 = B1$		$A0 = B0$		

3. 用可编程逻辑器件开发软件 MAX+plus II 开发两位数值比较器。图 5-5 为两位数值比较器的逻辑图。

**提示：**在 MAX+plus II 中先按图 5-4 的方法建立一位数值比较器的原理图图。将该原理图设置为 COPM1 模块（文件扩展名为.sym）。再用 COPM1 模块构造两位数值比较器。画出波形图。

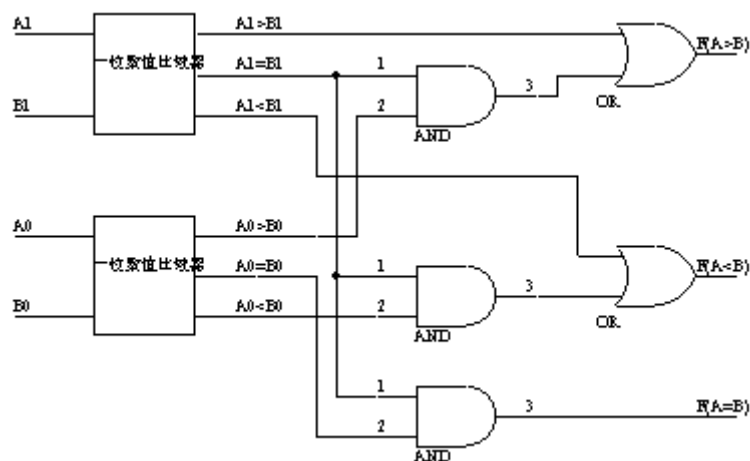


图 5-5

- ① 根据原理图建立波形图，画出仿真波形。
- ② 建立平面布局图。



- ③ 按照设计好的平面引脚布局接线图，将输入端接逻辑电平开关，输出端接电平显示发光二极管。
- ④ 打开电源。
- ⑤ 编程下载到可编程逻辑器件 ACEX。
- ⑥ 改变输入端状态，观察输出状态。
- ⑦ 举例测试并记录结果。

测试结果

- (六) 思考题：用 MAX+plus II 验证 10 线/3 线优先编码器 74LS147 的逻辑功能。
- (七) 思考题：用 MAX+plus II 实现将用 8 线/3 线优先编码器 74LS148 扩展为 16 线/4 线优先编码器的方法。
- (八) 思考题：用 MAX+plus II 实现用四位数值比较器 74LS85 构造八位数值比较器的方法。。

思考题 \_\_\_\_\_ 实现方法

## 六、 实验报告

1. 总结编码器、译码器、数据选择器及数值比较器的使用体会。
2. 74LS139 转换为 3—8 线译码器的方法，接线图。
3. 画出实验要求的两位数值比器的原理图、真值表，仿真波形图。
4. 任选一题思考题的实验过程、结果。

实验五	结果和体会	日期	评阅

## 实验六 供电控制电路、表决电路、血型检测电路

### 一、实验目的

1. 了解全加器与逻辑门的组合使用；
2. 熟悉数字电路实验箱使用方法。
3. 掌握组合逻辑电路设计的基本思想和方法

### 二、实验仪器及材料

1. DICE-SEM 型数字模拟综合实验箱 1 台
2. PC 机 1 台  
(Windows 2000 以上操作系统、安装 MAX+plus II 10.0 软件，并行口下载电缆等。)
3. 器件
  - 74LS00 四 2 输入端与非门 1 片
  - 74LS86 四 2 输入端异非门 1 片
  - 74LS08 四 2 输入与门 1 片
  - 74LS32 四 2 输入或门 1 片
  - 74LS183 双全加器 1 片 (可选)

### 三、实验原理

组合逻辑电路设计，就是根据给定的设计要求，以最简单的逻辑电路实现其逻辑功能。这里所说的“最简”包括：电路所用器件数目最少；器件种类最少；器件之间的连线最少。

在设计逻辑电路时，实现某一逻辑功能的电路可有三种形式：采用小规模集成或门电路实现；采用中规模集成模块实现；采用可编程器件实现。

采用小规模集成或门电路设计组合电路的设计步骤大致分成以下几步：

- 逻辑抽象、建立真值表。
- 有真值表写出逻辑函数表达式。
- 对逻辑函数表达式化简和变换。
- 画出逻辑图。

中规模集成电路规格品种多，很多逻辑问题可以选择相应的集成电路实现。在 MSI 中，输出与输入之间的逻辑关系已被固化在芯片中，不能也不可能修改。采用中规模集成电路设计组合电路的基本方法是对照比较。只有对常用 MSI 产品性能及输入输出间的逻辑关系非常清楚，才能合理、恰当地选用 MSI 器件实现组合逻辑电路。

可编程逻辑器件芯片上的电路和金属引线都是事先由器件生产厂家做好的，但其逻辑功能在出厂时并没有确定，可以由用户根据需要，借助于 PLD 开发工具对其“编程”来确定。PLD 器件兼有速度快、灵活性好、集成度高的优点，且大多数可以多次重复编程，为设计和开发带来了极大方便，是实现新型数字系统的理想器件。

四、预习要求

- 1. 预习组合逻辑电路的设计方法；
- 2. 供电控制电路原理；
- 3. 七人表决器原理；
- 4. 血型关系检测原理；

五、实验内容

(一) 供电控制电路

电子学院有三个附属工厂，当只有一个工厂用电时，由变电站甲供电；当有两个工厂用电时，由变电站乙供电；三个工厂都用电时，由变电站甲、乙同时供电。

设计一个供电控制电路。三个工厂用 A、B、C 表示，作为控制电路的输入端。用电时用“1”，不用电用“0”表示；变电站甲、乙用 Y1、Y2 表示，作为供电的输出端。供电时输出“1”，不供电输出“0”。

- ① 建立真值表，填在表 6-1 中。

表 6-1

输入			输出	

- ② 由真值表写出逻辑函数表达式，化简逻辑表达式。

逻辑表达式

- ③ 设计成用异或门和与非门实现的逻辑电路。

逻辑电路图

④ 接线并验证。

## (二) 七人表决电路的测试

用七个开关作为表决器的 7 个输入变量，输入变量为逻辑“1”时表示表决者“赞同”；相反，输入变量为“0”时，表示表决者“不赞同”。输出逻辑“1”时，表示表决“通过”；输出逻辑“0”时，表示表决“不通过”。当表决器的七个输入变量中有 4 个以上（含 4 个以上）为“1”时，则表决器输出为“1”；否则为“0”。

① 用可编程逻辑器件开发环境 MAX+pluss II 对 ACEX 器件编程，设计七人表决器。

② 设计原理图，用五片一位全加器组成如图 6-1 所示的逻辑电路。（可用三片集成全加器芯片 74LS183 构成）练习通过 MAX+pluss II 的 Help 查询 74LS183 引脚功能。

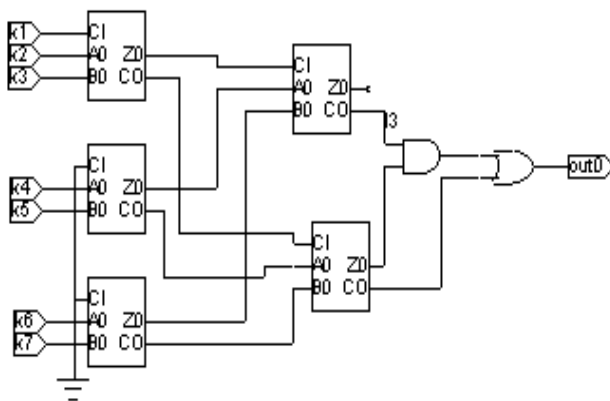


图 6-1

③ 通过波形仿真验证。

④ 接线，图中 K1、K2、K3、K4、K5、K6、K7 接电平开关，OUT0 接发光二极管显示；

⑤ 按表 6-2 要求，改变 K1~K7 的状态，测出 OUT0 状态，并填入表中；

表 6-2

输入							输出
<i>K1</i>	<i>K2</i>	<i>K3</i>	<i>K4</i>	<i>K5</i>	<i>K6</i>	<i>K7</i>	<i>OUT0</i>
0	0	0	0	0	0	0	
1	0	0	0	0	0	0	
1	1	0	0	0	0	0	
1	1	1	0	0	0	0	
1	1	1	1	0	0	0	
1	1	1	1	1	0	0	
1	1	1	1	1	1	0	
1	1	1	1	1	1	1	

⑥ 将仿真结果与实验结果相比较

结论

（三）血型关系检测电路

人类有四种基本血型：A、B、AB、O 型。输入血者与受血者的血型必须符合下列关系：

- （1），O 型血可以输给任意血型的人，但 O 型血的人只能接受 O 型血；
- （2），AB 型血只能给 AB 型血的人，但 AB 型血的人能接受所有血型的血；
- （3），A 型血能给 A 型血和 AB 型血的人，而 A 型血的人能接受 A 型血和 O 型血。
- （4），B 型血能给 B 型血和 AB 型血的人，而 B 型血的人能接受 B 型血和 O 型血。

其关系示意如图 6-2

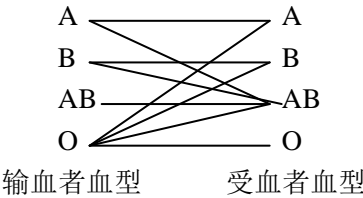


图 6-2 输血者与受血者血型关系示意图

试用与非门设计一个检验输血者血型与受血者血型是否相符的逻辑电路，如果输血

者与受血者符合，电路输出 1，否则输出 0。

提示：电路只需要四个输入端，它们组成一组四位二进制的数码，每组数码代表一对输血者与受血者的血型对。

六、实验报告

- 1. 总结上述电路的特点，有什么体会。
- 2. 画出实验内容（一）、（二）要求的波形及记录表格。
- 3. 讨论实验（三）的设计思路，给出实验过程中涉及到的表、图、波形等。

实验六	结果和体会	日期	评阅

# 实验七 RS 触发器的的功能测试

## 一、实验目的

1. 熟悉基本 RS、同步 RS 触发器的电路结构。
2. 掌握基本 RS、同步 RS 触发器的逻辑功能。

## 二、实验仪器及材料

1. DICE-SEM 型数字模拟综合实验箱 1 台
2. PC 机 1 台  
(Windows 2000 以上操作系统、安装 MAX+plus II 10.0 软件，并行口下载电缆等。)
3. 器件
  - 74LS00 四 2 输入与非门 1 片

## 三、实验原理

在数字逻辑系统中，为了实现更复杂的功能，往往需要将输出结果存储下来，作为下一步逻辑运算的需要。实现这一功能的基本器件就是触发器。它在输出与输入之间具有反馈延迟通路，产生的新输出的逻辑值不仅取决于该时刻的输入，还取决于电路以前的状态。触发器是构成数字逻辑系统时序电路的基本逻辑单元。具有以下特征：

第一、具有两个能自行保持的稳定状态，这两个稳定状态可以用二进制数 0 或 1 来表示。在没有外来触发信号时，将维持一个稳定状态永久不变。

第二、根据不同需要，触发器可以预置成 0，也可以预置成 1。

触发器是具有记忆功能的二进制存储器件，是时序电路的基本器件。

### 1. 触发器的触发方式及使用中注意的问题

触发器有两个稳定的状态，可用来表示数字 0 和 1。按结构的不同可分为，没有时钟控制的基本触发器和有时钟控制的门控触发器。

在数字系统中，为了协调一致地工作，常常要求触发器有一个控制端，在此控制信号的作用下，各触发器的输出状态有序地变化。具有该控制信号的触发器称为门控触发器。门控触发器按触发方式可分为电位触发、主从触发和边沿触发三类；按逻辑功能可分为 RS 触发器、D 触发器、JK 触发器、T 触发器等四种类型。触发器的重点是它的逻辑功能和触发方式。

所谓触发器的触发方式是指触发器在控制脉冲的什么阶段（上升沿、下降沿和高或低电平期间）接收输入信号改变状态。

门控触发器是在门控脉冲的高电平期间接收输入信号改变状态，故为电平触发方式。门控触发器存在的问题是“空翻”，所谓空翻就是在一个控制信号期间触发器发生多于一次的翻转，比如，门控 T 触发器在控制信号为高电平期间不停的翻转。这种触发器是不能构成计数器的。

主从触发器是在门控脉冲的一个电平期间主触发器接收信号；另一个电平期间从触发



器改变状态，故为主从触发方式。这种触发器存在的问题是主触发器接收信号期间，如果输入信号发生改变，将使触发器状态的确定复杂化，故在使用主从触发器时，尽可能别让输入信号发生改变。

边沿触发器是在门控脉冲的上升沿或下降沿接收输入信号改变状态，故为边沿触发方式。这种触发器的触发沿到来之前，输入信号要稳定地建立起来，触发沿到来之后仍需保持一定时间，也就是要注意这种触发器的建立时间和保持时间。

另外，要注意同一功能的触发器触发方式不同，即使输入相同输出也不相同。

## 2. 基本 RS 触发器

基本 RS 触发器是最基本的触发器，它由两个与非门交叉耦合而成。如图 7-1 所示：

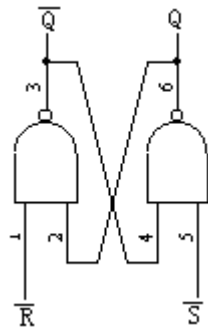


图 7-1

- 基本 RS 触发器的逻辑符号。如图 7-2 所示：
- 表 7-1 为 RS 基本触发器真值表。

表 7-1

R	S	Q <sub>n</sub>	逻辑功能
0	1	0	置 0
1	0	1	置 1
1	1	Q <sub>n</sub>	保持
0	0	不定	不允许

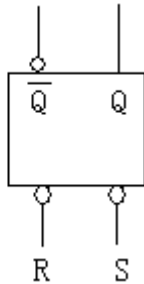


图 7-2

- 基本 RS 触发器的特性方程。

$$Q_{n+1} = S + \overline{R}Q_n$$

$$\overline{R} + \overline{S} = 1 \quad (\text{结束条件})$$

## 3. 同步 RS 触发器

同步 RS 触发器，在外加的 R、S 信号加到 R 端及 S 端后，并不引起触发器的翻转，只有在时钟脉冲配合下，才能使触发器由原状态翻转到新的状态。这样使状态的转换在时钟信号 CP 的控制下，有条不紊地顺序进行。

- 同步 RS 触发器逻辑符号，如图 7-3 所示：

表 7-2

R	S	$Q_{n+1}$	逻辑功能
0	1	0	置 0
1	0	1	置 1
1	1	$Q_n$	保持
0	0	不定	不允许

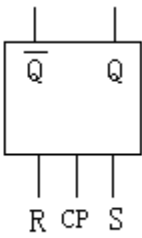


图 7-3

- 表 7-2 为同步 RS 触发器真值表
- 同步 RS 触发器特性方程

$$Q_{n+1} = S + \bar{R}Q_n$$

$$SR = 0 \quad (\text{约束条件})$$

## 四、实验内容

### (一) 基本 RS 触发器

- ① 根据逻辑图搭接线路，选用 74LS00 的两个与非门，按图 7-4 连接成 RS 基本触发器。

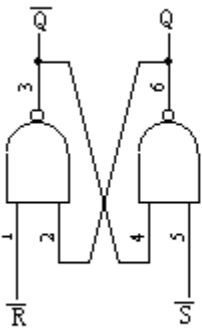


图 7-4

表 7-3

R	S	$Q_n$	$Q_{n+1}$	逻辑功能
1	1	1		
1	1	0		
1	0	1		
1	0	0		
0	1	1		
0	1	0		
0	0	1		
0	0	0		

- ② 逻辑功能测试

根据表 7-3 改变输入电平，填表验证其逻辑功能。

### (二) 同步 RS 触发器（时钟控制 RS 触发器）

- ① 根据逻辑图接线，选用 74LS00 的四个与非门按图 7-5 接成同步 RS 触发器。R、S、CP 均为输入小开关电平信号；Q 和  $\bar{Q}$  接输出信号发光二极管。

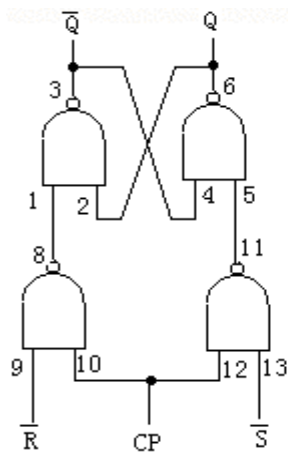


图 7-5

表 7-4

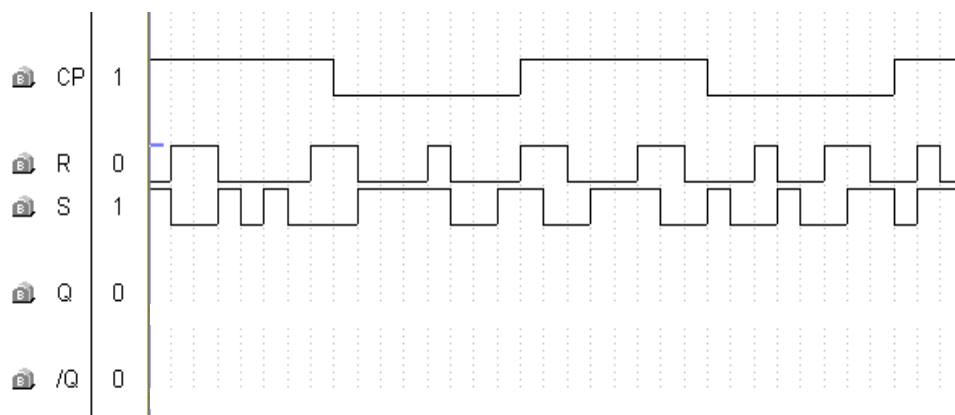
R	S	Q <sub>n</sub>	Q <sub>n+1</sub>	逻辑功能
1	1	1		
1	1	0		
1	0	1		
1	0	0		
0	1	1		
0	1	0		
0	0	1		
0	0	0		

② 逻辑功能测试

按表 7-4 改变输入电平，填表验证其逻辑功能。

③ 改变时钟信号，使 CP=0 和 CP=1 时触发器的状态。画出以下波形的输出 Q 和 /Q。

④ 讨论以上结果。



### (三) 用基本 RS 触发器组成四位二进制数码寄存器

在数字系统中，经常要用到可以存放数码的部件，这种部件称为数码寄存器。双稳态触发器就是一种具有记忆功能的单元电路，它能存储 1 位二进制码。如果要存放多位二进制码，可以用多个触发器完成。一个 4 位的数码寄存器逻辑图如图 7-6 所示：

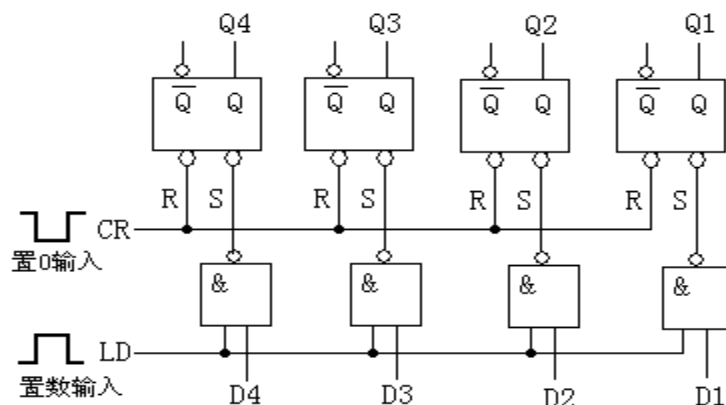


图 7-6

数码寄存器有两个控制信号：清零指令 CR 和置数指令 LD；4 个输入端 D0 ~ D3；4 个输出端 Q0 ~ Q3。清零是低电平有效，置数是高电平有效。

### 1. 清零过程

清零时，CR 加低电平，LD 加低电平。这时 4 个与非门的输出均为高电平，即各触发器的 S 端为高电平，使各触发器均为 0 态，CR 信号撤去（回到高电平）后，R、S 均为高电平，触发器转为不变状态。

### 2. 置数过程

在清零之后，LD 端加有效电平（高电平）使各与非门打开，D0~D3 以反码方式加入到对应触发器的 S 端，根据触发器的功能可知，各触发器的状态将与 D0~D3 的状态一致，在 LD 信号撤去（回到低电平）后，各触发器的 R、S 端均为 1，又回到不变状态，且 LD 将与非门封锁，这就是置数过程。注：置数必须在清零之后进行，否则有可能出错。例如，若触发器原来的状态为 1，现在要换成 0，如果事先未置 0，则由于 S 端为 1，触发器处于不变状态，触发器不能翻转到 0。

### 3. 根据上述原理验证其逻辑功能，并填入表 7-5 中：

表 7-5

D4	D3	D2	D1	Q4	Q3	Q2	Q1
0	0	0	0				
0	0	0	1				
0	0	1	0				
0	0	1	1				
0	1	0	0				
0	1	0	1				
0	1	1	0				
0	1	1	1				
1	0	0	0				

1	0	0	1				
1	0	1	0				
1	0	1	1				
1	1	0	0				
1	1	0	1				
1	1	1	0				
1	1	1	1				

### 提示:

可以在 MAX+plus II 中对可编程逻辑器件 ACEX 编程, 实现用 742LS79 (四 R-S 锁存器) 符号的功能来完成上述操作。

- ① 建立图 7-6 结构的原理图 (.gdf)。
- ② 建立波形文件 (.scf)
- ③ 设置数据端 D4 ~ D1; 通过波形设置 CR、LD 为 00、01、10、11。
- ④ 执行仿真后, 观察产生的 Q4 ~ Q1 的结果。

### (四) 时钟控制 RS 触发器组成四位二进制数码寄存器

在 MAX+plus II 中用可编程逻辑器件 ACEX 实现时钟控制 RS 触发器组成的四位二进制数码寄存器。

- ① 先建立时钟控制 RS 触发器符号 (.sym)
- ② 再用该符号建立图 7-6 结构建立原理图 (.gdf), 增加公用的时钟信号输入端 CP。
- ③ 建立波形文件 (.scf)
- ④ 设置数据端 D4 ~ D1; 通过波形设置 CR、LD 为 00、01、10、11。
- ⑤ 执行仿真后, 观察产生的 Q4 ~ Q1 的结果。
- ⑥ 分析时钟对数据变化的影响。

## 五、实验报告

1. 分别将测试结果记录在表 7-3, 表 7-4, 表 7-5, 验证其逻辑功能。
2. 画出实验内容 (一)、(二) 的输出端波形, 说明什么?
3. 基本 RS 触发器与同步 RS 触发器为什么有不定状态, 如何避免出现不定状态?
4. 给出实验内容 (四) 的四位二进制数码寄存器的原理图、各种设置后的仿真波形图、时序分析表。
5. 讨论用时钟控制 RS 触发器组成的四位二进制数码寄存器的波形中时钟对数据变化的影响。

实验七 结果和体会	日期	评阅

## 实验八 JK、D 触发器逻辑功能及主要参数测试

### 一、实验目的

1. 学习触发器逻辑功能的测试方法。
2. 掌握集成 J-K 触发器的逻辑功能。
3. 掌握 J-K 触发器转换成 D 触发器的方法及 D 触发器的逻辑功能。

### 二、实验仪器及实验材料

1. DICE-SEM 型数字模拟综合实验箱 1 台
2. PC 机 1 台  
(Windows 2000 以上操作系统、安装 MAX+plus II 10.0 软件，并行口下载电缆等。)
3. 器件
  - 74LS04 一输入六非门 1 片
  - 74LS112 双下降沿 J-K 触发器 1 片

### 三、实验原理

#### 1. J-K 触发器

J-K 触发器的逻辑功能是：当时钟信号未到来时，无论触发器的 J、K 输入端怎样变换，触发器状态保持不变。当时钟信号到来时，若输入 J=0、K=0，触发器状态保持原来状态不变；若输入 J=0、K=1，无论触发器的现态如何，其次态总为 0；若输入 J=1、K=0，无论触发器的现态如何，其次态总为 1；若输入 J=1、K=1，触发器必将发生状态发生变化。

图 8-1 是 J-K 触发器的逻辑符号，其中 J、K 是控制输入端，S、R 分别是异步置“1”和异步置“0”端。表 8-1 为 J-K 触发器的特性表。

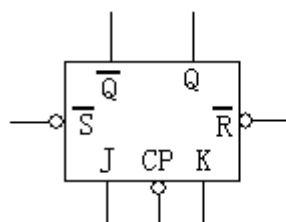


图8-1

表8-1

J	K	$Q^n$	$Q^{n+1}$	说明
0	0	0	0	保持 $Q_{n+1}=Q_n$
		1	1	
0	1	0	0	置 0
		1	0	
1	0	0	1	置 1
		1	1	
1	1	0	1	翻转 $Q_{n+1}=\overline{Q_n}$
		1	0	

图 8-2 是双下降沿 J-K 触发器（有预置、清除端）74LS112。

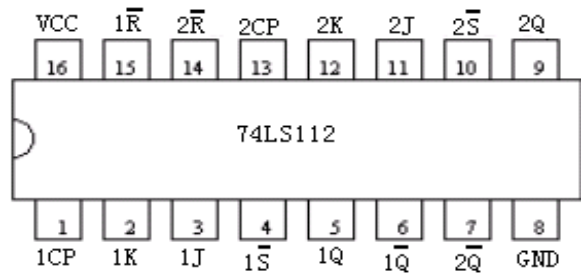


图 8-2

如图：74LS112 包含两个下降沿 J-K 触发器，在控制端 CP 的下降沿输出后发生变化。其中非同步输入端  $\overline{Sd}$  叫做预置端，和  $\overline{Rd}$  叫做清除端。能将 J-K 触发器预置为“1”或清除为“0”，而与 CP 及输入的 J-K 无关。

J-K 触发器的特性方程为：

$$Q^{n+1} = JQ^n + \overline{K}\overline{Q}^n$$

### 2. D 触发器

D 触发器的逻辑功能是：当时钟信号未到来时，无论触发器的输入端 D 是 0 还是 1，触发器状态保持不变。当时钟信号到来时，若输入 D=0，则触发器输出 Q=0，即触发器置 0；若输入 D=1，则触发器输出 Q=1，即触发器置 1。

图 8-3 为 D 触发器的逻辑符号，表 8-2 为真值表。

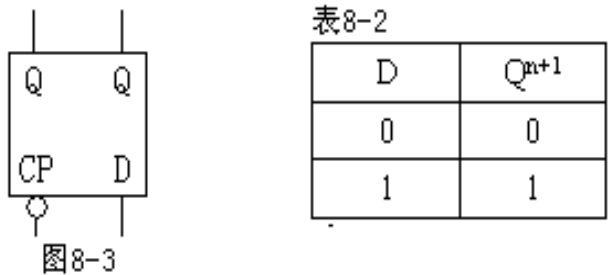


图8-3

D 触发器的特性方程为：

$$Q^{n+1} = D$$

### 3. T 触发器

T 触发器的逻辑功能是：当时钟信号未到来时，无论输入端怎样变换，触发器状态保持不变。当时钟信号到来时，若输入 T=1，触发器状态发生变化；若输入 T=0，触发器状态保持不变。

可以看出当 T 输入端为 1 时，没来一个时钟信号，输出就翻转一次，这相当于一个二进制计数器。所以 T 触发器又称为计数触发器，此时 T 端起到了一个控制端的作用，当 T 输入端为 0 时，停止计数。因此 T 触发器特别适合于构成计数器和分频器。

图 8-4 为 T 触发器的逻辑符号，表 8-3 为真值表。



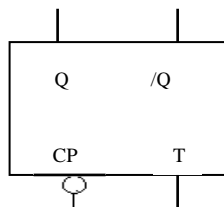


图 8-4

表 8-3

T	Q <sub>n</sub>	Q <sub>n+1</sub>	功能描述
0	0	0	保持
	1	1	
1	0	1	翻转
	1	0	

T 触发器的特性方程为：

$$Q^{n+1} = T \overline{Q}^n + T Q^n$$

## 四、预习

1. J-K 触发器、D 触发器、T 触发器的实现原理。
2. 查找 D 触发器转换为 T 触发器的接线方法。
3. 查找 J-K 触发器转换为 T 触发器的接线方法。
4. 查找 D 触发器转换为 J-K 触发器的接线方法。
5. 查找 J-K 触发器转换为 D 触发器的接线方法。

## 五、实验内容

### (一) 集成 J-K 触发器 74LS112 逻辑功能测试。

#### 1. 异步置位及复位功能的测试。

将 J、K、CP 端开路，将  $\overline{R}$ 、 $\overline{S}$  端分别接到数据开关对应的插孔，在 S、R 为表 8-3 中情况时，观察 Q 端显示的高低电平，并转换成逻辑状态，填入表 8-3 中。

表 8-3

CP	J	K	$\overline{R}$	$\overline{S}$	Q	$\overline{Q}$
X	X	X	0	1		
X	X	X	1	0		

#### 2. 逻辑功能的测试。

$\overline{S}$ 、 $\overline{R}$  端仍如上连接不变，并将  $\overline{S}$ 、 $\overline{R}$  置高电平，将 J、K 端分别接至数据开关对应的插孔，在 CP 端接至单脉冲的插孔。当先将触发器置 0 或 1，按表 8-4 的要求改变 CP、J、K 的状态，观察 Q 端的显示，并转换逻辑状态填入表 8-4 中，用万用表测试 Q 端电平加以验证。

表 8-4

CP	0	↑	↓	0	↑	↓	0	↑	↓	0	↑	↓
J	0	0	0	0	0	0	1	1	1	1	1	1
K	0	0	0	1	1	1	0	0	0	1	1	1
Q	1											
	0											

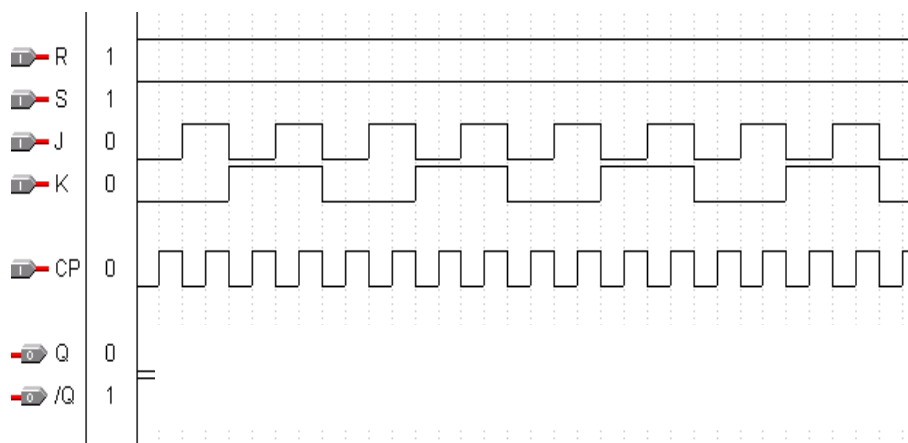
注意：↑ = CP 上升沿

↓ = CP 下降沿

将 J-K 触发器接成计数状态，即 J=1，K=1，然后将 CP 端接至开关插孔，拨动开关产生跳变。用示波器观察 Q 及波形，并画出其对应于 CP 的波形，注意它们之间的相位关系。

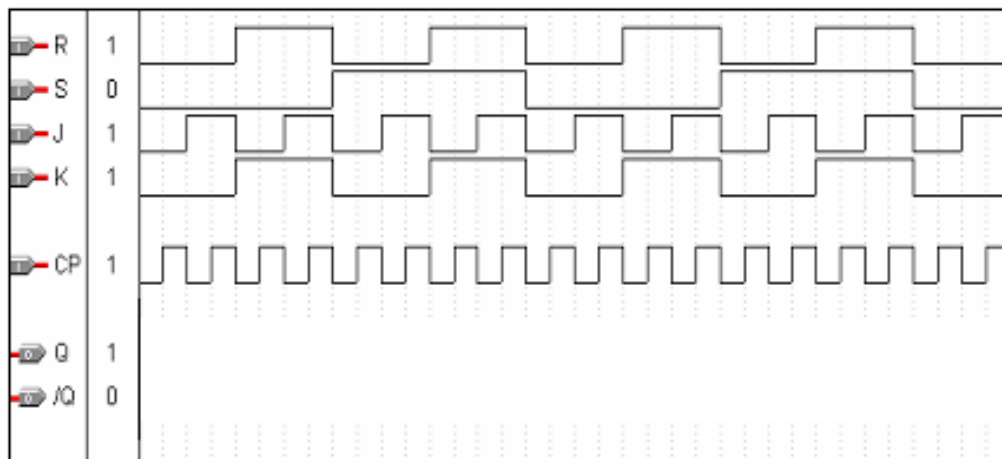
### 3. 用 MAX+plus II 测试 74LS112（JK 双下降沿触发器）的仿真波形。

- ① 用该符号建立原理图文件 (.gdf)。
- ② 建立波形文件(.scf)。
- ③ 通过波形图设置 J、K 的波形组合（如用快捷菜单中 overwrite/clock 中设置为时钟格栅的倍数）。
- ④ R、S 设为高电平。改变 J、K 分别为时钟周期的 2 倍、4 倍。仿真操作后观察 Q 和/Q 的结果波形，分析时钟对数据变化的影响。记录波形。



- ⑤ 改变 R、S 的状态组合为 00、01、10、11。执行仿真后观察产生的 Q 和/Q 的结果。在下面记录波形。
- ⑥ 分析时钟对数据变化的影响。R、S 对输出的数据变化的影响。

时钟及 R、S 对数据变化的影响



### (二) 将 J-K 触发器转换成 D 触发器

用 MAX+plus II 编程，将 J-K 触发器 74LS112 转换成 D 触发器，即  $K = \bar{J}$ ，如图 8-4。

测试上述 D 触发器的连接功能，将  $\bar{S}$ 、 $\bar{R}$  和 D 分别接到数据开关，CP 接单脉冲。按表 8-5 要示提供数据，观察 Q 及  $\bar{Q}$  的显示，并用万用表测量 Q 端及  $\bar{Q}$  的电位，将上述结果转换或连接状态填入表 8-5 中。

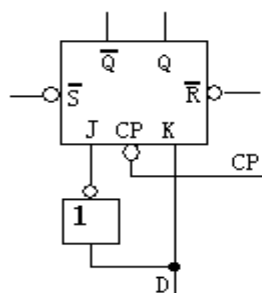


图 8-4

表 8-5

输入				输出	
S	R	CP	D	Q	$\bar{Q}$
0	1	X	X		
1	0	X	X		
1	1	↑			
1	1	↑			
1	1	↓			
1	1	↓			

### (三) 思考题：将 J-K 触发器转换成 T 触发器

通过 MAX+plus II 编程测试，将 74LS112 集成 J-K 触发器转换成 T 触发器，即设置  $K=J$ 。写出转换电路逻辑表达式，画图并实现。

- (四) 思考题：将 D 触发器转换成 J-K 触发器
- (五) 思考题：将 D 触发器转换成 T 触发器

思考题	实现方法
转换电路逻辑表达式	
转换的逻辑电路图	

五、实验报告

- 1. 列表整理实验数据。
- 2. 根据实验结果，总结触发器的连接功能和特点。
- 3. 讨论将一种触发器转换为其他类型的触发器的方法。

实验八	结果和体会	日期	评阅

## 实验九 三态输出触发器及锁存器

### 一、实验目的

1. 掌握三态触发器和锁存器的功能及使用方法。
2. 学会用三态触发器和锁存器构成功能电路。

### 二、实验仪器及材料

1. DICE-SEM 型数字模拟综合实验箱 1 台
2. PC 机 1 台  
(Windows 2000 以上操作系统、安装 MAX+plus II 10.0 软件, 并行口下载电缆等。)
3. 器件
  - 74LS75 四位 D 锁存器 1 片 (可选)

### 三、实验原理

三态输出门 (Three-State Output Gate, 简称 TS 门。) 是在普通门电路的基础上增加控制电路而构成的。在控制端的作用下, 电路的状态有三种可能的输出状态: 高阻态、输出高电平态和输出低电平态。当控制端为 “1” 电路呈正常工作的状态的, 称为高电平有效电路; 当控制端为 “0” 电路呈正常工作状态的, 称为低电平有效电路。;

在数字系统中, 三态门是常用的器件之一。在同一根导线上分时传送若干个门的输出信号, 以减少各单元电路之间的连线数目, 就要用到三态门。只要分别让各个门的控制信号轮流等于 “0” (在低电平有效的情况下), 而与此同时其余的门的控制信号为 “1” (高阻态), 就可以让相应门的输出送到公共总线上, 这种分时传送信号的连接方式叫做总线结构。

利用三态门实现数据的双向传送也是主要的应用之一。用两个三态反相器, 一个低电平有效, 一个高电平有效。三态控制端为 “1” 时, 数据经高电平有效的门传送到数据总线; 三态控制端为 “0” 时, 低电平有效的门将数据总线的的数据反相后输出。

### 四、实验内容

#### (一) 锁存器功能及应用

图 9-1 为 74LS75 四 D 锁存器, 每两个 D 锁存器由一个锁存信号 G 控制, 当 G 为高电平时, 输出端 Q 随输入端 D 信号的状态变化, 当 G 由高变为低时, Q 锁存在 G 端由高变低前 Q 的电平上。

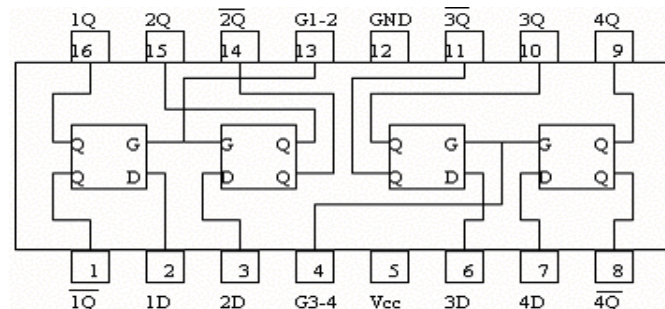


图 9-1

① 用 74LS75 组成数据锁存器

按图 9-2 接线，D0~D3 接逻辑开关作为数据输入端，G1、2 和 G3、4 接到一起作为锁存选通信号 ST，Q0~Q3 分别接到 7 段译码器的输入端，数据输出由数码管显示。

设：逻辑电平 H 为“1”，L 为“0”

ST=1，输入 0001，0011，0111，观察数码管显示。

ST=0，输入不同数据，观察输出变化

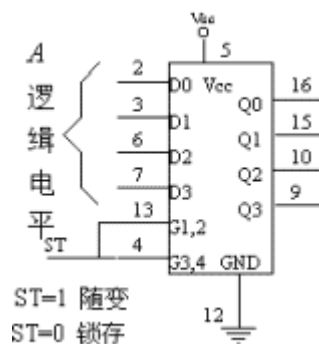
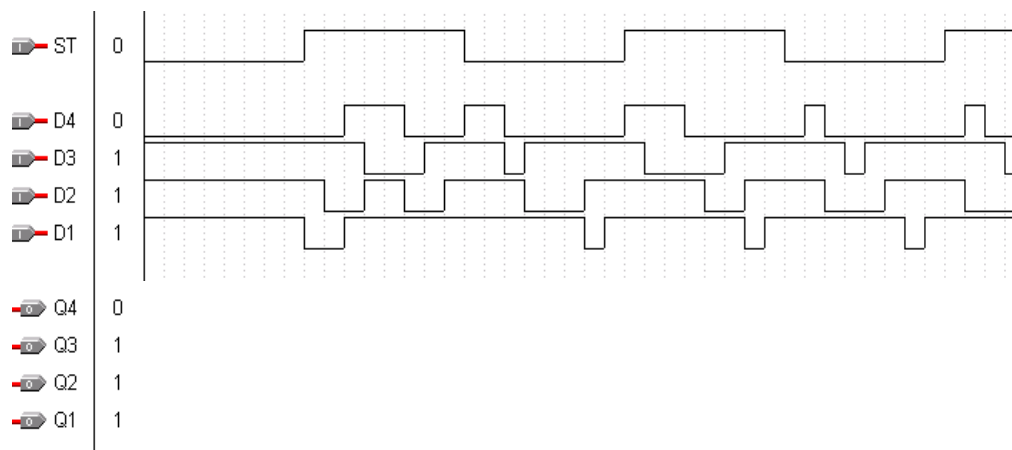


图 9-2

② 验证图 9-1 锁存器功能，并列出功能状态表。

ST	D1	D2	D3	D4	Q1	Q2	Q3	Q4
0	0	1	1	1				
0	0	1	0	1				
1	0	0	10	1				
1	0	1	1	0				
1	0	1	1	0				
1	1	0	0	1				
0	0	1	1	0				
0	1	0	0	1				
0	0	1	1	1				

- ③ 讨论：若按以下波形设置 D4 ~ D1 时，Q4 ~ Q1 应该呈现什么样的波形？画图，用你想得到的方法验证。



## 五、实验报告

1. 总结三态输出触发器的特点。
2. 整理并画出 74LS75 的逻辑功能表。

实验九	结果和体会	日期	评阅

## 实验十 异步二进制计数器实验

### 一、实验目的

1. 掌握异步二进制计数器的工作原理。
2. 测试集成电路 74LS74 的逻辑功能。

### 二、实验仪器及材料

1. DICE-SEM 型数字模拟综合实验箱 1 台
2. PC 机 1 台  
(Windows 2000 以上操作系统、安装 MAX+plus II 10.0 软件，并行口下载电缆等。)
3. 器件  
▪ 74LS74 D 型正边沿两触发器 2 片

### 三、实验原理

计数器是数字电路中应用最广的时序电路之一，常在脉冲计数、脉冲分频、延时定时、序列脉冲等电路中使用。较简单的计数器可以用基本触发器组成，功能完善的计数器则可用集成中规模器件来构成。

按照时钟信号的作用方式的不同，计数器可以分为同步计数器和异步计数器。同步计数器属于同步时序电路，异步计数器属于异步时序电路。根据计数值的增减不同，可以分为加计数器（数值递增）和减计数器（数值递减）以及可逆计数器（数值可递增可递减）。根据计数的数制不同，可以分为二进制、十进制或其它进制计数器。有的计数器还具有可预置数功能、双时钟计数功能、七段译码计数功能等。

异步时序逻辑电路没有统一的时钟，各级触发器的状态变化直接由输入信号决定。电路结构简单，但速度较慢。随着位数的增加，计数器从接受脉冲到稳定的状态的建立，延时也大大增加。

#### 1. 异步二进制加计数器

用 D 触发器构成的异步二进制加计数器是将计数脉冲加到第一级触发器的 CP 端，第一级触发器的输出 Q1 接到第二级触发器的 CP 端；Q2 接第三级触发器的 CP 端……。图 10-1 中各触发器的反输出端与该触发器的 D 输入相连，（即  $D_i = \overline{Q_i^n}$ ）把 D 触发器转换成计数型 T 触发器。同时，各反相输出端又与相邻触发器的时钟脉冲输入端相连。

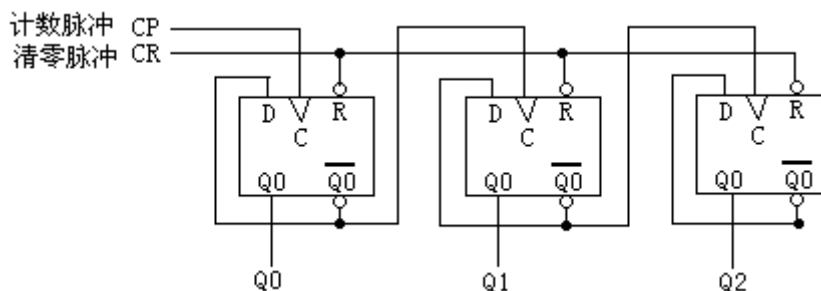


图 10-1 3 位二进制异步加计数器



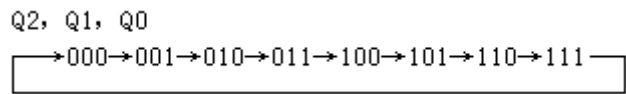
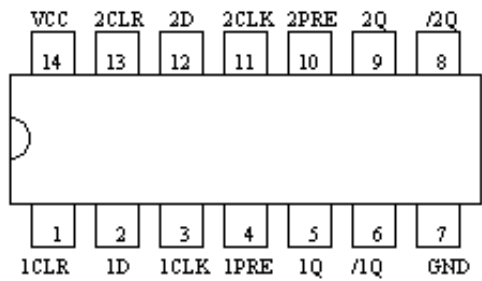


图 10-2 3 位二进制异步加计数器状态图

由状态图可以清楚地看到，从初态 **000**（由清零脉冲所置）开始，每输入一个计数脉冲，计数器的状态按二进制数递增（加 1），输入第 8 个计数脉冲后，计数器又回到 **000** 状态。因此它是  $2^3$  进制加计数器，也称模八（M=8）加计数器。

## 2. D 型正边沿触发器 74LS74 器件介绍



如图：74LS74 包含两个 D 型正边沿触发器，在控制端 CP（图中为 CLK）的上升沿产生后发生变化。其中非同步输入端  $\overline{Sd}$ （图中为 PRE）叫做预置端，能将 D 触发器预置为“1”；  $\overline{Rd}$ （图中为 CLR）叫做清除端，将 D 触发器清除为“0”。这两输入端的输入与 CP 及输入的 D 无关。

边沿 D 触发器的特性表

输 入				输 出		
$\overline{PRE}$	$\overline{CLR}$	CLK	D	Q	$\overline{Q}$	
0	1	X	X	1	0	预置 1
1	0	X	X	0	1	预置 0
0	0	X	X	Illega	1	非法
1	1	↑	0	0	1	置 0
1	1	↑	1	1	0	置 1
1	1	0	X	$Q_0$	$\overline{Q_0}$	保持

## 四、预习要求

1. 了解计数器的概念、种类及功能。
2. 熟悉 74LS74 D 型正边沿两触发器的逻辑功能。

- 3. 预习异步二进制加计数器的实现方法，读懂线路图。
- 4. 准备异步二进制减计数器的实现，画实验内容（二）的线路图。
- 5. 了解计数器有哪些应用。

五、实验内容

（一） 设计一个三位二进制异步加计数器

利用 74LS74 设计一个三位二进制异步加计数器，并测试其逻辑功能。

- ① 按图 10-1 方式接线，计数脉冲 CP 和清零脉冲 CR 接电平输入开关；输出端 Q2 ~ Q0 接电平显示发光二极管。
- ② 先清零，CR 置 “1”，再拨回 “0”。
- ③ 然后在 CP 端加 CP 脉冲信号，计数脉冲在正跳变时产生（即 CP 从 0 拨向 1 时）。观察结果显示，在表 10-1 中记下结果。

表 10-1          二进制异步加计数器测试结果

输入		输出		
CR	CP 脉冲	Q2	Q1	Q0
	1			
	2			
	3			
	4			
	5			
	6			
	7			
	8			
	9			
	10			

- ④ 根据上述 3 位二进制异步加计数器电路状态图及表 10-1 中记录的结果，画出该电路的工作时序图。并分析计数器又可应用在哪些方面。

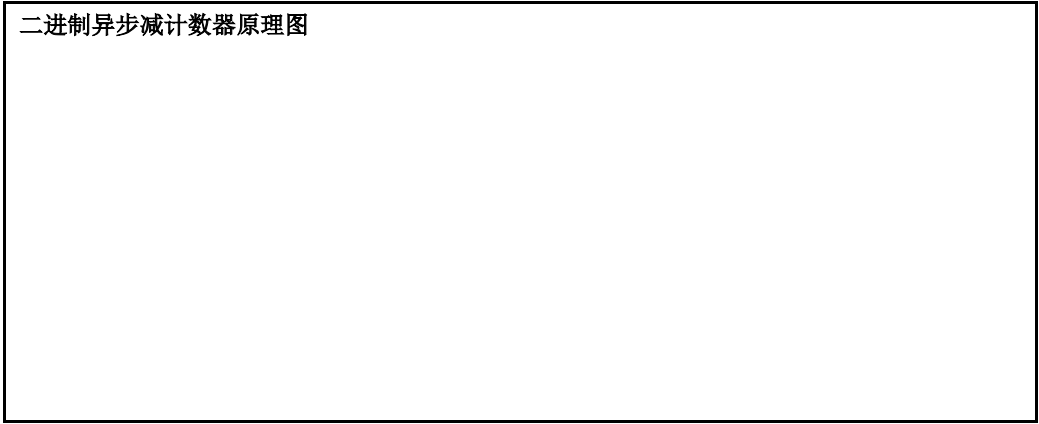
二进制异步加计数器工作时序图

(二) 设计一个四位二进制异步减计数器

分析二进制异步减计数器的实现原理，通过 MAX+plus II 对 ACEX 可编程逻辑器件编程，设计一个四位的二进制异步减计数器，并测试其逻辑功能。

- ① 在 MAX+plus II 中，用 74LS74 建立四位的二进制异步减计数器结构原理图 (.gdf)，增加公用的清零信号，连接各触发器 CR 输入端。

**提示：**改造二进制异步加计数器，通过将低位输出端的输出同时作为高位的计数脉冲的方法来实现。



- ② 建立波形文件 (.scf)。
- ③ 在波形文件中设置若干个时钟周期的 CR 为 “0” 以便将数据端 Q3 ~ Q0 清零。CR 再设置 CR 为 “1”，进行计数。
- ④ 执行仿真后，观察产生的 Q3 ~ Q0 的结果。记录仿真波形。
- ⑤ 用时钟分析功能分析时钟对数据变化的影响。记录结果以便比较。
- ⑥ 建立平面布局图，设计布线。
- ⑦ 连接电路。打开电源。
- ⑧ 生成下载文件，下载到 ACEX。
- ⑨ 测试调试结果。记录在表 10-2 中。

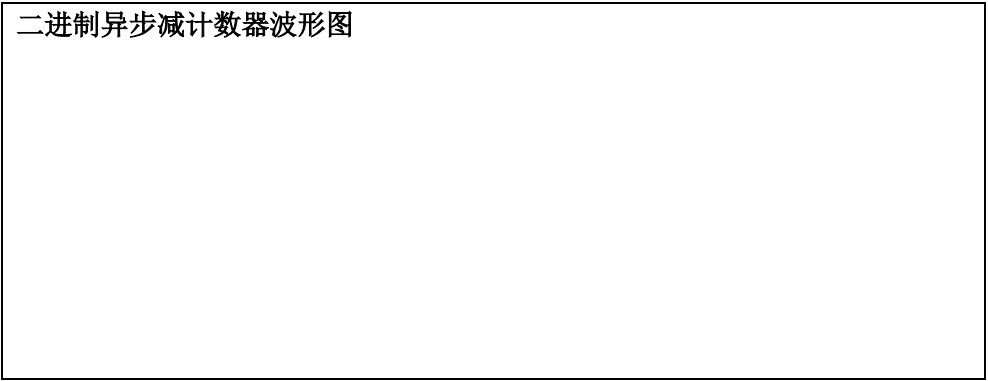


表 10-2      二进制异步减计数器测试结果

输入		输出		
CR	CP 脉冲	Q2	Q1	Q0
	1			
	2			
	3			
	4			
	5			
	6			
	7			
	8			
	9			
	10			

## 六、实验报告

1. 异步时序逻辑电路有什么特点。
2. 总结计数器的实现方法。
3. 写出四位的二进制异步减计数器的设计过程。画出实验电路图，工作时序图，整理实验数据。

实验十	结果和体会	日期	评阅

# 实验十一 同步二进制计数器实验

## 一、实验目的

1. 掌握计数器的工作原理及电路组成。
2. 测试集成电路 74LS161 构成的四位二进制递增计数器。

## 二、实验仪器

1. DICE-SEM 型数字模拟综合实验箱 1 台
2. PC 机 1 台  
(Windows 2000 以上操作系统、安装 MAX+plus II 10.0 软件，并行口下载电缆等。)
3. 器件
  - 74LS161 4 位二进制码计数器 1 片 (可选)

## 三、实验原理

同步时序逻辑电路又称为时钟同步时序逻辑电路，是以触发器状态为标志的。它的状态存储器是触发器，时钟输入信号连接到所有触发器的时钟控制端，在时钟信号的有效触发边沿才改变状态，即同步改变。

同步计数器就是将每个触发器的时钟端均接在同一个时钟脉冲源上，各触发器如要翻转，应在时钟脉冲作用下同时翻转，因此时钟端不能再由其它触发器来控制。

### 1. 同步二进制加计数器

如下图 11-1 所示这是一个用 JK 触发器构造的 4 位同步二进制加计数器。

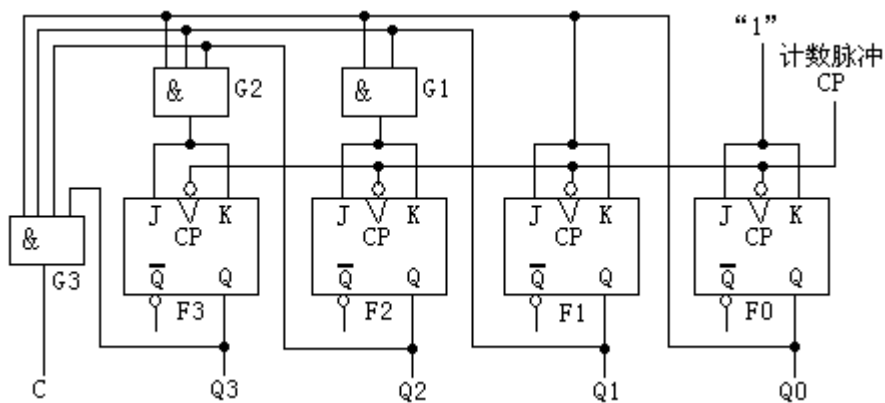


图 11-1 4 位同步二进制加计数器

各触发器的驱动方程为:  $J_0=K_0=1$

$$J_1=K_1=Q_0$$

$$J_2=K_2=Q_0Q_1$$

$$J_3=K_3=Q_0Q_1Q_2$$

计数器的状态方程为:

$$Q_0^{n+1} = \overline{Q_0}$$

$$Q_1^{n+1} = Q_0\overline{Q_1} + \overline{Q_0}Q_1$$

$$Q_2^{n+1} = Q_0Q_1\overline{Q_2} + \overline{Q_0}\overline{Q_1}Q_2$$

$$Q_3^{n+1} = Q_0Q_1Q_2\overline{Q_3} + \overline{Q_0}\overline{Q_1}\overline{Q_2}Q_3$$

电路的输出方程即进位:  $C = Q_0Q_1Q_2Q_3$

上述方程均在 CP 下跳沿有效。计数前应清零, 以后每当输入一个脉冲, 计数器将按加 1 规律变化:

由 **0000→0001→0010→0011→……→1111→0000**

## 2. 同步二进制减计数器

如下图 11-2 所示这是一个用 JK 触发器构造的 4 位同步二进制减计数器。

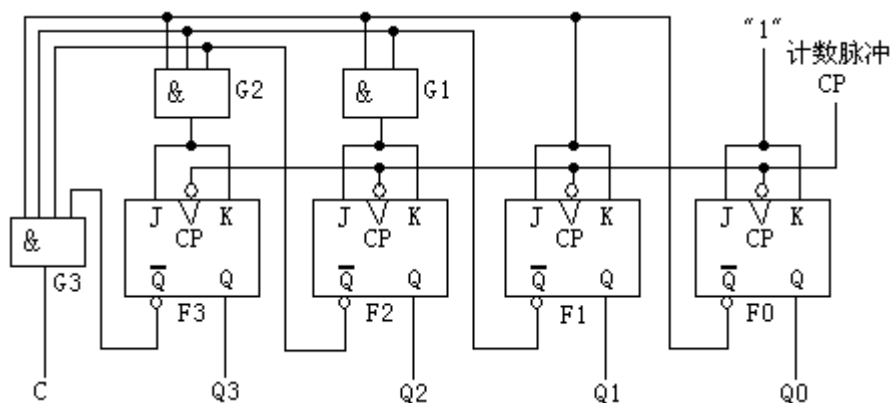


图 11-2 4 位同步二进制减计数器

每输入一个脉冲计数器减一, 计数状态变化规律为

**1111→1110→1101→1100→……0000→1111**

当输入第一个脉冲, 第一级触发器翻转,  $J_0=K_0=1$ , 当第一级触发器为 0 时, 再输入一个脉冲, 要向第二级触发器借位, 使第二级翻转, 故要求  $J_1=K_1=\overline{Q_0}$ , 依此类推,  $J_2=K_2=\overline{Q_0Q_1}$ , ……对于 4 位二进制递减计数器, 当各位均为 0 时, 输入一个脉冲, 必然产生向高位的借位,  $C=\overline{Q_0Q_1Q_2Q_3}$ 。

3. 集成计数器 74LS161（四位二进制码计数器）介绍

计数器对输入的时钟脉冲进行计数，来一个 CP 脉冲计数器状态变化一次。根据计数器计数循环长度 M，称之为模 M 计数器（M 进制计数器）。通常，计数器状态编码按二进制数的递增或递减规律来编码，对应地称之为加法计数器或减法计数器。

一个计数型触发器就是一位二进制计数器。N 个计数型触发器可以构成同步或异步 N 位二进制加法或减法计数器。当然，计数器状态编码并非必须按二进制数的规律编码，可以给 M 进制计数器任意地编排 M 个二进制码。

在数字集成产品中，通用的计数器是二进制和十进制计数器。按计数长度、有效时钟、控制信号、置位和复位信号的不同有不同的型号。74161 是集成 TTL 四位二进制加法计数器，其管脚分布分别如图 11-3 所示。

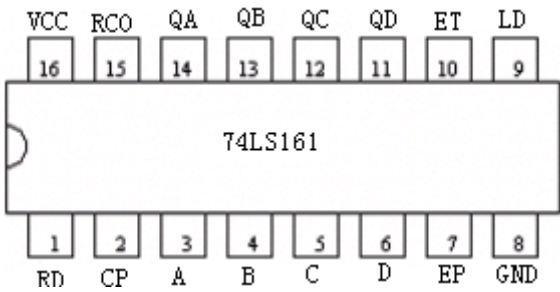


图 11-3 74LS161 引脚图

74LS161 是四位可预置数二进制加计数器，是一种 16 脚的双列直插式中规模集成电路。16 脚为正电源端，8 脚接地。从功能表中可知， $\overline{RD}$  为异步复位端，即复位不需要时钟信号。在复位端高电平条件下，预置端  $\overline{LD}$  为低电平时实现同步预置功能，即需要有效时钟信号才能使输出状态  $Q_3 Q_2 Q_1 Q_0$  等于并行输入预置数  $D_3 D_2 D_1 D_0$ 。在复位和预置端都为无效电平时，两计数使能端输入使能信号， $CT_T CT_P = 1$  (图中为 ET、EP)，74161 实现模 16 加法计数功能， $Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1} = Q_3^n Q_2^n Q_1^n Q_0^n + 1$ 。两计数使能端输入禁止信号， $CT_T CT_P = 0$  (图中为 ET、EP)，集成计数器实现状态保持功能， $Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1} = Q_3^n Q_2^n Q_1^n Q_0^n$ 。在  $Q_3^n Q_2^n Q_1^n Q_0^n = 1111$  时，进位输出端  $CO = 1$  (图中为 CP)。

74LS161 功能表

$\overline{RD}$	$\overline{LD}$	$CT_T$	$CT_P$	CP	$D_3 D_2 D_1 D_0$	$Q_3 Q_2 Q_1 Q_0$
L	$\times$	$\times$	$\times$	$\times$	$\times \times \times \times$	L L L L
H	L	$\times$	$\times$	$\uparrow$	$d_3 d_2 d_1 d_0$	$d_3 d_2 d_1 d_0$
H	H	L	$\times$	$\times$	$\times \times \times \times$	保 持
H	H	$\times$	L	$\times$	$\times \times \times \times$	保 持
H	H	H	H	$\uparrow$	$\times \times \times \times$	计 数

## 四、预习要求

2. 复习同步时序逻辑电路和异步时序逻辑电路的区别。
3. 分析实验内容（二）的两个电路设计方法。
4. 预习 74LS161 集成二进制计数器的基本功能使用方法。
5. 复习利用集成计数器构成任意进制计数器的设计方法，说明基本原理。

### 任意进制计数器设计原理

6. 准备实验内容（三）的实验电路图，拟定实验步骤。
7. 准备实验内容（四）的实验电路图，拟定实验步骤。

## 五、实验内容

### （一）设计 4 位同步二进制加计数器

利用可编程逻辑器件 ACEX, 设计一个四位的二进制同步加计数器, 并测试其逻辑功能。

- ① 在 MAX+plus II 中, 选择 74LS112(双下降沿 J-K 触发器)和其他电路, 按图 11-1 的方式建立二进制同步加计数器原理图。
- ② 建立波形文件(. scf)。
- ③ 在波形文件中设置 1 端为“1”, 再进行计数。
- ④ 执行仿真后, 观察产生的 Q3 ~ Q0 的结果。
- ⑤ 画波形图。
- ⑥ 用时钟分析功能分析时钟对数据变化的影响。记录结果, 比较异步二进制计数器有什么体会。
- ⑦ 建立平面布局图, 设计布线。
- ⑧ 连接电路。
- ⑨ 生成下载文件, 下载到 ACEX。
- ⑩ 调试结果。记录在表 11-1 中。



表 11-1

输入脉冲序号	电路状态				等效十进制数	进位输出 C
	Q3	Q2	Q1	Q0		
0	0	0	0	0	0	0
1						
2						
3						
4						
5						
6						
7						
8						
9						
10						
11						
12						
13						
14						
15						
16						

## (二) 设计 4 位同步二进制减计数器

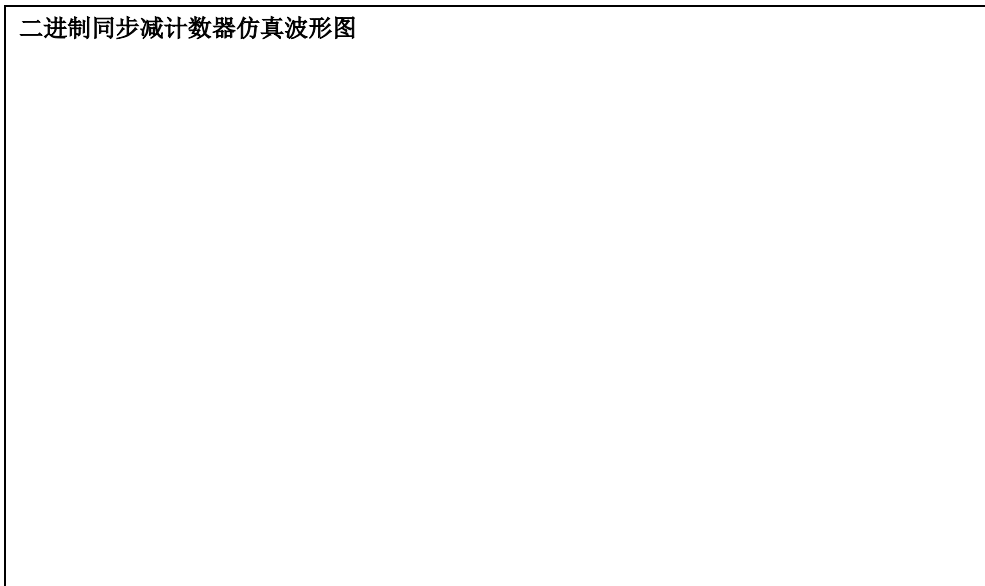
用可编程逻辑器件 ACEX，建立一个四位的二进制同步减计数器，并测试其逻辑功能。

- ① 在 MAX+plus II 中，选择用两片 74LS112(双下降沿 J-K 触发器)和其他器件，按图 11-2 的方式建立二进制同步减计数器原理图。
- ② 建立波形文件(.scf)。
- ③ 在波形文件中设置“1”端为 1，再进行计数。设置“1”端为 0，有什么结果？
- ④ 执行仿真后，观察产生的 Q3 ~ Q0 的结果。
- ⑤ 用时钟分析功能分析时钟对数据变化的影响。
- ⑥ 建立平面布局图设计布线。
- ⑦ 连接电路。
- ⑧ 打开电源。
- ⑨ 生成下载文件，下载到 ACEX。
- ⑩ 调试结果。

二进制同步减计数器原理图



二进制同步减计数器仿真波形图



### （三） 构造模 12 计数器（以下选做一、二种方法）

在 MAX+plus II 中通过对 ACEX 可编程逻辑器件的设计，构成一个四位的二进制模 12 同步计数器。可选用 74LS161 符号。以两种方法实现（即反馈清零法和反馈置数法）。

74LS161 是具有异步清零和同步预置功能的集成 TTL 四位二进制同步加计数器。根据功能表或逻辑符号图知道，74LS161 有一个低电平有效的异步复位端 **RD**，一个低电平有效的同步置位端 **LD** 和四位预置数输入端  $D_3D_2D_1D_0$ ，二个使能输入端  $CT_T$ 、 $CT_P$ 。74LS161 中除了四个计数状态输出  $Q_3$ 、 $Q_2$ 、 $Q_1$ 、 $Q_0$  外，还有一个进位输出 **CO**。

用 74LS161 实现十二进制计数可有以下两种方法：反馈清零法和反馈置数法，反馈置数法按预置不同又有不同接法。

# 1. 反馈清零法

74LS161 从  $Q_3Q_2Q_1Q_0=0000$  开始计数，经  $M-1$  个时钟脉冲（ $M$  为模，本例为 12）状态对应二进制数最大，下一个 CP 后计数器应复位，开始新一轮模  $M$  计数。因为是异步清零，所以复位信号不应在  $M-1$  个 CP 时产生，而应在  $M$  个 CP 时产生。所以复位信号在  $Q_3Q_2Q_1Q_0=1100$  时，使计数器复位  $Q_3Q_2Q_1Q_0=0000$ 。状态从  $1100 \rightarrow 0000$  是异步变化的，不受时钟 CP 控制，所示状态  $1100$  持续的时间很短暂，仅几级门的传输延迟而已。由状态  $1100$  产生低电平复位信号可用与非门实现，即

$$\overline{RD} = \overline{Q_3Q_2},$$

电路连接图及输出时序波形如图 11-4 所示。

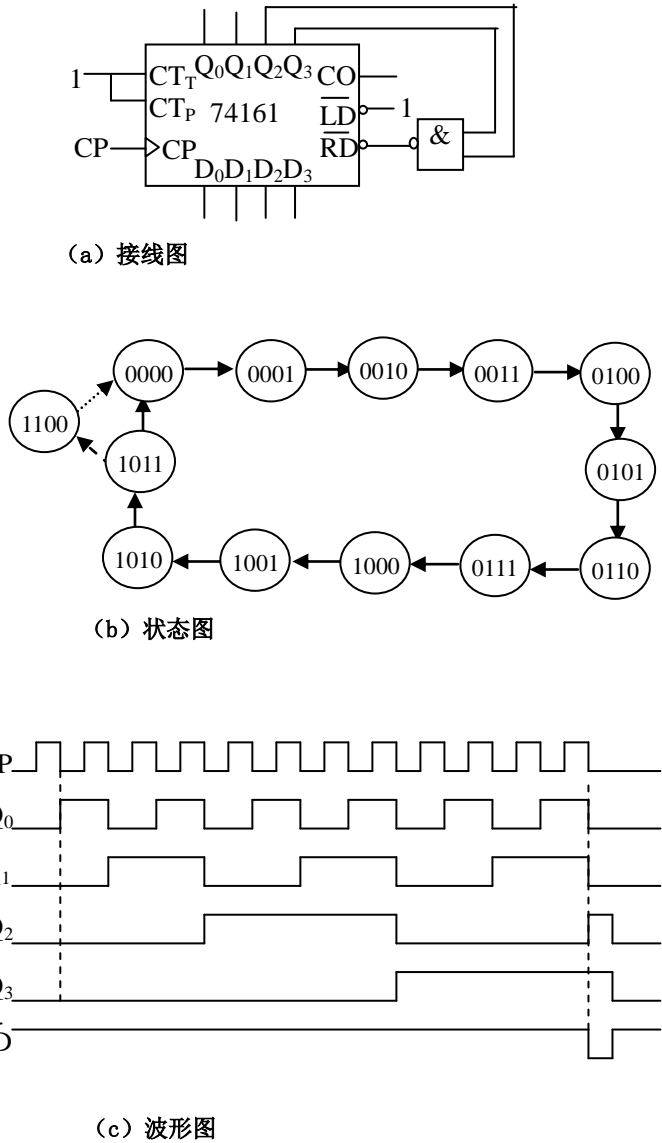


图 11-4 74LS161 用反馈清零法实现模 12 计数

### 2. 反馈置数法一

反馈置数法是通过反馈产生置数信号  $\overline{LD}$ ，将预置数  $D_3D_2D_1D_0$  预置到输出端。74LS161 是同步置数的，需  $CP$  和  $\overline{LD}$  都有效才能置数，因此  $\overline{LD}$  应先于  $CP$  出现。所以  $M-1$  个  $CP$  后就应产生有效  $\overline{LD}$  信号。若用四位二进制数前 12 个数作为计数状态，预置数  $D_3D_2D_1D_0=0000$ ，应在  $Q_3Q_2Q_1Q_0=1011$  时预置端变为低电平，故

$$\overline{LD} = \overline{Q_3Q_1Q_0}。$$

此法连接的电路图及时序波形如图 11-5。

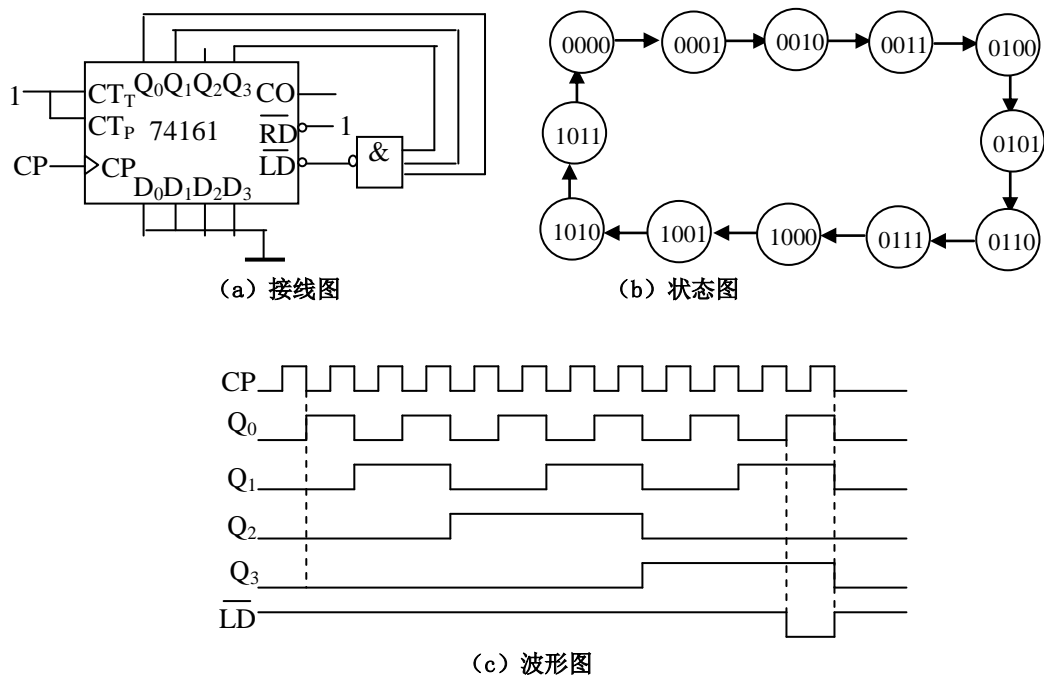


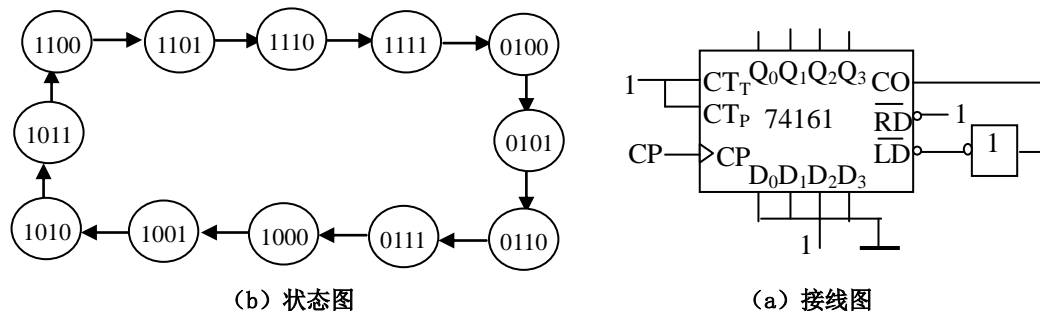
图 11-5 74LS161 用反馈置数法实现模 12 计数

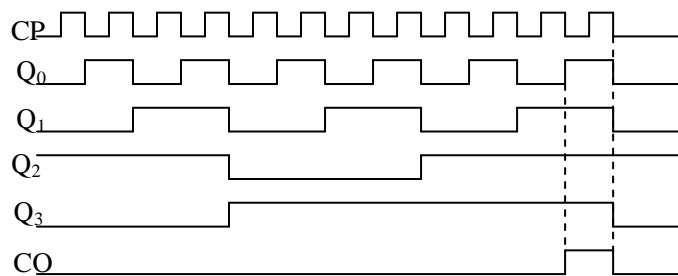
### 3. 反馈置数法二

将预置数设为 0100，即用四位二进制后 12 个状态计数，则可将 74LS161 的进位输出  $CO$  作为预置信号  $\overline{LD}$ ，即

$$\overline{LD} = \overline{CO}。$$

电路图及时序图见图 11-6。





(c) 波形图

图 11-6 74LS161 用反馈置数法二实现模 12 计数

- ① 用计算机仿真实验在 MAX+plus II 中, 对 ACEX 可编程逻辑器件编程, 选择 74LS161 (4 位二进制数码计数器) 和其他电路符号, 按图 11-4 的方式建立模 12 计数器原理图。

用\_\_\_\_\_法实现的模 12 计数器设计原理路图

- ② 建立波形文件(.scf)。对 RD 给出若干周期的低电平, 进行清零复位; LD 设为高电平。  
 ③ 执行仿真后, 观察产生的 Q3 ~ Q0 的结果。

用\_\_\_\_\_法实现的模 12 计数器波形图

- ④ 用时钟分析功能分析时钟对数据变化的影响。体会两种方式实现的区别。
- ⑤ 建立平面布线图，设计布线。
- ⑥ 连接电路。打开电源。
- ⑦ 生成下载文件，下载到 ACEX 器件。
- ⑧ 测试结果。

<i>RD</i>	<i>LD</i>	<i>CT<sub>T</sub></i>	<i>CT<sub>P</sub></i>	脉冲数	电路状态					等效十进制
					<i>Q3</i>	<i>Q2</i>	<i>Q1</i>	<i>Q0</i>	<i>CO</i>	
				1						
				2						
				3						
				4						
				5						
				6						
				7						
				8						
				9						
				10						
				11						
				12						
				13						
				14						

⑨ 结论和体会。

**?** **问题：**在反馈清零法实现的模 12 计数器波形图中，会出现什么现象？如何补救？谈谈你的想法。再动手试试。

结论和体会

#### （四）设计一个六十进制计数器

- ① 设计思想
- ② 电路图
- ③ 实现仿真波形
- ④ 设计布线
- ⑤ 接线
- ⑥ 下载实现
- ⑦ 结果

**?** **提问：**若要实现计数值是从 1 ~ 60 的计数器，应该如何设计？

六十进制计数器设想

原理图

波形图

计数值从 1~ 60 的计数器



## 六、实验报告

1. 设计二进制计数器的方法有多种，同步时序逻辑电路和异步时序逻辑电路的区别是什么？
2. 整理实验结果。写出设计过程，画出实验电路图。
3. 总结计数器使用特点。

实验十一	结果和体会	日期	评阅

## 实验十二 移位寄存器的功能测试

### 一、实验目的

1. 掌握移位寄存器的工作原理及电路组成。
2. 测试集成电路 74LS194 四位双向移位寄存器的逻辑功能。

### 二、实验仪器

1. DICE-SEM 型数字模拟综合实验箱 1 台
2. PC 机 1 台  
(Windows 2000 以上操作系统、安装 MAX+plus II 10.0 软件, 并行口下载电缆等。)
3. 器件
  - 74LS74 双 D 触发器 2 片
  - 74LS194 四位双向移位寄存器 1 片 (可选)

### 三、实验原理

寄存器由多个锁存器或触发器组成, 用于存储一组二进制信号, 是数字系统中常用的器件。

在时钟信号的控制下, 所寄存的数据依次向左 (由低位向高位) 或向右 (由高位向低位) 移位的寄存器称为移位寄存器。根据移位方向的不同, 有左移寄存器、右移寄存器和双向寄存器之分。移位寄存器的原理图如图 12-1 所示。

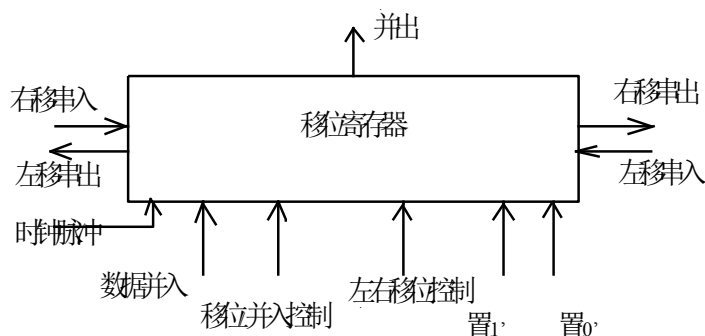


图 12-1 移位寄存器框图

一般移位寄存器具有如下全部或部分输入输出端:

**并行输入端:** 寄存器中的每一个触发器输入端都是寄存器的并行数据输入端。

**并行输出端:** 寄存器中的每一个触发器输出端都是寄存器的并行数据输出端。

**移位脉冲 CP 端:** 寄存器的移位脉冲。

**串行输入端:** 寄存器中最左侧或最右侧触发器的输入端是寄存器的串行数据输入端。

**串行输出端:** 寄存器中最左侧或最右侧触发器的输出端是寄存器的串行数据输出端。

- 置 0 端：**将寄存器中的所有触发器置 0。
- 置 1 端：**将寄存器中的所有触发器置 1。
- 移位/并入控制：**控制寄存器是否进行数据串行移位或数据并行输入。
- 左/右移位控制端：**控制寄存器的数据移位方向。

以上介绍的这些输入、输出和控制端并不是每一个移位寄存器都具有，但是移位寄存器一定有移位脉冲端。

由边沿 RS 触发器组成的移位寄存器电路如图 12-2 所示，其中串行输入的数据在时钟脉冲的作用下移动。

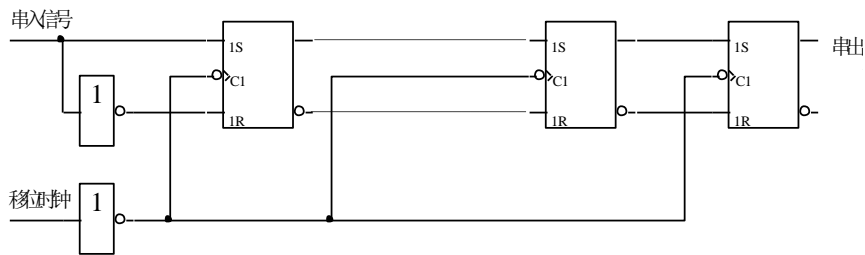


图 12-2 边沿 RS 触发器组成的移位寄存器

### 1. 单向移位寄存器

下面两个图所示的是由 D 触发器连接组成的移位寄存器，这是同步的时序电路。每个触发器的输出连到下级触发器的控制输入端，在时钟脉冲作用下，存储在寄存器中的信息，逐位左移或右移。图 12-3 所示电路是由 D 触发器组成的四位右移位寄存器。图 12-4 所示电路是左移位寄存器。

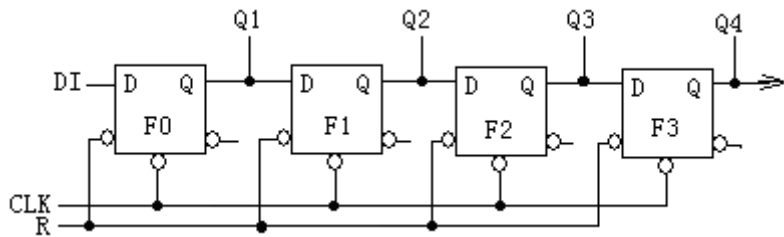


图 12-3 D 触发器组成的右移位寄存器

移位寄存器的清零方式有两种：一种是将所有触发器的清零端 R<sub>i</sub> 连在一起，置位端 S 连在一起；当 R=0，S=1 时，Q 端为 0。这种方式称为异步清零。另一种方法是在串型输入端输入“0”电平，接着从 CLK 端送 4 个脉冲，则所有触发器也可清到零状态。这种方式称为同步清零。

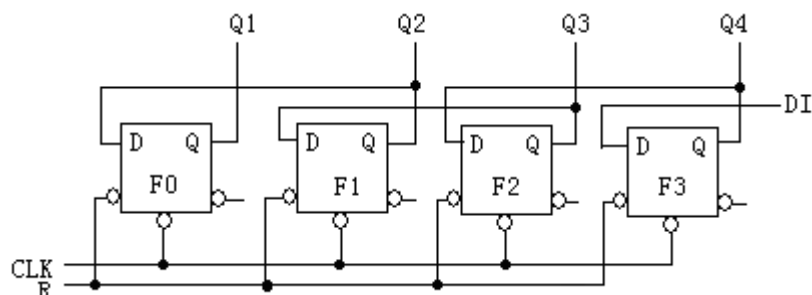


图 12-4 D 触发器组成的左移位寄存器

## 2. 双向移位寄存器 74LS194

74LS194 为集成的四位双向移位寄存器，如图 12-5 所示：

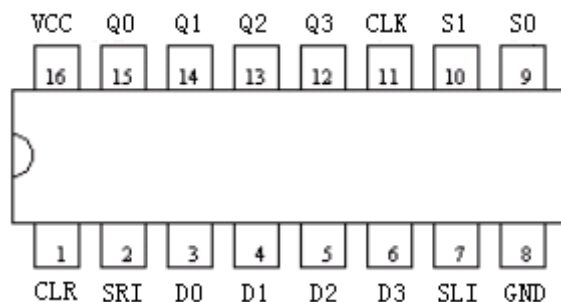


图 12-5 74LS194

**引脚：**

**CLK：** 时钟脉冲输入端

**CLR：** 清除端（低电平有效）

**D0、D1、D2、D3：** 并行数据输入端

**SLI：** 左移串行输入端

**SRI：** 右移串行输入端

**S1、S0：** 工作方式控制端（00 保持；01 右移；10 左移；11 并行输入）

**Q0、Q1、Q2、Q3：** 输出端

**功能：**

当清除端（CLR）为低电平时，输出端（Q0~Q3）均为低电平；

当工作方式控制端（S1、S0）均为高电平时，在时钟（CLK）上升沿作用下，并行数据（D0，D1，D2，D3）被送入相应的输出端（Q0、Q1、Q2、Q3），此时串行数据被禁止；

当 S0 为低电平，S1 为高电平，在 CLK 上升沿作用下进行左移操作，数据由 SLI 送入；

当 S0 为高电平，S1 为低电平，在 CLK 上升沿作用下进行右移操作，数据由 SRI 送入；

当 S0、S1 均为低电平时，CLK 被禁止。

### 3. 环形计数器

环形计数器是将单向移位寄存器的串行输入端和串行输出端相连，构成一个闭合的环，如图 12-6(a)所示。

实现环形计数器时，必须设置适当的初态，且输出  $Q_3Q_2Q_1Q_0$  端初始状态不能完全一致(即不能全为“1”或“0”)，这样电路才能实现计数，环形计数器的进制数  $N$  与移位寄存器内的触发器个数  $n$  相等，即  $N=n$ ，状态变化如图 12-6(b)所示(电路中初态为 0100)。

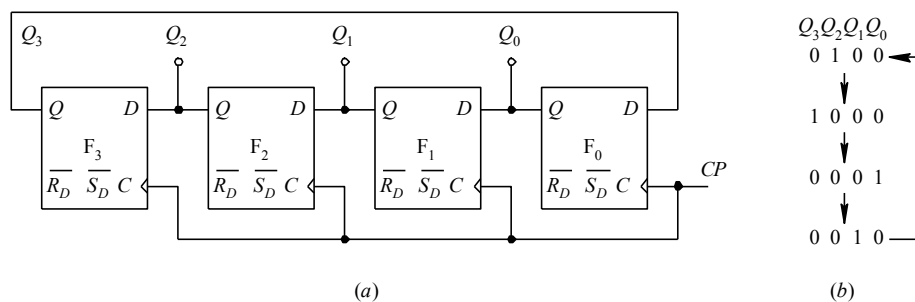


图 12-6 环形计数器 (a) 逻辑电路图 (b) 状态图

### 4. 扭环计数器

扭环计数器状态变化如图 12-7(b)所示

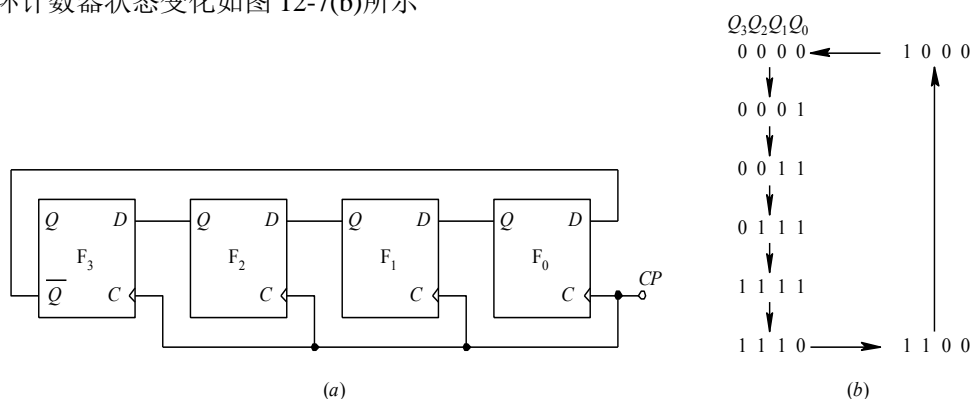


图 12-7 扭环计数器 (a) 逻辑电路图 (b) 状态图

## 四、预习要求

1. 移位寄存器有哪些应用？
2. 在串并行转换中，若二进制代码高位在前，低位在后，移位寄存器应采用哪种方式传输？
3. 双 D 触发器 74LS74 工作原理。（见实验十）
4. 预习四位双向移位寄存器电路 74LS194 的工作原理。
5. 环形计数器和扭环计数器的工作原理实现方法。

## 五、实验内容

### （一）由 D 触发器构成的单向移位寄存器。

由 2 片双 D 触发器 74LS74，来构成四位移位寄存器，根据原理图和芯片引脚图在实验箱上正确连线。

#### 1. 右向移位寄存器

- ① 按图 12-3 接线。CLK 接单脉冲插孔，/R、DI 端接相应电平。
- ② 用同步清零法或异步清零法清零。
- ③ 同步清零：置/R=0，拨 CLK 0→1（一个脉冲）。
- ④ 异步清零：置/R=1，DI=0，拨四次 CLK 0→1（四个脉冲）。
- ⑤ 清零后，置 /R=1。
- ⑥ 置 DI=1，输入一个 CLK 脉冲（0→1），即将数码 1 送入 Q0；
- ⑦ 置 DI=0，再输入三个 CLK 脉冲（0→1），此时 Q3Q2Q1Q0=1000，即已将数码串行送入寄存器，并完成数码 1 的右向移动过程。

每输入一个 CLK 脉冲，同时观察 Q0~Q3 的状态显示，并将结果填入表 12-1 中：

表 12-1

CP 计数	DI	Q0	Q1	Q2	Q3
0	0	0	0	0	0
1	1				
2	0				
3	0				
4	0				

#### 2. 左向移位寄存器

同理按图 12-4 接线，进行左向移位实验，并将结果填入表 12-2 中。

操作步骤

表 12-2

CP	DI	Q0	Q1	Q2	Q3
0	0	0	0	0	0
1	1				
2	0				
3	0				
4	0				

(二) 移位寄存器 74LS194 的逻辑功能测试

- ① 用 MAX+plus II 建立 74LS194 移位寄存器的功能原理图。
- ② 设计波形图，仿真运行。
- ③ 设计布线图。
- ④ 按部线图接线。D3 ~ D0、SLI、SRI、S0、S1、CLR、CLK 接电平开关。Q3 ~ Q0 接显示发光二极管。

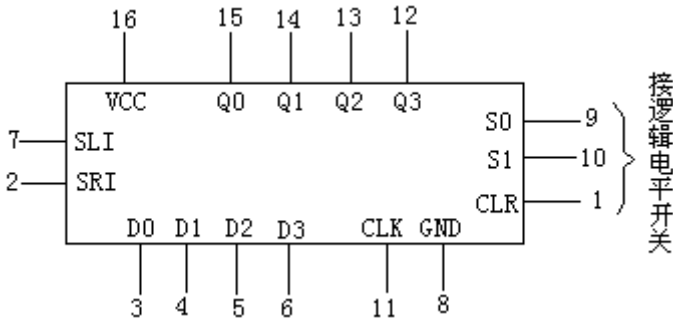


图 12-6 移位寄存器 74LS194

- ⑤ 送数（并行输入）  
接通电源，将 CLR 端置低电平。  
使寄存器清零，观察 Q0~Q3 状态为 0。清零后将 CLR 端置高电平。  
令 S0=1, S1=1, 在 0000~1111 之间任选几个二进制数，由输入端 D0、D1、D2、D3 送入，在 CLK 脉冲作用下，看输出端 Q0~Q3 状态显示是否正确，将结果填入表 12-3。

表 12-3

序号	输入				输出			
	D0	D1	D2	D3	Q0	Q1	Q2	Q3
1	0	0	0	0				
2	1	0	0	0				
3	1	0	1	0				
4	0	1	0	1				
5	1	1	1	1				
6	1	1	0	0				

⑥ 右移

将 Q3 接 SRI，即将管脚 12 与脚 2 连接，清零。

令 S0=1, S1=1, 送数 Q3、Q2、Q1、Q0=0001。然后令 S0=1, S1=0, 连续发出 4 个 CLK 脉冲。观察 Q0~Q3 状态显示，并填入表 12-4。

表 12-4

输入	输出			
CLK 脉冲	<i>Q3</i>	<i>Q2</i>	<i>Q1</i>	<i>Q0</i>
0	0	0	0	1
1				
2				
3				
4				

⑦ 左移

将 Q0 接 SLI（即将脚 15 与 7 连接）。清零。

令 S0=1, S1=1, 送数 Q3Q2Q1Q0=1000，然后令 S0=0, S1=1, 连续发出 4 个 CLK 脉冲，观察 Q0~Q3 状态显示，并填表 12-5。

表 12-5

输入	输出			
CLK 脉冲	<i>Q3</i>	<i>Q2</i>	<i>Q1</i>	<i>Q0</i>
0	1	0	0	0
1				
2				
3				
4				

⑧ 保持

清零后送入一个 4 位二进制数，例如为 Q3~Q0=0101，然后 S0=0, S1=0, 连续发出 4 个 CLK 脉冲，观察 Q0~Q3 的状态显示，并记入表 12-6 中。



表 12-6

输入	输出			
CLK 脉冲	<i>Q0</i>	<i>Q1</i>	<i>Q2</i>	<i>Q3</i>
0	1	0	1	0
1				
2				
3				
4				

(三) 设计由 D 触发器组成的双向移位寄存器

设计由 D 触发器组成的双向移位寄存器，写出设计思想，实验线路。

D 触发器组成的双向移位寄存器设计思想

D 触发器组成的双向移位寄存器实验线路图

(四) 用 ACEX 可编程逻辑器件或用 74LS74 实现环形计数器或扭环计数器

环形计数器/扭环计数器的设计、电路图、仿真波形图

## 六、实验报告

1. 整理实验结果。写出设计过程，画出实验电路图。
2. 总结移位寄存器使用特点。
3. 总结环形计数器或扭环计数器的设计体会。

实验十二	结果和体会	日期	评阅

# 实验十三 计数时序电路综合应用实验

## 一、实验目的

1. 熟悉和测试 74LS290 器件的逻辑功能；
2. 运用中规模集成电路组成计数、译码、显示电路；

## 二、实验仪器

1. DICE-SEM 型数字模拟综合实验箱 1 台
2. PC 机 1 台  
(Windows 2000 以上操作系统、安装 MAX+plus II 10.0 软件，并行口下载电缆等。)
3. 器件
  - 74LS290 二、五—十进制计数器 2 片 (可选)
  - 74LS138 1 片 (可选)
  - 74LS161 1 片 (可选)

## 三、实验原理

计数器是最常见的时序电路，它常用于计数、分频、定时及产生数字系统的节拍脉冲等，其种类很多，划分如下：

按照触发器是否同时翻转可分为同步计数器或异步计数器

按照计数顺序的增减，分为加、减计数器，计数顺序增加称为加计数器，计数顺序减少称为减计数器，计数顺序可增可减称为可逆计数器

按计数容量 (M) 和构成计数器的触发器的个数 (N) 之间的关系可分为二进制和非二进制计数器。计数器所能记忆的时钟脉冲个数 (容量) 称为计数器的模。当  $M=2^N$  时为二进制否则非二进制计数器。当然二进制计数器又可称为  $M=2^N$  计数器。

在数字集成产品中，通用的计数器是二进制和十进制计数器。按计数长度、有效时钟、控制信号、置位和复位信号的不同有不同的型号。

### 1. 74LS290 二、五—十进制计数器

常用异步集成计数器 74LS290

74LS290 芯片的符号图和管脚排列如图所示。其中，S9 (1)、S9 (2) 称为置 “9” 端；R0 (1)、R0 (2) 称为置 “0” 端；CP0、CP1 (图中标示 CKB、CKA) 端为计数时钟输入端；Q3、Q2、Q1、Q0 (图中标示为 Qd、Qc、Qb、Qa) 为输出端；NC 表示空脚。

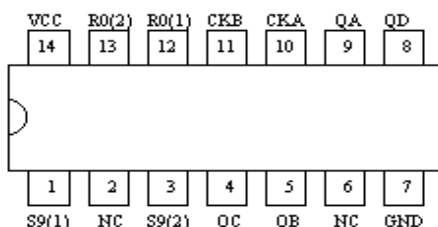


图 13-1 74LS290 的引脚排列

74LS290 具有以下功能:

置“9”功能: 当  $S9(1)=S9(2)=1$  时, 不论其他输入端状态如何, 计数器输出( $Q3\ Q2\ Q1\ Q0$ ) = 1001, 而  $(1001)_2 = (9)_{10}$ , 故又称为异步置数功能。

置“0”功能: 当  $S9(1)$  和  $S9(2)$  不全为 1, 并且  $R0(1) = R0(2) = 1$  时, 不论其他输入端状态如何, 计数器输出( $Q3\ Q2\ Q1\ Q0$ ) = 0000, 故又称为异步清零功能或复位功能。

计数功能: 当  $S9(1)$  和  $S9(2)$  不全为 1, 并且  $R0(1)$  和  $R0(2)$  不全为 1 时, 输入计数脉冲 CP, 计数器开始计数。

CP0 输入计数脉冲,  $Q0$  为输出时, 则构成二进制计数器;

CP1 输入计数脉冲,  $Q3$ 、 $Q2$ 、 $Q1$  为输出时, 则构成五进制计数器;

若将  $Q0$  和 CP1 相连, 计数脉冲由 CP0 输入, 输出端为  $Q3$ 、 $Q2$ 、 $Q1$ 、 $Q0$  时, 则构成十进制 (8421 码) 计数器;

若将  $Q3$  和 CP0 相连, 计数脉冲由 CP1 输入, 输出为  $Q0$ 、 $Q3$ 、 $Q2$ 、 $Q1$  时, 则构成十进制 (5421 码) 计数器。

因此, 74LS290 又称为“二一五一十进制型集成计数器”。

74LS290 的功能表

输入				输出			
$R0(1)$	$R0(2)$	$S9(1)$	$S9(2)$	$Q0$	$Q1$	$Q2$	$Q3$
1	1	0	X	0	0	0	0
1	1	X	0	0	0	0	0
X	X	1	1	1	0	0	1
X	0	X	0	计数			
0	X	0	X	计数			
0	X	X	0	计数			
X	0	0	X	计数			

## 四、预习要求

1. 熟悉 74LS290 等器件的逻辑功能;
2. 熟悉 74LS161 等器件的逻辑功能 (见实验十一);
3. 拟定实验内容(二)、(三)的实验原理图和实验步骤。

## 五、实验内容

### (一) 测试 74LS290 二、五一十进制计数器功能

- ① 用 MAX+plus II 建立 74LS290 二、五一十进制计数器的功能图。
- ② 设计波形图, 仿真运行。
- ③ 设计布线图。
- ④ 按布线图接线。D3 ~ D0、R0(1)、R0(2)、S9(1)、S9(2)、CP0、CP1 接电平开关。

Q3 ~Q0 接显示发光二极管。

- ⑤ 打开实验箱电源。
- ⑥ 生成 ACEX 的编程程序，下载。
- ⑦ 拨动 CP0 若干次从 1→0，观察 Q0。记录结果。

--

- ⑧ 拨动 CP1 若干次从 1→0，观察 Q3~Q1。记录结果。

--

- ⑨ 将 Q0 和 CP1 相连，拨动若干次 CP0，观察并记录结果。

--

- ⑩ 将 Q3 和 CP0 相连，拨动若干次 CP1，观察并记录结果。

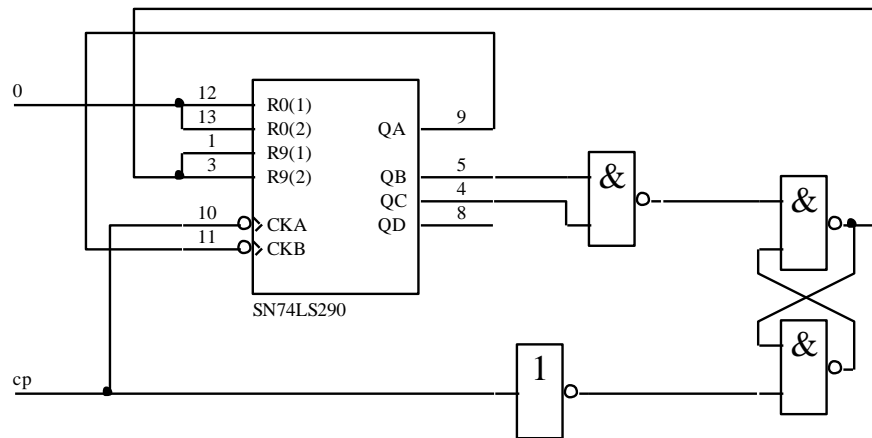
--

- ⑪ 将 D3 ~ D0 接到数码管的 8、4、2、1 端看有什么结果。

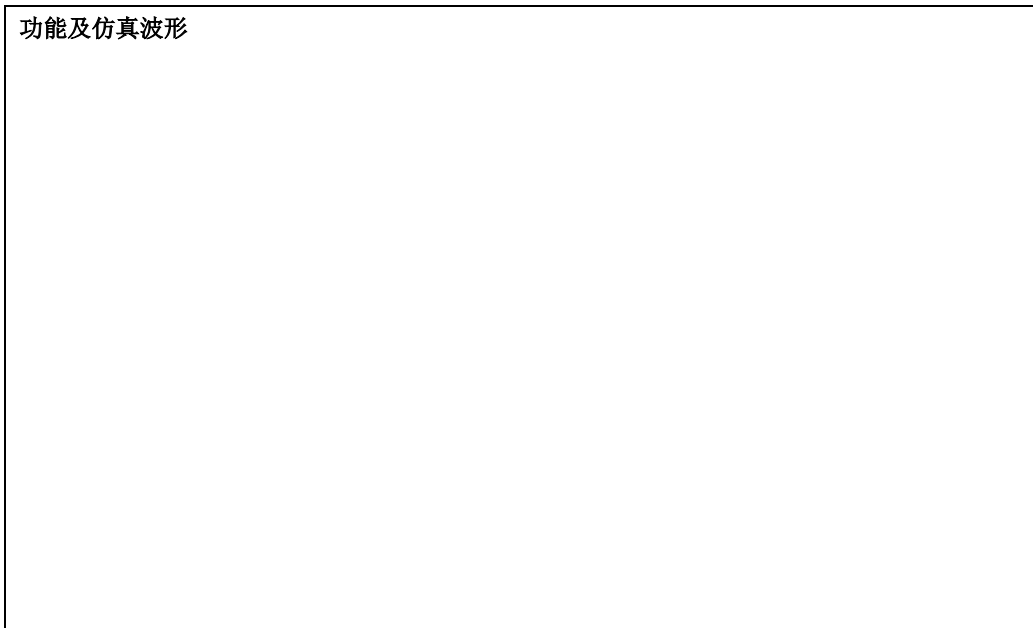


## (二) 验证以下电路的功能

用你想得到的方法实验并描述其结果，画出仿真波形。



功能及仿真波形

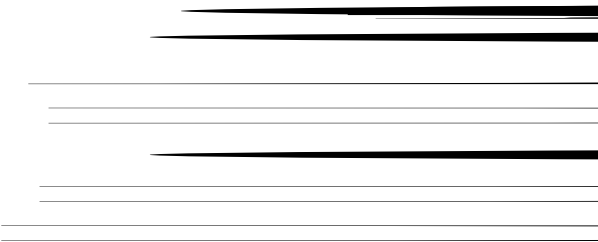


(三) 时序电路综合应用

某工厂生产由 A（加料）、B（加热）、C（加压）、D（清洗）、E（取出）五个工艺流程组成，一个生产周期分为 8 个工序，各段的时间关系如下表，试采用 3-8 线译码器 74LS138 和四位二进制同步加计数器 74LS161 以及其它电路设计该生产流程的控制,给出每一个工艺的进行操作的控制信号。

工序 工艺	0	1	2	3	4	5	6	7
A	√	√						
B			√	√	√	√		
C				√	√	√		
D							√	
E								√

① 根据时间表得出的输出时序图：



② 分析 74LS138 和 74LS161 的功能，画出电路图。

生产流程控制电路设计思路（或草图）



- ③ 用计算机仿真实验方法设计并验证控制功能。

生产流程控制电路原理图

生产流程控制电路仿真波形图

- ④ 写出设计步骤，实验过程，验证结果。

生产流程控制电路测试结果

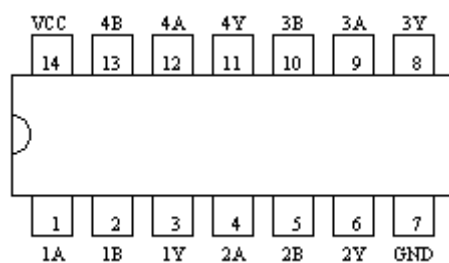
## 六、实验报告

1. 整理实验内容（一）的结果，总结、体会。
2. 整理实验内容（二）的结果，总结、体会。
3. 写出实验内容（三）的设计过程，并给出实验原理图、仿真波形图。谈谈有何体会。

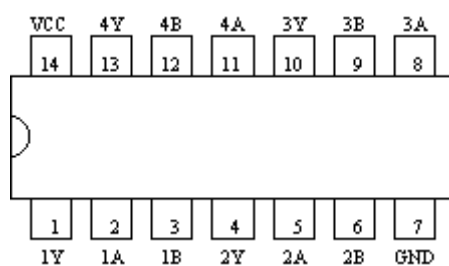
实验十三	结果和体会	日期	评阅

## 附录 A 部分芯片引脚图

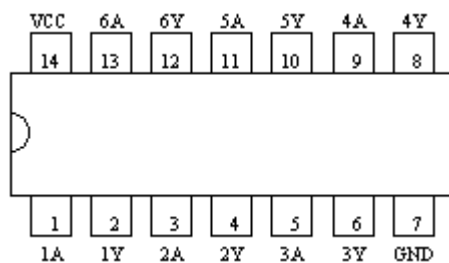
1, 74LS00 ( $Y = \overline{AB}$ )



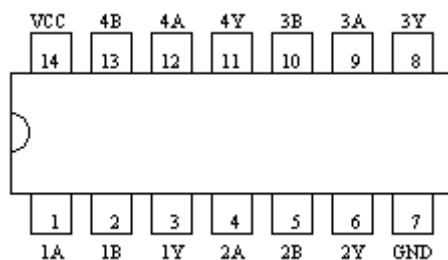
2, 74LS02 ( $Y = \overline{A+B}$ )



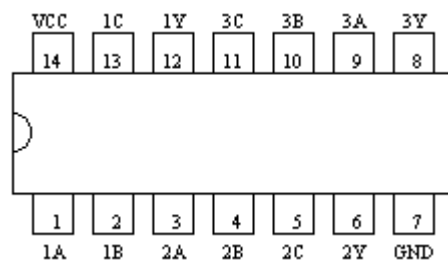
3, 74LS04 (同 **CD4069**) ( $Y = \overline{A}$ )



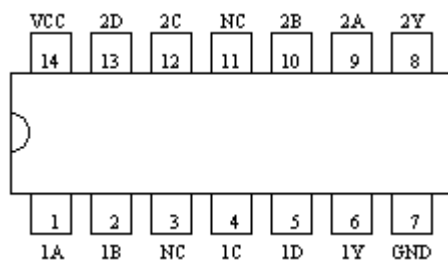
4, 74LS08 (同 **CD4081**) ( $Y = AB$ )



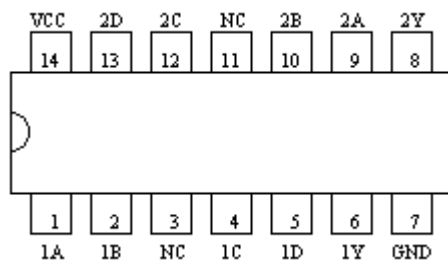
5, 74LS10 ( $Y=\overline{ABC}$ )



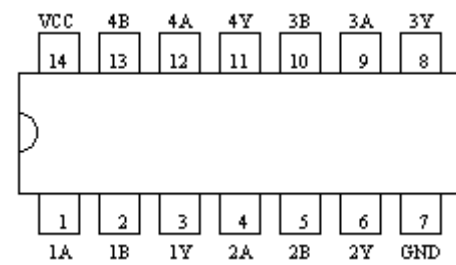
6, 74LS20 ( $Y=\overline{ABCD}$ )



7, 74LS21 ( $Y=ABCD$ )



8, 74LS32 ( $Y=A+B$ )



9, 74LS73 （双 J-K 触发器）

1J	/1Q	1Q	GND	2K	2Q	/2Q
14	13	12	11	10	9	8
1	2	3	4	5	6	7
1CLK	1CLR	1K	VCC	2CLK	2CLR	2J

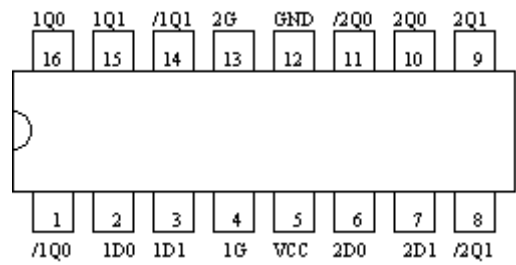
CLR	CLK	J	K	Q	/Q
0	X	X	X	0	1
1	↓	0	0	Q <sub>o</sub>	/Q <sub>o</sub>
1	↓	1	0	1	0
1	↓	0	1	0	1
1	↓	1	1	Toggle	
1	1	X	X	Q <sub>o</sub>	/Q <sub>o</sub>

10, 74LS74 （双 D 触发器）

VCC	2CLR	2D	2CLK	2PRE	2Q	/2Q
14	13	12	11	10	9	8
1	2	3	4	5	6	7
1CLR	1D	1CLK	1PRE	1Q	/1Q	GND

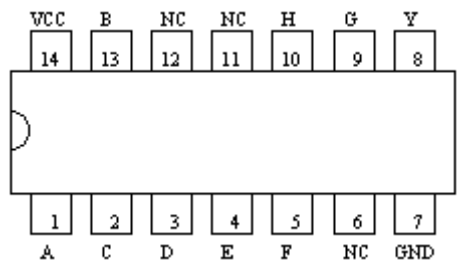
PRE	CLR	CLK	D	Q	/Q
0	1	X	X	1	0
1	0	X	X	0	1
0	0	X	X	1*	1*
1	1	↑	1	1	0
1	1	↑	0	0	1
1	1	0	X	Q <sub>o</sub>	/Q <sub>o</sub>

11, 74LS75 (四位 D 锁存器)



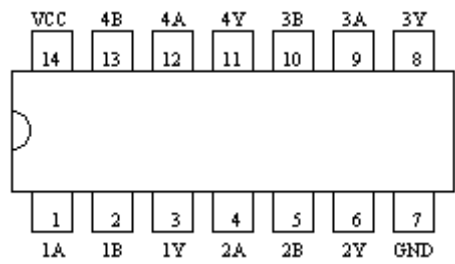
D	G	Q	/Q
0	1	0	1
1	1	1	0
X	0	Qo	/Qo

12, 74LS54 ( $Y = \overline{AB + CD + EF + GH}$ )

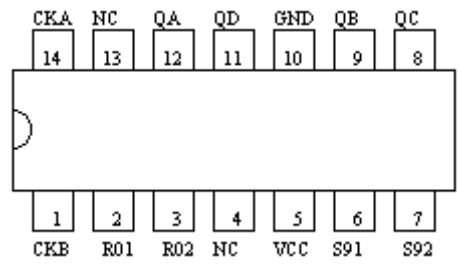


A	B	C	D	E	F	G	G	Y
1	1	X	X	X	X	X	X	0
X	X	1	1	X	X	X	X	0
X	X	X	X	1	1	X	X	0
X	X	X	X	X	X	1	1	0
All other combinations								1

13, 74LS86 ( $Y = A \oplus B$ )

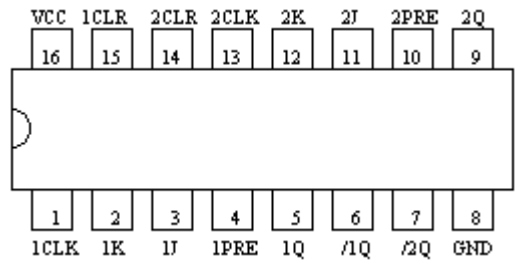


14, 74LS90 （二-五-十进制计数器）



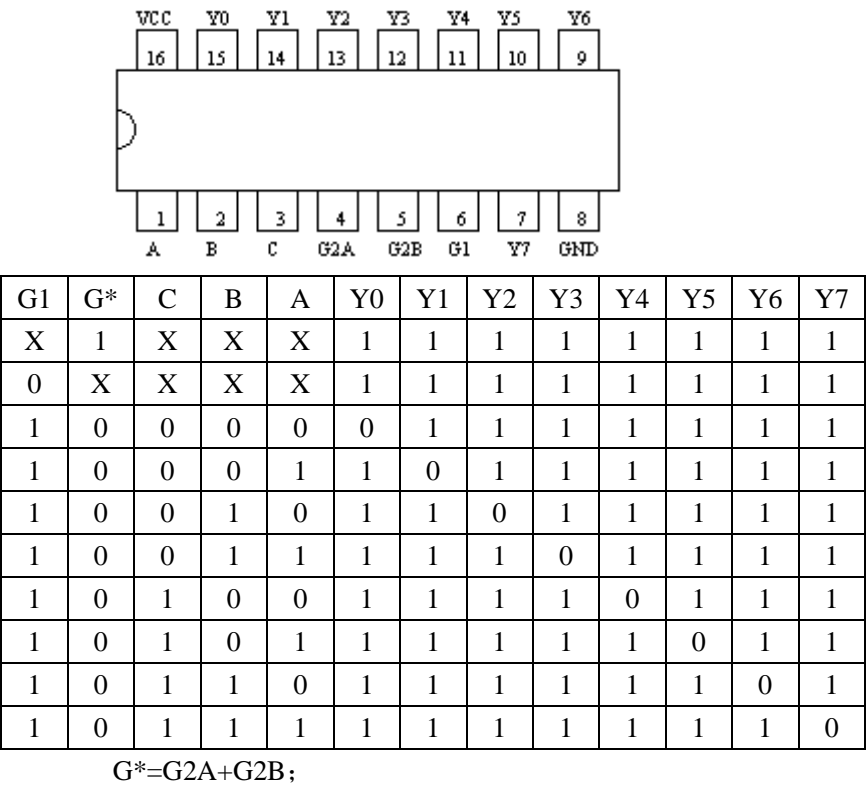
输入				输出			
R0 (1)	R0 (2)	S9 (1)	S9 (2)	QA	QB	QC	QD
1	1	0	X	0	0	0	0
1	1	X	0	0	0	0	0
X	X	1	1	1	0	0	1
X	0	X	0	计数			
0	X	0	X	计数			
0	X	X	0	计数			
X	0	0	0	计数			

15, 74LS112 （双 J-K 触发器）

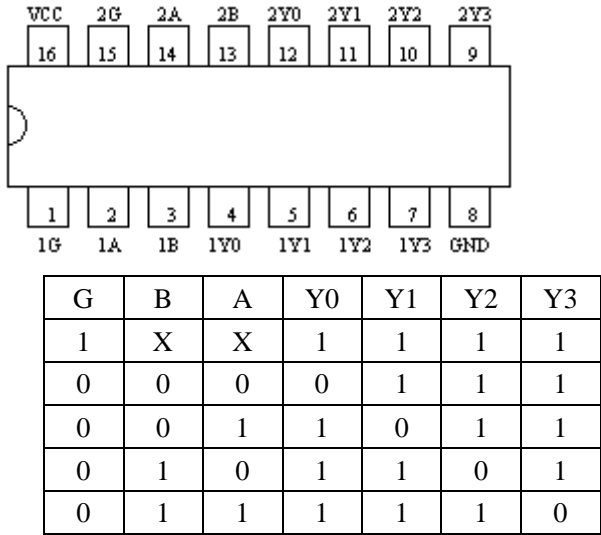


PRE	CLR	CLK	J	K	Q	/Q
0	1	X	X	X	1	0
1	0	X	X	X	0	1
0	0	X	X	X	1*	1*
1	1	↓	0	0	1	0
1	1	↓	1	0	0	1
1	1	↓	0	1	Qo	/Qo
1	1	↓	1	1	Toggle	
1	1	1	X	X	Qo	/Qo

16, 74LS138 (三-八线译码器)

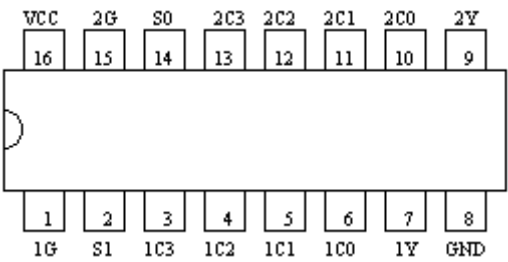


17, 74LS139 (二-四线译码器)



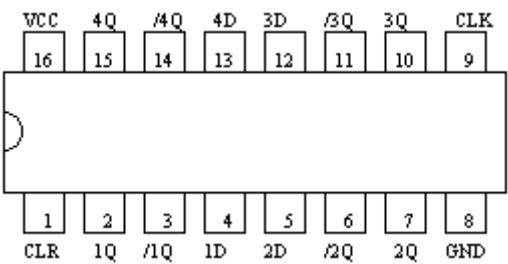


18, 74LS153 （双四选一数据选择器）



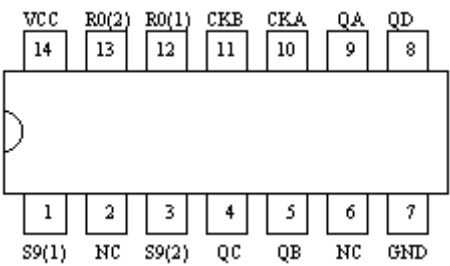
S1	S0	G	Y
X	X	1	1
0	0	0	C0
0	1	0	C1
1	0	0	C2
1	1	0	C3

19, 74LS175 （四 D 触发器）



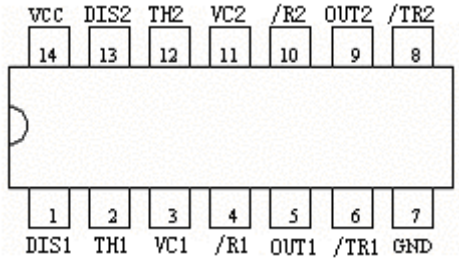
CLR	CLK	D	Q	/Q
0	X	X	0	1
1	↑	1	1	0
1	↑	0	0	1
1	0	X	Qo	/Qo

20,74LS290（二-五-十进制计数器）

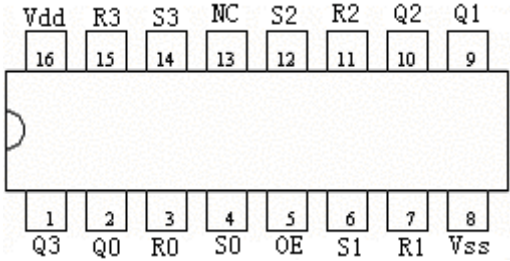


输入				输出			
R0 (1)	R0 (2)	S9 (1)	S9 (2)	QA	QB	QC	QD
1	1	0	X	0	0	0	0
1	1	X	0	0	0	0	0
X	X	1	1	1	0	0	1
X	0	X	0	计数			
0	X	0	X	计数			
0	X	X	0	计数			
X	0	0	0	计数			

21，556 时钟芯片

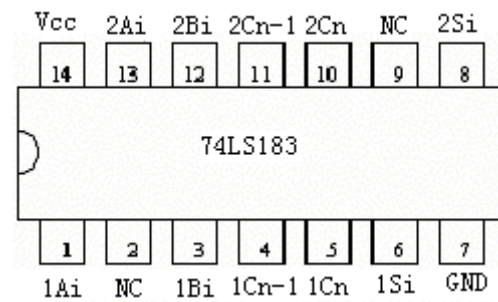


22，CD4043 （三态输出四 R-S 触发器）

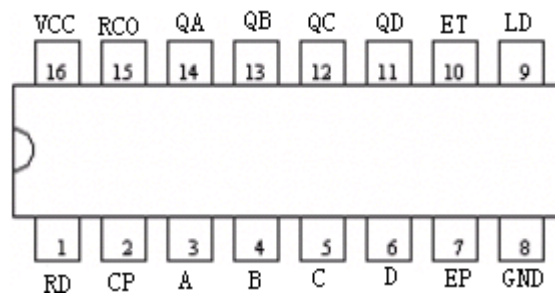


OE	S	R	Q
0	X	X	Z
1	0	0	保持不变
1	1	0	1
1	0	1	0
1	1	1	无效

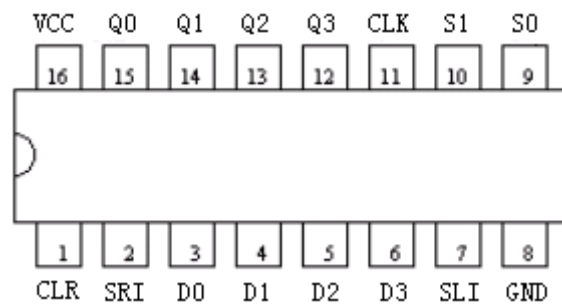
23, 74LS183 全加器



24, 74LS161 集成计数器 (4 位二进制加法)



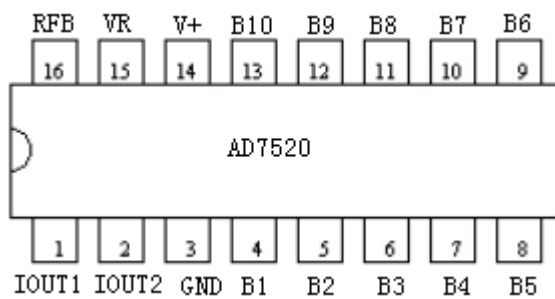
25, 74LS194 4 位双向移位寄存器



26, CD4511 -BCD 码—七段译码器/驱动器



27, 10 位 D/A 转换器 AD7520



附录 B DICE-SEM II 实验箱 ISP1032 与 EP1K10 引脚对照表

实验箱 ISP1032 引脚	MAX+plus II 软件 EP1K10 引脚	实验箱 ISP1032 引脚	MAX+plus II 软件 EP1K10 引脚
3	131	47	59
4	130	48	60
5	133	49	62
6	132	50	63
7	136	51	64
8	135	52	65
9	138	53	68
10	137	54	67
11	8	55	70
12	9	56	69
13	13	57	73
14	17	58	72
15	18	59	79
16	19	60	78
17	21	CLK0 (20)	126
18	23	CLK1 (61)	125
26	26	CLK2 (63)	55
27	27	CLK3 (62)	54
28	29	68	81
29	30	69	80
30	32	70	86
31	33	71	83
32	36	72	88
33	37	73	87
34	38	74	91
35	39	75	90
36	41	76	95
37	43	77	92
38	44	78	117
39	46	79	96
40	47	80	119
41	48	81	118
45	49	82	121
46	51	83	120