

上海大学 计算机学院
《数字逻辑实验》报告 5

姓名 _____ 学号 _____

时间 周四 9-11 机位 _____ 指导教师 欧阳山

实验名称: 记忆元件测试

一 实验目的

1. 掌握 R-S 触发器、D 触发器和 JK 触发器的工作原理及其相互转换。
2. 学会用 74LS00 芯片构成钟控 RS 触发器。
3. 学会在 Quartus II 上用 D 触发器实现 JK 触发器。

二 实验原理

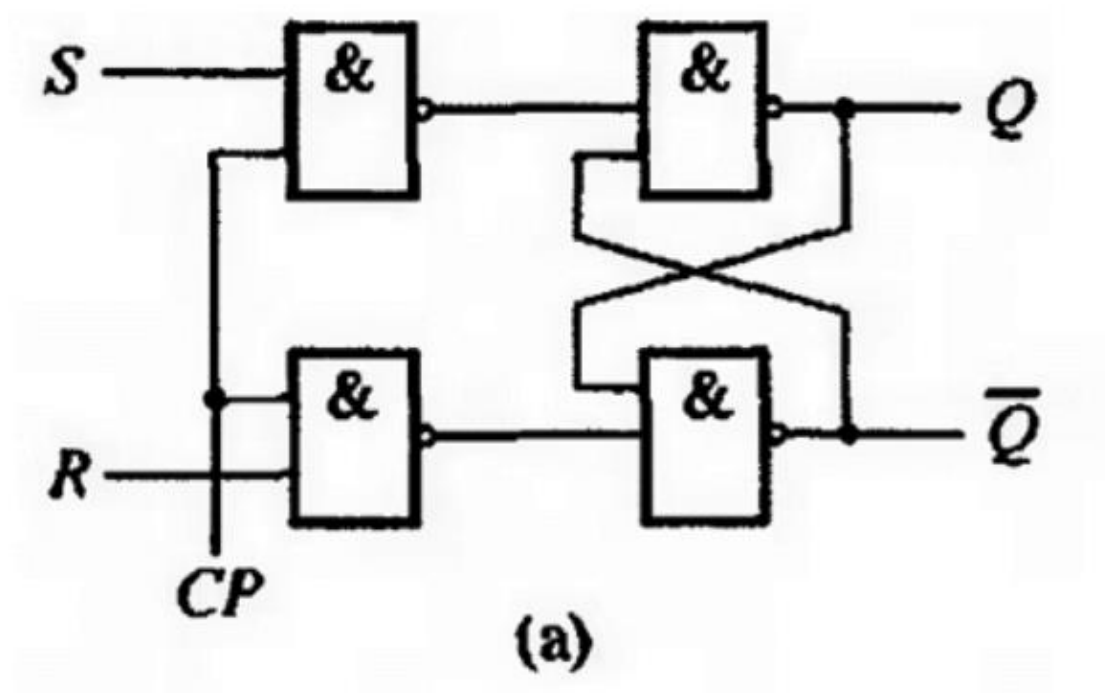
1. 按照<数字逻辑实验指导书>p. 实验-42 图 7-5 构成钟控 RS 触发器。
2. 实现 D 触发器按照<数字逻辑实验指导书> p.实验-50
3. 《数字逻辑实验指导书》 p.实验-49 实现用 D 触发器实现 JK 触发器。

三 实验内容

1. 实验任务一——钟控 RS 触发器测试

(1) 实验步骤

- ①. 根据逻辑图连线，将 74LS00 的输入引脚 1A 和 2A 分别连接到 K16 和 K15，输入引脚 1B 和 2B 同时连接到连续脉冲 1H，输出引脚 1Y 和 2Y 分别连接到输入引脚 4B 和 3B，输入引脚 4A 连接到输出引脚 3Y，输入引脚 3A 连接到输出引脚 4Y，最后再将输出引脚 3Y 和 4Y 分别连接到数码管 LED6 和 LED5。



图表 1 逻辑图

- ②. 拨动开关，观察数码管的变化，填入钟控 RS 触发器的输入与输出状态记录表。

(2) 实验现象

表格 1 实验现象

输入		现态	次态
R	S	Q^n	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	随机
1	1	1	随机

(3) 实验记录、分析与处理

表格 2 输入输出状态表

现态	次态			
	RS=00	RS=01	RS=10	RS=11
0	0	1	0	d
1	1	1	0	D

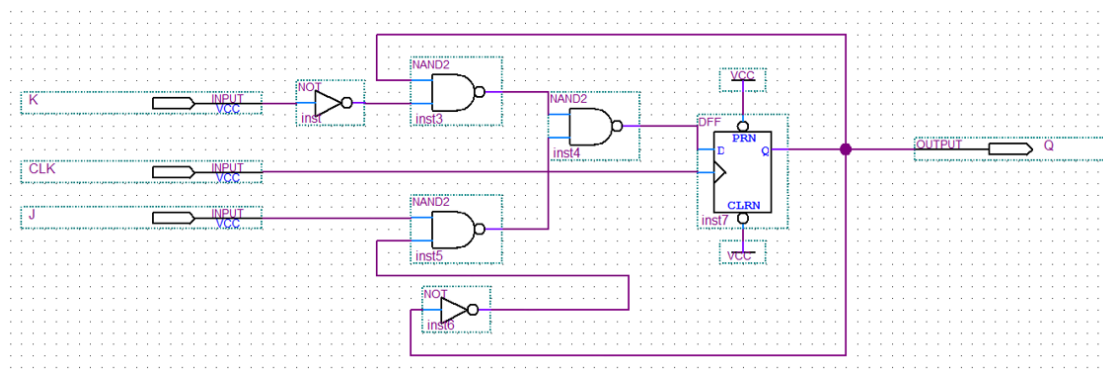
(4) 实验结论

通过 74LS00 作为搭建平台，我们成功地实现了一个钟控 RS 触发器。实验结果表明，电路在各种输入条件下都能输入正确的结果，符合预期行为。

2. 实验任务二——用 D 触发器实现 JK 触发器的功能

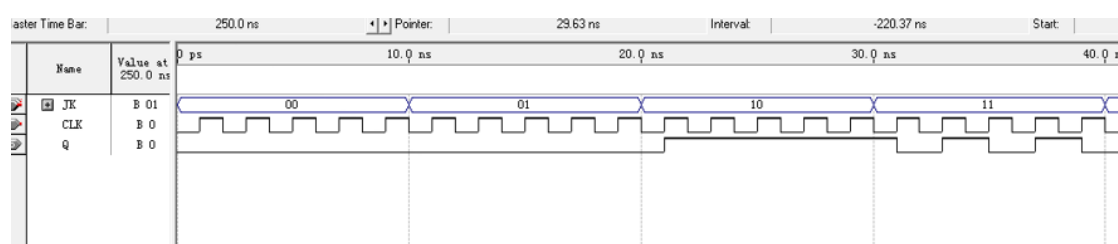
(1) 实验步骤

①. 用 Quartus II 设计出如下电路：



图表 2 电路图

- ②. 选择器件型号，定义 FPGA 的 IO 管脚功能，如定义输入端 J、K 为 17、18，时钟 CP 端为 19，输出端 Q 为 21；
- ③. 用模拟软件对步骤 1 创建的图像文件进行模拟测试，并用编译工具编译；



图表 3 波形图

- ④. 连接数据线，下载设计的电路到 FPGA；
- ⑤. 根据附录 B 中的 DICE-SEM II 实验箱与 EP1K10、EP1K30 引脚对照表，输入端 J、K 依次对应 17、18，将输入端连接开关；时钟 CP 对应 19；输出端 Q 对应 21，将输出端发光二极管。用开关和发光二极管测试 FPGA 的功能；
- ⑥. 拨动开关，观察二极管的变化

(2) 实验现象

- ①. 当时钟信号没有到来时，无论 J、K 输入何值，数码管的状态总保持不变。
- ②. 当时钟信号到来时：

- 如果 J=0、K=0，则数码管保持原来的状态不变。
- 如果 J=0、K=1，则数码管置为 0 状态。
- 如果 J=1、K=0，则数码管置为 1 状态。
- 如果 J=1、K=1，则数码管处于翻转状态。

(3) 实验记录、分析与处理

输入		现态	次态	功能说明
J	K	Q^n	Q^{n+1}	
0	0	0	0	保持不变
0	0	1	1	
0	1	0	0	置 0
0	1	1	0	
1	0	0	1	置 1
1	0	1	1	
1	1	0	1	翻转
1	1	1	0	

(4) 实验结论

通过使用 Quartus II 设计工具，我们成功地用 D 触发器设计并测试了一个 JK 触发器。

实验结果表明，电路在各种输入条件下都能输入正确的结果，符合预期行为。

四 建议和体会

1. 通过数字逻辑实验理论书和实验书了解了触发器的原理和功能，并掌握了通过真值表完成触发器之间的转化。
2. 在实验中，我首先完成了时钟控 RS 模拟器的搭建，我还帮助其他同学解决了问题，并从同学的失误中学习到了接线和检查的重要性。

3. 我意识到实验中难免会遇到问题，如芯片或按钮故障，因此我们必须具备随机应变的能力，通过不断试错来达成目标。同时，我也学会了如何安全地接线和检查电路，以保护芯片不受损害。