Санкт-Петербургский Политехнический Университет Петра Великого Институт Компьютерных наук и технологий Кафедра компьютерных систем и программных технологий

Лабораторная работа 7 Задание 2

Предмет: «Проектирование реконфигурируемых гибридных вычислительных систем» **Тема: «Конвейеризация вычислений»**

Студент: Ерниязов Т.Е. Гр. № 3540901/81502

Преподаватель: Антонов А.П.

Оглавление

1.	Задание	4
2.	Решение 1 без использования директивы	5
2.1.	Исходный коды	5
2.2.	Моделирование	6
2.3.	Синтез	6
2	4. Использование ресурсов	7
2.5.	C/RTL моделирование	8
2.6.	Директивы	8
3.	Второе решение	9
3	1. Применение директивы Pipeline	9
3	2. Моделирование	9
3	3. Синтез	9
3	4. C/RTL моделирование	11
4	Третье решение	11
4	1. Изменение директив	11
4	2. Моделирование	11
4	3. Синтез	12
4	4. С\RTL Моделирование	13
5	Четвертое решение	14
5	1. Изменение директив	14
5	2. Моделирование	14
5	3. Синтез	14
5	4. С\RTL Моделирование	16

- 1. Задание
- Создать проект lab7_2
- Микросхема: ха7а12tcsg325-1q
- Создать функцию на основе приведенных ниже слайдов.

```
void foo(in1[][], in2[][], ...) {
...
L1:for(i=1;i<N;i++) {
    L2:for(j=0;j<M;j++) {
#pragma AP PIPELINE
    out[i][j] = in1[i][j] + in2[i][j];
    }
}
}
ladder, 3 accesses
```

- Создать тест lab7_2_test.c для проверки функций выше.
 - о осуществить моделирование (с выводом результатов в консоль)
- Сделать свой solution (для каждого варианта задания директивы и для варианта без директивы)
 - о задать: clock period 10; clock_uncertainty 0.1
 - о осуществить синтез
 - привести в отчете:
 - performance estimates=>summary
 - utilization estimates=>summary
 - scheduler viewer (выполнить Zoom to Fit)
 - На скриншоте показать Latency
 - На скриншоте показать Initiation Interval
 - resource viewer (выполнить Zoom to Fit)
 - о На скриншоте показать Latency
 - На скриншоте показать Initiation Interval
 - Осуществить С|RTL моделирование (для каждого варианта задания директивы)
 - Привести результаты из консоли
 - Открыть временную диаграмму (все сигналы)
 - Отобразить два цикла обработки на одном экране
 - о На скриншоте показать Latency
 - о На скриншоте показать Initiation Interval
- Выводы
 - о Привести обобщенную таблицу зависимости utilization и performance от каждого варианта задания директивы и для варианта без директивы.
 - Объяснить отличие процедур обращения к элементам массива для каждого случая

2. Решение 1 без использования директивы

2.1. Исходный коды

Исходный код функции:

Рис. 2.1.1 source code

Исходный код теста:

Рис. 2.1.2 test code

2.2. Моделирование

По результатам моделирование, приведённым ниже, видно, что устройство проходит тесты.

```
Vivado HLS Console
   Generating csim.exe
Expected Actual
res[0][0]: 6 == out[0][0]: 6
res[0][1]: 7 == out[0][1]: 7
res[0][2]: 8 == out[0][2]: 8
res[1][0]: 8 == out[1][0]: 8
res[1][1]: 9 == out[1][1]: 9
res[1][2]: 10 == out[1][2]: 10
res[2][0]: 8 == out[2][0]: 8
res[2][1]: 9 == out[2][1]: 9
res[2][2]: 10 == out[2][2]: 10
     -----Pass!----
INFO: [SIM 211-1] CSim done with 0 errors.
INFO: [SIM 211-3] ************** CSIM finish ************
Finished C simulation.
```

Рис. 2.2 modeling results

2.3. Синтез

На изображении видно, что полученная задержка укладывается в заданное значение. Оценочное время выполнения одного такта 7нс, а latency составляет 25 тактов.

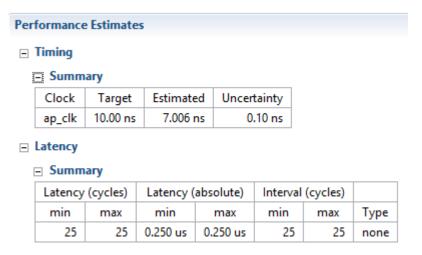


Рис. 2.3 performance estimates

2.4. Использование ресурсов

Оценка использования ресурсов показывает, что будут использованы 150 LUT и 81 триггер.

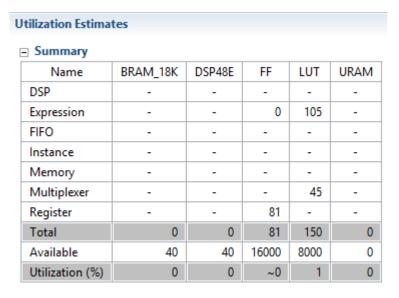


Рис. 2.4.1 Utilization estimates



Рис. 2.4.2. Module hierarchy

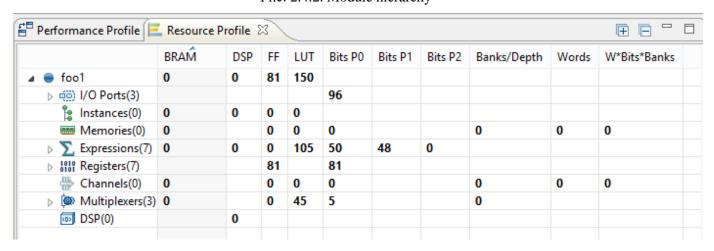


Рис. 2.4.3 Resource profile

Ниже приводится таблица использования ресурсов на каждом шаге выполнения.

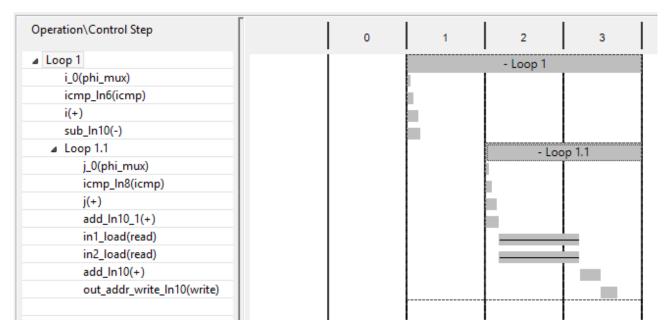


Рис. 2.4.4. Operation\Control Step

2.5. C/RTL моделирование

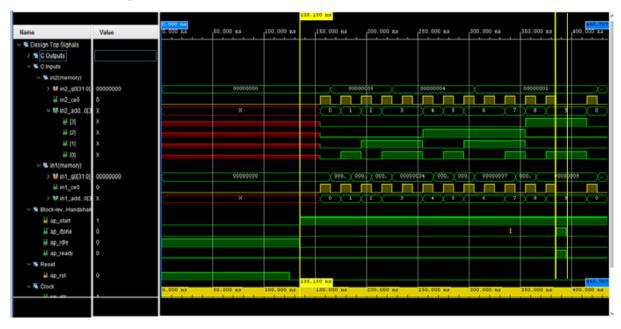


Рис. 2.5. modeling result

2.6. Директивы

В данном решение не было применено никаких директив.

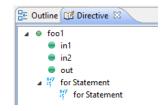


Рис. 2.6. directives

3. Второе решение

3.1. Применение директивы Pipeline

В данном решении применена директива конвейеризации внутреннего цикла.

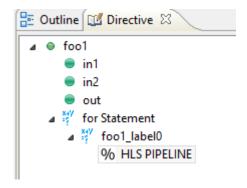


Рис.3.1 Directive Pipeline

3.2. Моделирование

По результатам моделирование, приведённым ниже, видно, что устройство проходит тесты.

Рис.3.2 Modeling result

3.3. Синтез

Ниже приведены оценки производительности. По ним видно, что оценочное время выполнения одного такта 8нс, а latency составляет 11 тактов.

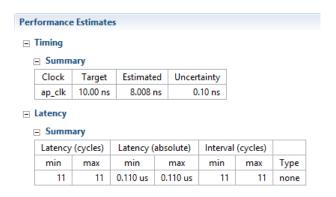


Рис. 3.3.1. Performance estimates

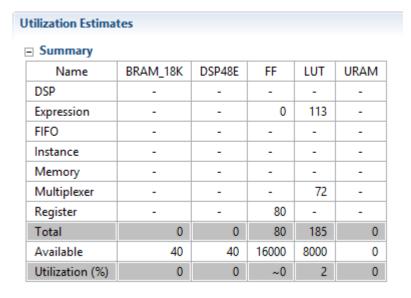


Рис. 3.3.2. Utilization estimates

Оценка использования ресурсов показывает, что будут использованы 185 LUT и 80 триггеров.

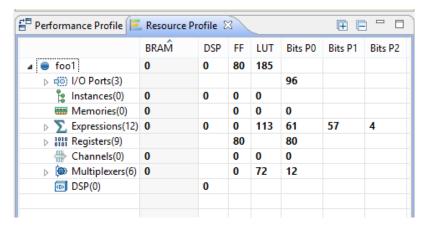


Рис. 3.3.3. Resource profile

Ниже приводится таблица использования ресурсов на каждом шаге выполнения.

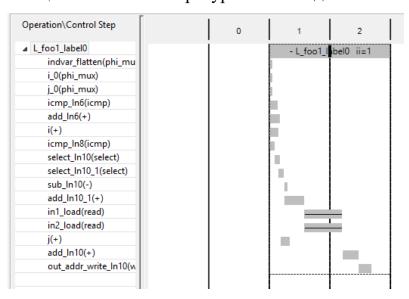


Рис. 3.3.4. Operation\Control Step

3.4. C/RTL моделирование

Результат С|RTL моделирования приведён ниже. По нему видно, что latency составляет 11 тактов, а II - 12 тактов.

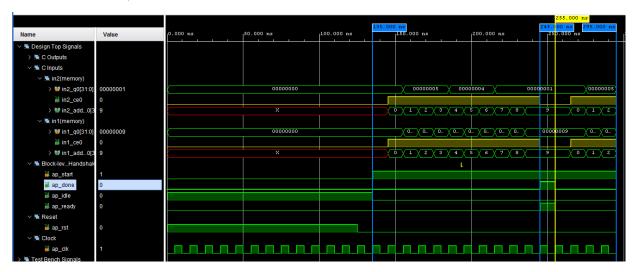


Рис. 3.4. modeling result

4. Третье решение

4.1. Изменение директив

В данном решение применена директива конвейеризации внешнего цикла.

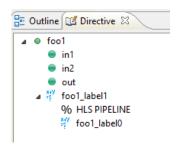


Рис. 4.1. Changing a directive

4.2. Моделирование

По результатам моделирование, приведённым ниже, видно, что устройство проходит тесты.

Рис. 4.2. Modeling result

4.3. Синтез

Ниже приведены оценки производительности. По ним видно, что оценочное время выполнения одного такта 7нс, а latency составляет 8 тактов.

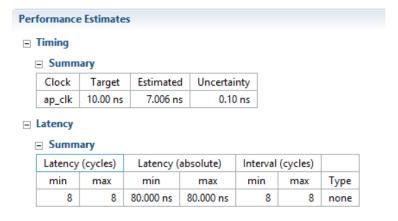


Рис. 4.3.1. Performance estimates

Оценка использования ресурсов показывает, что будут использованы 242 LUT и 208 триггеров.

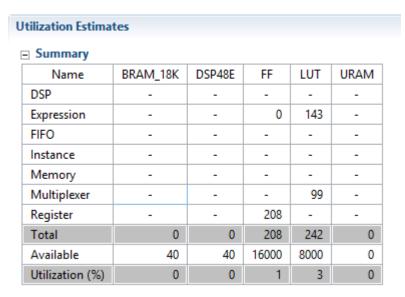


Рис. 4.3.2. Utilization estimates

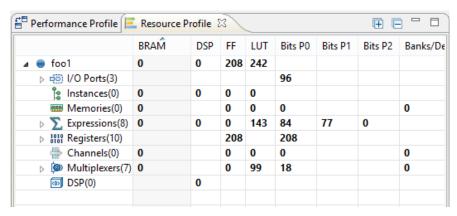


Рис. 4.3.3. Resource profile

Ниже приводится таблица использования ресурсов на каждом шаге выполнения.

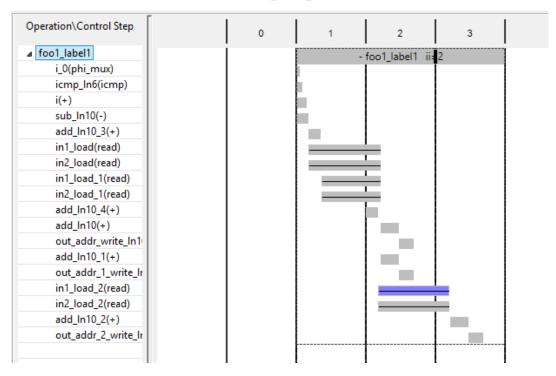


Рис. 4.3.4. Operation\Control step

4.4. С\RTL Моделирование

Результат С|RTL моделирования приведён ниже. По нему видно, что latency составляет 8 тактов, а II - 9 тактов.

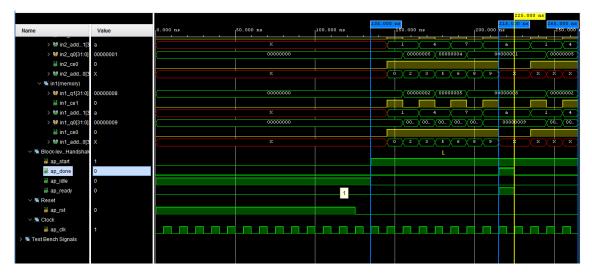


Рис. 4.4. Modeling result

5. Четвертое решение

5.1. Изменение директив

В данном решении применена директива конвейеризации всего блока.

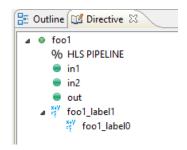


Рис. 5.1. Changing a directive

5.2. Моделирование

По результатам моделирование, приведённым ниже, видно, что устройство проходит тесты.

```
INFO: [APCC 202-1] APCC is done.
 Generating csim.exe
Expected Actual
res[0][0]: 6 == out[0][0]: 6
res[0][1]: 7 == out[0][1]: 7
res[0][2]: 8 == out[0][2]: 8
res[1][0]: 8 == out[1][0]: 8
res[1][1]: 9 == out[1][1]: 9
res[1][2]: 10 == out[1][2]: 10
res[2][0]: 8 == out[2][0]: 8
res[2][1]: 9 == out[2][1]: 9
res[2][2]: 10 == out[2][2]: 10
-----Pass!-----
INFO: [SIM 211-1] CSim done with 0 errors.
INFO: [SIM 211-3] *************** CSIM finish ************
Finished C simulation.
```

Рис. 5.2. Modeling result

5.3. Синтез

Ниже приведены оценки производительности. По ним видно, что оценочное время выполнения одного такта 7нс, а latency составляет 5 тактов.

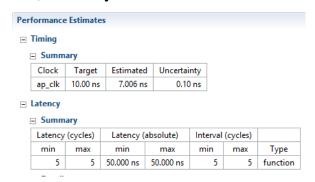


Рис. 5.3.1. Performance estimates

Оценка использования ресурсов показывает, что будут использованы 343 LUT и 7 триггеров.

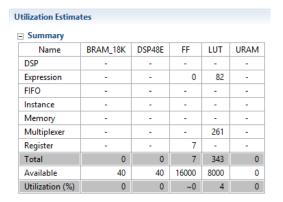


Рис. 5.3.2. Utilization estimates

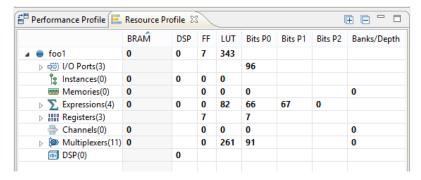


Рис. 5.3.3. Resource profile

Ниже приводится таблица использования ресурсов на каждом шаге выполнения.

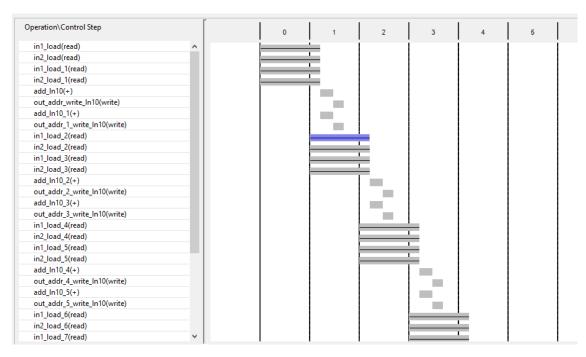


Рис. 5.3.4. Operation\Control step

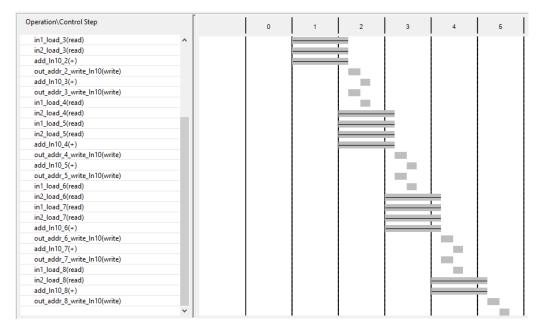


Рис. 5.3.5. Operation\Control step continue

5.4. С\RTL Моделирование

Результат С|RTL моделирования приведён ниже. По нему видно, что latency составляет 5 тактов, а II - 6 тактов.

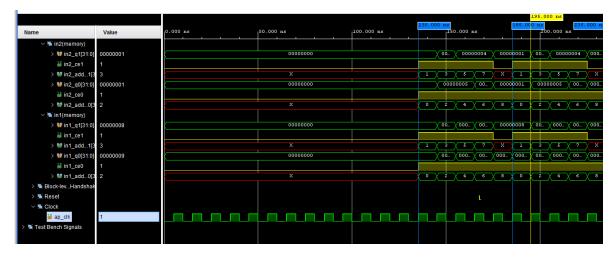


Рис. 5.4. Modeling result

6. Выводы

Как видно по сравнению, приведённому ниже, чем выше в иерархии находится директива PIPELINE, тем выше уровень параллелизма, выше пропускная способность и выше количество требуемых аппаратных ресурсов для реализации проекта.

Timing														
Clock				solution1			solution2		solution3		solution4			
ap_clk Target		10.00 ns		ns	10.00 ns		10.00 ns		10.00 ns					
	Estimated 7		7.	7.006 ns		8.008 ns		7.006 ns		ns	7.006	ns		
Latenc	y													
				solut		ion1	solution		2	solution3		solution4		
Latency (cycles)			mi	n 25			11	1		8	8		5	
			ma	max 25			11	11		8		5		
Latency (absolute)			mi	min (0.250 us		0.110 us		80.000 ns		50.000 ns		
			ma	max		0.250 us		0.110 us		80.000 ns		50.000 ns		
Interval (cycles)			min		25		11			8		5		
			ma	max 2		25		11		8		5		
tilization	Feti	mates												
umzauon	LSU							_						
		solution			lution		solution				4			
BRAM_18	K	0	,		0		0		0					
DSP48E		0		0		0	0		0					
FF		81		80		20	208		7					
LUT	150			185		242		343						
JRAM 0			0		0		0							