

Санкт-Петербургский Политехнический Университет Петра Великого
Институт Компьютерных наук и технологий
Кафедра компьютерных систем и программных технологий

Лабораторная работа 7 Задание 3

Предмет: «Проектирование реконфигурируемых гибридных вычислительных систем»

Тема: «Конвейеризация вычислений»

Студент: Ерниязов Т.Е.
Гр. № 3540901/81502

Преподаватель: Антонов А.П.

Санкт-Петербург
2019

Оглавление

1. Задание	3
2. Первое решение без конвейеризации	4
2.1. Исходный код.....	4
2.2. Создание решения	4
2.3. Директивы	5
2.4. Моделирование	5
2.5. Синтез	5
2.6. Использование ресурсов	6
2.7. C/RTL моделирование.....	7
3. Второе решение.....	7
3.1. Директивы	7
3.2. Моделирование	8
3.3. Синтез	8
3.4. C/RTL моделирование.....	9
4. Третье решение	10
4.1. Директивы	10
4.2. Моделирование	10
4.3. Синтез	10
4.4. C\RTL Моделирование.....	12
5. Выводы	13

1. Задание

- Создать проект lab7_3
- Микросхема: xa7a12tcs325-1q
- Создать функцию на основе приведенного ниже слайда.

```
void foo_top (in1, in2, *out1_data...){  
    accum=0;  
    ...  
L1:for(i=1;i<N;i++){  
    accum = accum + in1 + in2;  
    }  
  
    *out1_data = accum;  
}
```

- Создать тест lab7_3_test.c для проверки функций выше.
 - осуществить моделирование (с выводом результатов в консоль)
- Сделать свой solution (для варианта без конвейеризации, с конвейеризацией, с конвейеризацией и rewind)
 - задать: clock period 10; clock_uncertainty 0.1
 - осуществить синтез
 - привести в отчете:
 - performance estimates=>summary
 - utilization estimates=>summary
 - scheduler viewer (выполнить Zoom to Fit)
 - На скриншоте показать Latency
 - На скриншоте показать Initiation Interval
 - resource viewer (выполнить Zoom to Fit)
 - На скриншоте показать Latency
 - На скриншоте показать Initiation Interval
 - Осуществить C|RTL моделирование (для каждого варианта задания директивы)
 - Привести результаты из консоли
 - Открыть временную диаграмму (все сигналы)
 - Отобразить два цикла обработки на одном экране
 - На скриншоте показать Latency
 - На скриншоте показать Initiation Interval
 - Выводы
 - Привести обобщенную таблицу зависимости utilization и performance от каждого варианта: без конвейеризации, с конвейеризацией, с конвейеризацией и rewind.

Объяснить отличие процедур обращения к элементам массива для каждого случая

2. Первое решение без конвейеризации

2.1. Исходный код

Исходный код функции:

```
1  #define N 5
2
3  void foo7_3(int in1, int in2, int* out)
4  {
5      int i;
6      static int acc = 0;
7      for (i = 0; i < N; i++) {
8          acc = acc + in1 + in2;
9      }
10
11     *out = acc;
12 }
13
```

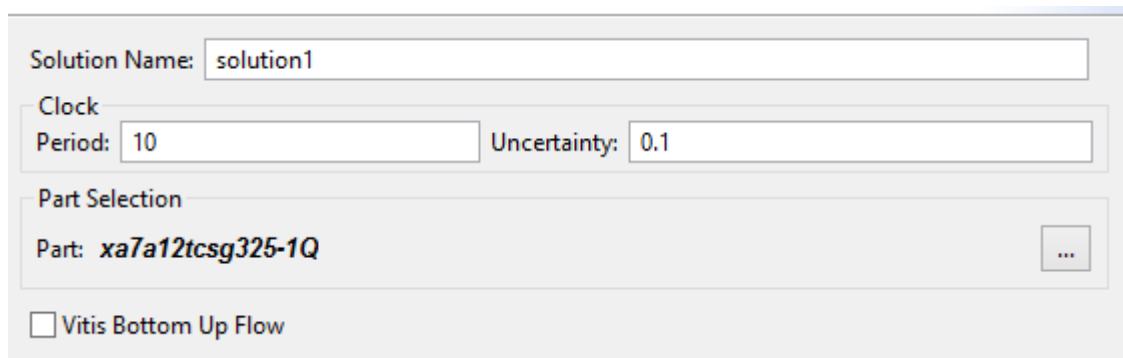
Рис. 2.1.1 source code

Исходный код теста:

```
1  #include <stdio.h>
2
3  int main()
4  {
5      int in1 = 6;
6      int in2 = 7;
7      int out = 0;
8      int* out_p = &out;
9      int expected = 65;
10     foo7_3(in1, in2, out_p);
11
12     fprintf(stdout, "Expected   Actual\n");
13     fprintf(stdout, "%d == %d", out, expected);
14
15     if (out == *out_p) {
16         fprintf(stdout, "-----Pass!-----\n");
17         return 0;
18     } else {
19         fprintf(stderr, "-----Fail!-----\n");
20         return 1;
21     }
22 }
23
```

Рис. 2.1.2 test code

2.2. Создание решения



The screenshot shows the Vitis Solution configuration window. It includes a text field for 'Solution Name' with the value 'solution1'. Below this is a 'Clock' section with 'Period' set to '10' and 'Uncertainty' set to '0.1'. The 'Part Selection' section shows 'Part: xa7a12tcsq325-1Q' with a button to open the part selection dialog. At the bottom, there is a checkbox labeled 'Vitis Bottom Up Flow' which is currently unchecked.

Рис. 2.2 Solution

2.3. Директивы

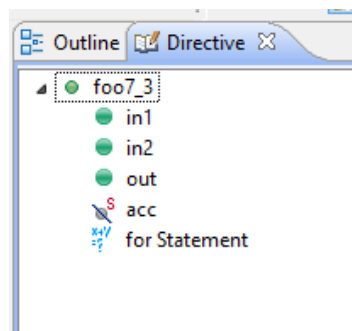


Рис. 2.3 Directives

2.4. Моделирование

По результатам моделирование, приведённым ниже, видно, что устройство проходит тесты.

```
Compiling(apcc) ../../test7_3.c in debug mode
INFO: [HLS 200-10] Running 'C:/Xilinx/Vivado/2019.2/bin/unwrapped/win64.o/apcc.exe'
INFO: [HLS 200-10] For user 'Misha' on host 'mikhail' (Windows NT_amd64 version 6.2)
INFO: [HLS 200-10] In directory 'C:/Users/Misha/Desktop/university/___maga/3sem/anton'
INFO: [APCC 202-3] Tmp directory is apcc_db
INFO: [APCC 202-1] APCC is done.
Generating csim.exe
Expected Actual
65 == 65-----Pass!-----
INFO: [SIM 211-1] CSim done with 0 errors.
INFO: [SIM 211-3] ***** CSIM finish *****
Finished C simulation.
```

Рис. 2.4 modeling results

2.5. Синтез

На изображении видно, что полученная задержка укладывается в заданное значение. Оценочное время выполнения одного такта 2.7нс, а latency составляет 6 тактов.

Performance Estimates

Timing

Summary

Clock	Target	Estimated	Uncertainty
ap_clk	10.00 ns	2.702 ns	0.10 ns

Latency

Summary

Latency (cycles)		Latency (absolute)		Interval (cycles)		
min	max	min	max	min	max	Type
6	6	60.000 ns	60.000 ns	6	6	none

Рис. 2.5 performance estimates

2.6. Использование ресурсов

Оценка использования ресурсов показывает, что будут использованы 123 LUT и 69 триггеров.

Utilization Estimates					
Summary					
Name	BRAM_18K	DSP48E	FF	LUT	URAM
DSP	-	-	-	-	-
Expression	-	-	0	99	-
FIFO	-	-	-	-	-
Instance	-	-	-	-	-
Memory	-	-	-	-	-
Multiplexer	-	-	-	24	-
Register	-	-	69	-	-
Total	0	0	69	123	0
Available	40	40	16000	8000	0
Utilization (%)	0	0	~0	1	0

Рис. 2.6.1 Utilization estimates

Module Hierarchy							
	Negative Slack	BRAM	DSP	FF	LUT	Latency	Interval
foo7_3	-	0	0	69	123	6	7

Рис. 2.6.2. Module hierarchy

Resource Profile									
	BRAM	DSP	FF	LUT	Bits P0	Bits P1	Bits P2	Banks/Depth	Words
foo7_3	0	0	69	123					
I/O Ports(3)					96				
Instances(0)	0	0	0	0					
Memories(0)	0	0	0	0	0			0	0
Expressions(4)	0	0	0	99	70	68	0		
Registers(4)			69	69					
Channels(0)	0		0	0	0			0	0
Multiplexers(2)	0		0	24	4			0	
DSP(0)		0							

Рис. 2.6.3 Resource profile

Performance Profile					
	Pipelined	Latency	Iteration Latency	Initiation Interval	Trip count
foo7_3	-	6	-	7	-
Loop 1	no	5	1	-	5

Рис. 2.6.4 Performance profile

Ниже приводится таблица использования ресурсов на каждом шаге выполнения.

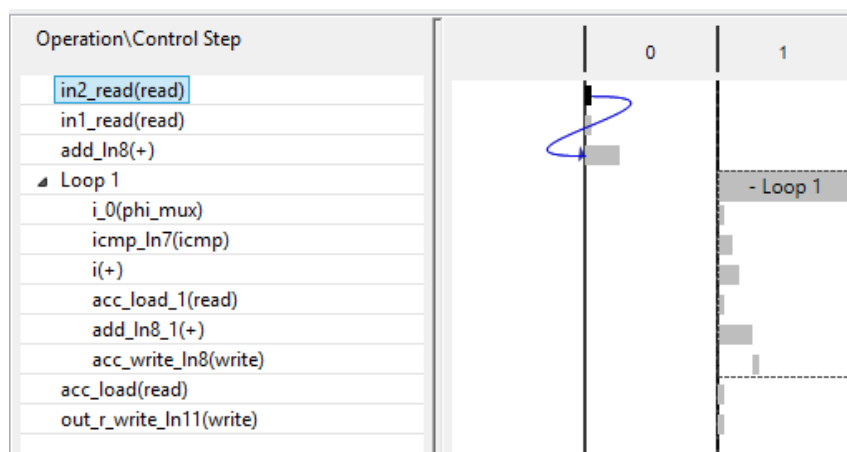


Рис. 2.6.5. Operation\Control Step

2.7. C/RTL моделирование

На временной диаграмме видно, что latency занимает 6 тактов, а П – 7 тактов.

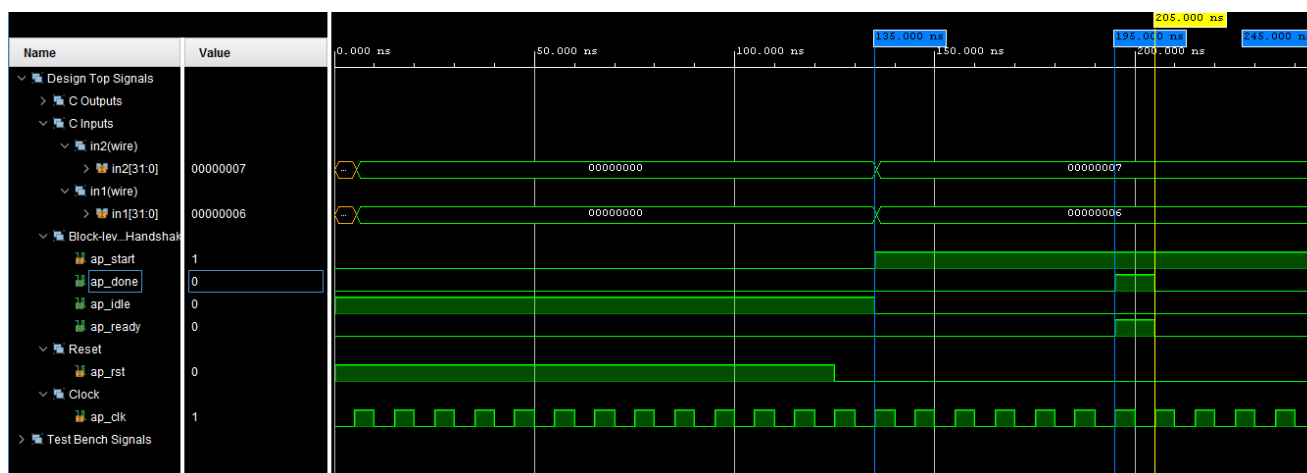


Рис. 2.7. modeling result

3. Второе решение

3.1. Директивы

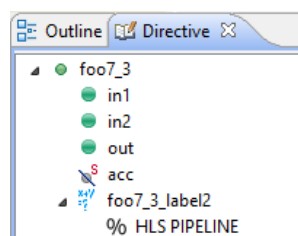


Рис.3.1 Directives

3.2. Моделирование

По результатам моделирование, приведённым ниже, видно, что устройство проходит тесты.

```
Compiling(apcc) ../../lab7_3.c in debug mode
INFO: [HLS 200-10] Running 'C:/Xilinx/Vivado/2019.2/bin/unwrapped/win64.o/apcc.exe'
INFO: [HLS 200-10] For user 'Misha' on host 'mikhail' (Windows NT_amd64 version 6.2)
INFO: [HLS 200-10] In directory 'C:/Users/Misha/Desktop/university/___maga/3sem/antor
INFO: [APCC 202-3] Tmp directory is apcc_db
INFO: [APCC 202-1] APCC is done.
Generating csim.exe
Expected Actual
65 == 65-----Pass!-----
INFO: [SIM 211-1] CSim done with 0 errors.
INFO: [SIM 211-3] ***** CSIM finish *****
Finished C simulation.
```

Рис.3.2 Modeling result

3.3. Синтез

Ниже приведены оценки производительности. По ним видно, что оценочное время выполнения одного такта 2.7нс, а latency составляет 7 тактов.

Performance Estimates

Timing

Summary

Clock	Target	Estimated	Uncertainty
ap_clk	10.00 ns	2.702 ns	0.10 ns

Latency

Summary

Latency (cycles)		Latency (absolute)		Interval (cycles)		Type
min	max	min	max	min	max	
7	7	70.000 ns	70.000 ns	7	7	none

Рис. 3.3.1. Performance estimates

Utilization Estimates					
Summary					
Name	BRAM_18K	DSP48E	FF	LUT	URAM
DSP	-	-	-	-	-
Expression	-	-	0	99	-
FIFO	-	-	-	-	-
Instance	-	-	-	-	-
Memory	-	-	-	-	-
Multiplexer	-	-	-	30	-
Register	-	-	70	-	-
Total	0	0	70	129	0
Available	40	40	16000	8000	0
Utilization (%)	0	0	~0	1	0

Рис. 3.3.2. Utilization estimates

Оценка использования ресурсов показывает, что будут использованы 129 LUT и 70 триггеров.

	BRAM	DSP	FF	LUT	Bits P0	Bits P1	Bits P2	Banks
foo7_3	0	0	70	129				
I/O Ports(3)					96			
Instances(0)	0	0	0	0				
Memories(0)	0		0	0	0			0
Expressions(4)	0	0	0	99	70	68	0	
Registers(4)			70		70			
Channels(0)	0		0	0	0			0
Multiplexers(2)	0		0	30	4			0
DSP(0)		0						

Рис. 3.3.3. Resource profile

	Pipelined	Latency	Iteration Latency	Initiation Interval	Trip count
foo7_3	-	7	-	8	-
foo7_3_label2	yes	5	1	1	5

Рис. 3.3.4. Performance profile

Ниже приводится таблица использования ресурсов на каждом шаге выполнения.

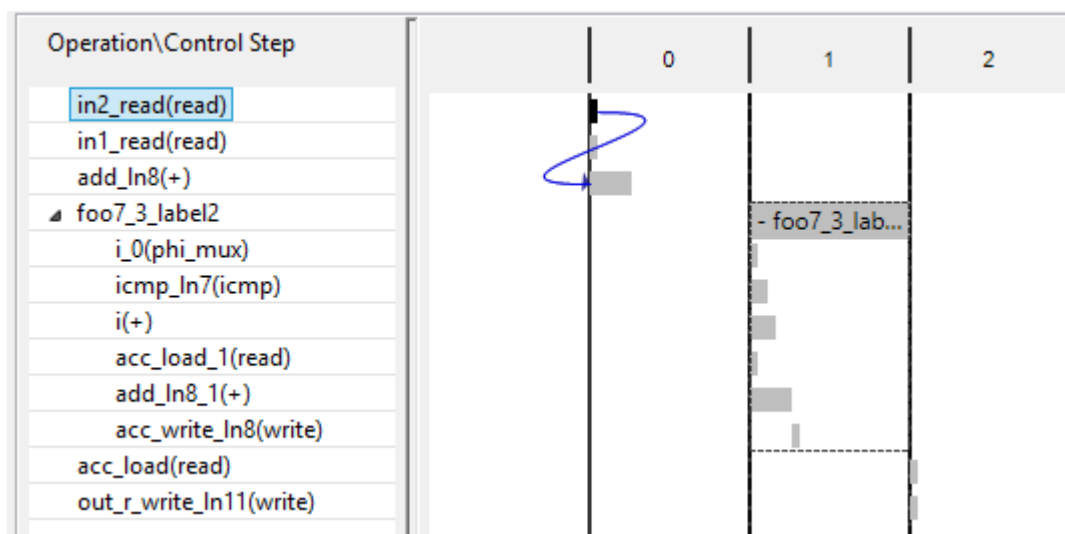


Рис. 3.3.4. Operation\Control Step

3.4. C/RTL моделирование

Результат C/RTL моделирования приведён ниже. По нему видно, что latency составляет 7 тактов, а II – 8 тактов.

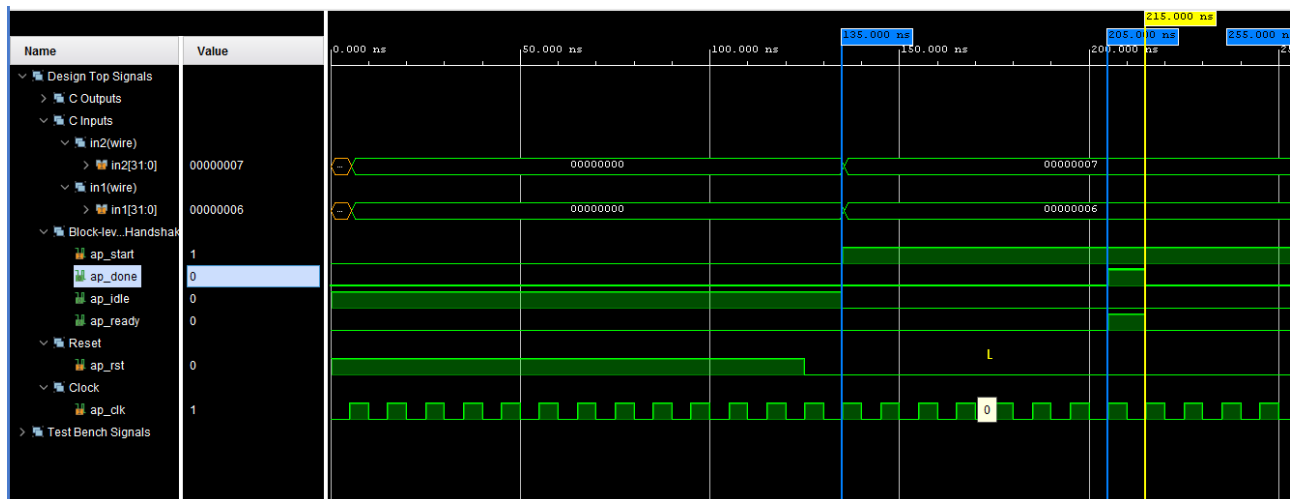


Рис. 3.4. modeling result

4. Третье решение

4.1. Директивы

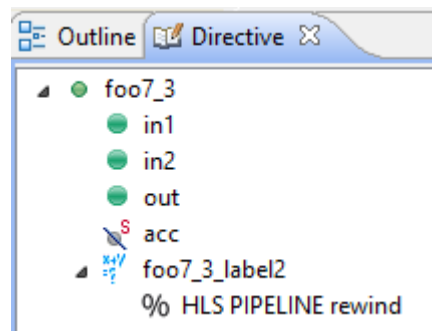


Рис. 4.1. Directives

4.2. Моделирование

По результатам моделирование, приведённым ниже, видно, что устройство проходит тесты.

```

-----
Compiling(apcc) ../../../../lab7_3.c in debug mode
INFO: [HLS 200-10] Running 'C:/Xilinx/Vivado/2019.2/bin/unwrapped/win64.o/apcc.exe'
INFO: [HLS 200-10] For user 'Misha' on host 'mikhail' (Windows NT_amd64 version 6.2)
INFO: [HLS 200-10] In directory 'C:/Users/Misha/Desktop/university/___maga/3sem/antonc
INFO: [APCC 202-3] Tmp directory is apcc_db
INFO: [APCC 202-1] APCC is done.
Generating csim.exe
Expected Actual
65 == 65-----Pass!-----
INFO: [SIM 211-1] CSim done with 0 errors.
INFO: [SIM 211-3] ***** CSIM finish *****
Finished C simulation.

```

Рис. 4.2. Modeling result

4.3. Синтез

Ниже приведены оценки производительности. По ним видно, что оценочное время выполнения одного такта ~6.1с, а latency составляет 5 тактов.

Performance Estimates

Timing

Summary

Clock	Target	Estimated	Uncertainty
ap_clk	10.00 ns	6.169 ns	0.10 ns

Latency

Summary

Latency (cycles)		Latency (absolute)		Interval (cycles)		
min	max	min	max	min	max	Type
4	5	40.000 ns	50.000 ns	4	5	none

Рис. 4.3.1. Performance estimates

Оценка использования ресурсов показывает, что будут использованы 139 LUT и 102 триггера.

Utilization Estimates					
Summary					
Name	BRAM_18K	DSP48E	FF	LUT	URAM
DSP	-	-	-	-	-
Expression	-	-	0	85	-
FIFO	-	-	-	-	-
Instance	-	-	-	-	-
Memory	-	-	-	-	-
Multiplexer	-	-	-	54	-
Register	-	-	102	-	-
Total	0	0	102	139	0
Available	40	40	16000	8000	0
Utilization (%)	0	0	~0	1	0

Рис. 4.3.2. Utilization estimates

Performance Profile		Resource Profile						
		BRAM	DSP	FF	LUT	Bits P0	Bits P1	Bits P
foo7_3		0	0	102	139			
I/O Ports(3)						96		
Instances(0)		0	0	0	0			
Memories(0)		0		0	0	0		
Expressions(4)		0	0	0	85	70	69	0
Registers(6)				102		102		
Channels(0)		0		0	0	0		
Multiplexers(4)		0		0	54	68		
DSP(0)			0					

Рис. 4.3.3. Resource profile

Performance Profile		Resource Profile			
		Pipelined	Latency	Iteration Latency	Initiation Interval
foo7_3		-	4~5	-	5 ~ 6
foo7_3_label2		yes	4	1	1

Рис. 4.3.4. Performance profile

Ниже приводится таблица использования ресурсов на каждом шаге выполнения.

Operation\Control Step		0	1	
foo7_3_label2				
do_init(phi_mux)				
in12_rewind(phi_mux)				
in23_rewind(phi_mux)				
i_01(phi_mux)				
in2_read(read)				
in1_read(read)				
in12_phi(phi_mux)				
in23_phi(phi_mux)				
acc_load(read)				
add_ln8(+)				
add_ln8_1(+)				
acc_write_ln8(write)				
i(+)				
icmp_ln7 icmp)				
out_r_write_ln11(write				
_ln12(return)				

Рис. 4.3.4. Operation\Control step

4.4. C\RTL Моделирование

Результат C\RTL моделирования приведён ниже. По нему видно, что latency составляет 5 тактов, а П – 6 тактов.

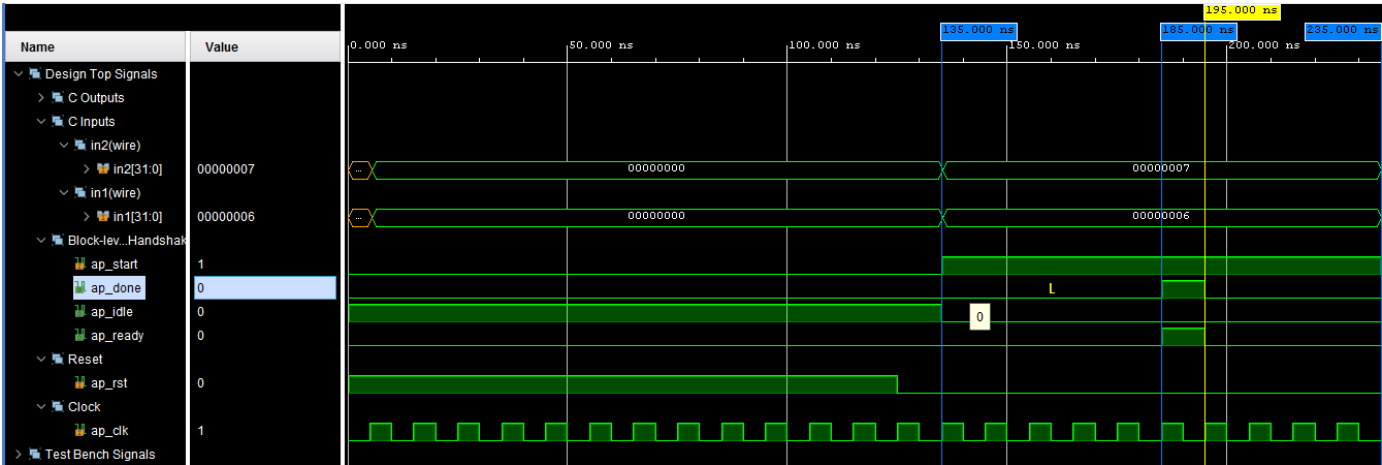


Рис. 4.4. Modeling result

5. Выводы

Ниже приведена сводная таблица по трем решениям, по которой можно сравнить производительность и использование ресурсов.

Performance Estimates

Timing

Clock		solution1	solution2	solution3
ap_clk	Target	10.00 ns	10.00 ns	10.00 ns
	Estimated	2.702 ns	2.702 ns	6.169 ns

Latency

		solution1	solution2	solution3
Latency (cycles)	min	6	7	4
	max	6	7	5
Latency (absolute)	min	60.000 ns	70.000 ns	40.000 ns
	max	60.000 ns	70.000 ns	50.000 ns
Interval (cycles)	min	6	7	4
	max	6	7	5

Utilization Estimates

	solution1	solution2	solution3
BRAM_18K	0	0	0
DSP48E	0	0	0
FF	69	70	102
LUT	123	129	139
URAM	0	0	0