

Санкт-Петербургский Политехнический Университет Петра Великого  
Институт Компьютерных наук и технологий  
Кафедра компьютерных систем и программных технологий

Лабораторная работа 2

Предмет: Проектирование реконфигурируемых гибридных вычислительных систем

Тема: Введение в Vivado HLS Tool CLI

Задание 1

Студент: Безрукова Ю.С.  
Гр. № 3540901/81502  
Преподаватель: Антонов А.П.

Санкт-Петербург  
2019

Санкт-Петербургский Политехнический Университет Петра Великого  
Институт Компьютерных наук и технологий  
Кафедра компьютерных систем и программных технологий

Лабораторная работа 2

Предмет: Проектирование реконфигурируемых гибридных вычислительных систем

Тема: Введение в Vivado HLS Tool CLI

Задание 1

Студент: Белоглазов К.И.

Гр. 3540901/81501

Преподаватель: Антонов А.П.

Санкт-Петербург  
2019

## **Оглавление**

Задание .....	4
Ход работы.....	5
Вывод.....	14

## Задание

Создать скрипт автоматизирующий процесс:

- Создать проект lab2\_1

- Подключить файл lab2\_1.c (папка source )

- Подключить тест lab2\_1\_test.c (папка source)

- Микросхема: ха7a12tcsг325-1q

Сделать solution1

- здать: clock period 6; clock\_uncertainty 0.1

- осуществить моделирование

- осуществить синтез

открыть GUI

проверить работу созданного скрипта.

Не стирая результаты работы предыдущего запуска скрипта, запустить скрипт еще раз и проверить корректность работы при повторном запуске

## Ход работы

### 1. Создание исходного файла.

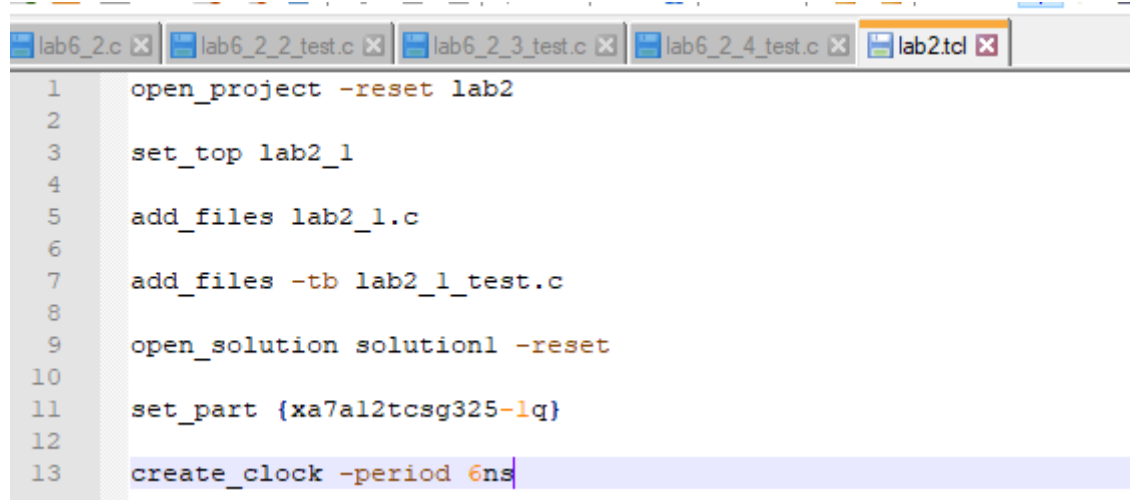
```
int lab2_1( char a, char b, char c, char d) {  
    int y;  
    y = a*b+c+d;  
    return y;  
}
```

### 2. Создание тестового файла.

```
#include <stdio.h>  
  
int main()  
{  
    int inA, inB, inC, inD;  
    int res;  
    // For adders  
    int refOut[3] = {270, 490, 1310};  
    int pass;  
    int i;  
  
    inA = 10;  
    inB = 20;  
    inC = 30;  
    inD = 40;  
  
    // Call the adder for 5 transactions  
    for (i=0; i<3; i++)  
    {  
        res = lab2_1(inA, inB, inC, inD);  
  
        fprintf(stdout, "    %d*%d+%d+%d=%d \n", inA, inB,  
inC, inD, res);  
  
        // Test the output against expected results  
        if (res == refOut[i])  
            pass = 1;  
        else  
            pass = 0;  
  
        inA=inA+10;  
        inB=inB+10;  
        inC=inC+10;  
        inD=inD+10;  
    }  
  
    if (pass)  
    {  
        fprintf(stdout, "-----Pass!-----\n");  
        return 0;  
    }  
    else  
    {  
        fprintf(stderr, "-----Fail!-----\n");  
    }  
}
```

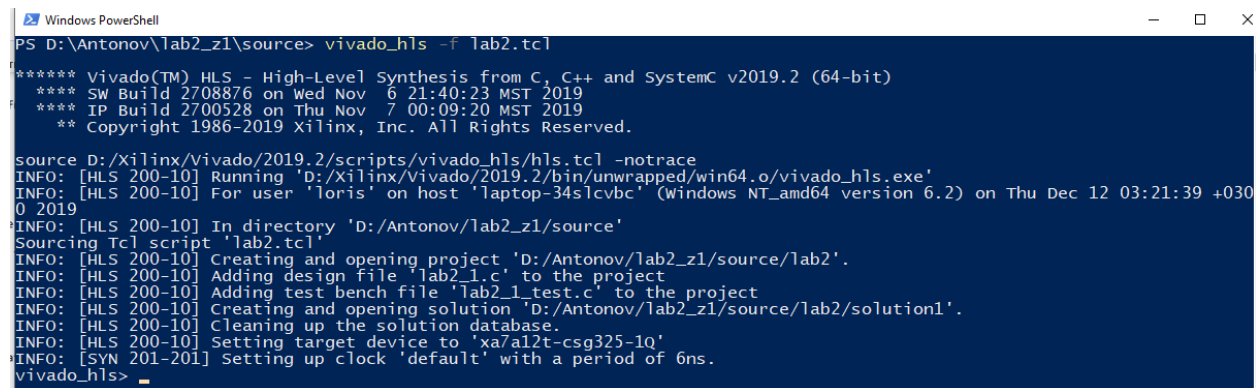
```
        return 1;
    }
}
```

### 3. Создание скрипта lab2.tcl.



```
1 open_project -reset lab2
2
3 set_top lab2_1
4
5 add_files lab2_1.c
6
7 add_files -tb lab2_1_test.c
8
9 open_solution solution1 -reset
10
11 set_part {xa7a12tcs325-1q}
12
13 create_clock -period 6ns
```

### 4. Запуск файла lab2.tcl

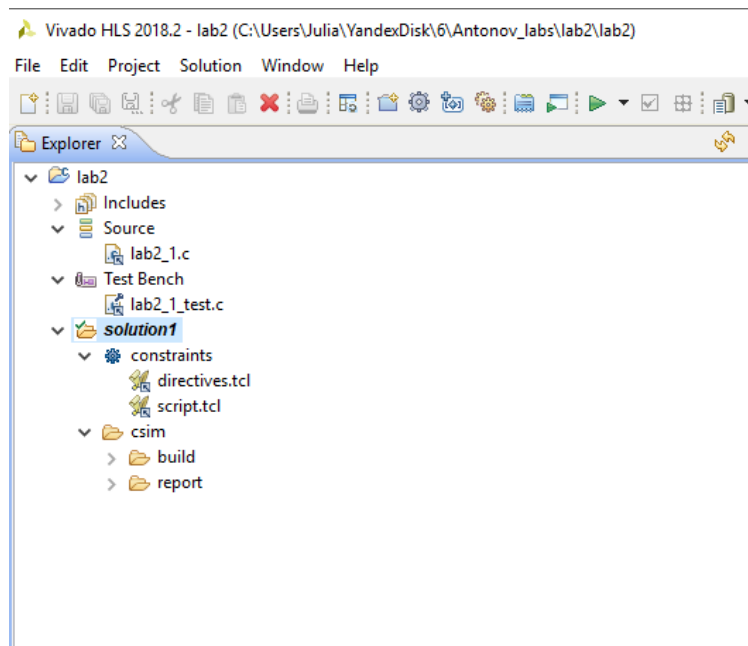


```
PS D:\Antonov\lab2_z1\source> vivado_hls -f lab2.tcl
***** Vivado(TM) HLS - High-Level Synthesis from C, C++ and SystemC v2019.2 (64-bit)
***** SW Build 2708876 on Wed Nov  6 21:40:23 MST 2019
***** IP Build 2700528 on Thu Nov  7 00:09:20 MST 2019
***** Copyright 1986-2019 Xilinx, Inc. All Rights Reserved.

source D:/Xilinx/Vivado/2019.2/scripts/vivado_hls/hls.tcl -notrace
INFO: [HLS 200-10] Running 'D:/Xilinx/Vivado/2019.2/bin/unwrapped/win64.o/vivado_hls.exe'
INFO: [HLS 200-10] For user 'loris' on host 'laptop-34slcvbc' (Windows NT_amd64 version 6.2) on Thu Dec 12 03:21:39 +0300 2019
INFO: [HLS 200-10] In directory 'D:/Antonov/lab2_z1/source'
Sourcing Tcl script 'lab2.tcl'
INFO: [HLS 200-10] Creating and opening project 'D:/Antonov/lab2_z1/source/lab2'.
INFO: [HLS 200-10] Adding design file 'lab2_1.c' to the project
INFO: [HLS 200-10] Adding test bench file 'lab2_1_test.c' to the project
INFO: [HLS 200-10] Creating and opening solution 'D:/Antonov/lab2_z1/source/lab2/solution1'.
INFO: [HLS 200-10] Cleaning up the solution database.
INFO: [HLS 200-10] Setting target device to 'xa7a12t-csg325-1q'
INFO: [SYN 201-201] Setting up clock 'default' with a period of 6ns.
vivado_hls>
```

В результате был создан файл vivado\_hls.log и проект lab2 и solution1.

### 5. Для проверки правильно созданной структуры проекта откроем GUI с помощью команды vivado\_hls -p lab2.



Тестовые и исходные файлы добавлены корректно.

6. Выполним команду `csim_design` для проведения моделирования.

Результат выполнения:

```
vivado_hls> csim_design
INFO: [SIM 211-2] ***** CSIM start *****
INFO: [SIM 211-4] CSIM will launch GCC as the compiler.
Compiling(apcc) ../../../../lab2_1_test.c in debug mode
INFO: [HLS 200-10] Running 'D:/Xilinx/Vivado/2019.2/bin/unwrapped/win64.o/apcc.exe'
INFO: [HLS 200-10] For user 'loris' on host 'laptop-34slcvbc' (Windows NT_amd64 version 6.2) on Thu Dec 12 03:23:5
0 2019
INFO: [HLS 200-10] In directory 'D:/Antonov/lab2_z1/source/lab2/solution1/csim/build'
INFO: [APCC 202-3] Tmp directory is apcc_db
INFO: [APCC 202-1] APCC is done.
Compiling(apcc) ../../../../lab2_1.c in debug mode
INFO: [HLS 200-10] Running 'D:/Xilinx/Vivado/2019.2/bin/unwrapped/win64.o/apcc.exe'
INFO: [HLS 200-10] For user 'loris' on host 'laptop-34slcvbc' (Windows NT_amd64 version 6.2) on Thu Dec 12 03:23:5
0 2019
INFO: [HLS 200-10] In directory 'D:/Antonov/lab2_z1/source/lab2/solution1/csim/build'
INFO: [APCC 202-3] Tmp directory is apcc_db
INFO: [APCC 202-1] APCC is done.
Generating csim.exe
10*20+30+40=270
20*30+40+50=690
30*40+50+60=1310
-----Pass!-----
INFO: [SIM 211-1] CSim done with 0 errors.
INFO: [SIM 211-3] ***** CSIM finish *****
vivado_hls>
```

7. Выполним команду `csynth_design` для синтеза.

Результат выполнения:

```

Vivado_HLS> csynth_design
INFO: [SCH204-61] Option 'relax_ii_for_timing' is enabled, will increase II to preserve clock frequency constraints.
INFO: [HLS 200-10] Analyzing design file 'lab2_1.c' ...
INFO: [HLS 200-111] Finished Linking Time (s): cpu = 00:00:00 ; elapsed = 00:00:16 . Memory (MB): peak = 149.512 ; gain = 59.746
INFO: [HLS 200-111] Finished Checking Pragmas Time (s): cpu = 00:00:00 ; elapsed = 00:00:16 . Memory (MB): peak = 149.512 ; gain = 59.746
INFO: [HLS 200-10] Starting code transformations ...
INFO: [HLS 200-111] Finished Standard Transforms Time (s): cpu = 00:00:00 ; elapsed = 00:00:17 . Memory (MB): peak = 149.512 ; gain = 59.746
INFO: [HLS 200-10] Checking synthesizability ...
INFO: [HLS 200-111] Finished Checking Synthesizability Time (s): cpu = 00:00:00 ; elapsed = 00:00:17 . Memory (MB): peak = 149.512 ; gain = 59.746
INFO: [HLS 200-111] Finished Pre-synthesis Time (s): cpu = 00:00:00 ; elapsed = 00:00:17 . Memory (MB): peak = 149.512 ; gain = 59.746
INFO: [HLS 200-111] Finished Architecture Synthesis Time (s): cpu = 00:00:00 ; elapsed = 00:00:17 . Memory (MB): peak = 149.512 ; gain = 59.746
INFO: [HLS 200-10] Starting hardware synthesis ...
INFO: [HLS 200-10] Synthesizing 'lab2_1' ...
INFO: [HLS 200-10] -----
INFO: [HLS 200-42] -- Implementing module 'lab2_1'
INFO: [HLS 200-10] -----
INFO: [SCH204-11] Starting scheduling ...
INFO: [SCH204-11] Finished scheduling.
INFO: [HLS 200-111] Elapsed time: 16.999 seconds; current allocated memory: 86.562 MB.
INFO: [BIND 205-100] Starting micro-architecture generation ...
INFO: [BIND 205-101] Performing variable lifetime analysis.
INFO: [BIND 205-101] Exploring resource sharing.
INFO: [BIND 205-101] Binding ...
INFO: [BIND 205-100] Finished micro-architecture generation.
INFO: [HLS 200-111] Elapsed time: 0.025 seconds; current allocated memory: 86.638 MB.
INFO: [HLS 200-10] -----
INFO: [HLS 200-10] -- Generating RTL for module 'lab2_1'
INFO: [HLS 200-10] -----
INFO: [RTGEN 206-500] Setting interface mode on port 'lab2_1/a' to 'ap_none'.
INFO: [RTGEN 206-500] Setting interface mode on port 'lab2_1/b' to 'ap_none'.
INFO: [RTGEN 206-500] Setting interface mode on port 'lab2_1/c' to 'ap_none'.
INFO: [RTGEN 206-500] Setting interface mode on port 'lab2_1/d' to 'ap_none'.
INFO: [RTGEN 206-500] Setting interface mode on function 'lab2_1' to 'ap_ctrl_hs'.
INFO: [SYN 201-210] Renamed object name 'lab2_1_mac_muladd_8s_8s_16_3_1' to 'lab2_1_mac_muladdbkb' due to the length limit.
INFO: [RTGEN 206-100] Generating core module 'lab2_1_mac_muladdbkb': 1 instance(s).
INFO: [RTGEN 206-100] Finished creating RTL model for 'lab2_1'.
INFO: [HLS 200-111] Elapsed time: 0.037 seconds; current allocated memory: 86.809 MB.
INFO: [HLS 200-789] **** Estimated Fmax: 261.78 MHz
INFO: [HLS 200-111] Finished generating all RTL models Time (s): cpu = 00:00:01 ; elapsed = 00:00:18 . Memory (MB): peak = 149.512 ; gain = 59.746
INFO: [VHDL 208-304] Generating VHDL RTL for lab2_1.
INFO: [VLOG 209-307] Generating Verilog RTL for lab2_1.

```

## 8. Откроем отчет в Vivado HLS GUI

### Performance Estimates

Timing

Summary

Clock	Target	Estimated	Uncertainty
ap_clk	6.00 ns	3.820 ns	0.75 ns

Latency

Summary

Latency (cycles)		Latency (absolute)		Interval (cycles)		
min	max	min	max	min	max	Type
2	2	12.000 ns	12.000 ns	2	2	none

Detail

Производительность: достигнутая задержка равна 3,820 нс, что входит в установленную величину в 6 нс.

Затрачиваемые ресурсы:



### Utilization Estimates

#### Summary

Name	BRAM_18K	DSP48E	FF	LUT	URAM
DSP	-	1	-	-	-
Expression	-	-	0	16	-
FIFO	-	-	-	-	-
Instance	-	-	-	-	-
Memory	-	-	-	-	-
Multiplexer	-	-	-	21	-
Register	-	-	12	-	-
Total	0	1	12	37	0
Available	40	40	16000	8000	0
Utilization (%)	0	2	~0	~0	0

#### Detail

Данный проект будет занимать на микросхеме:

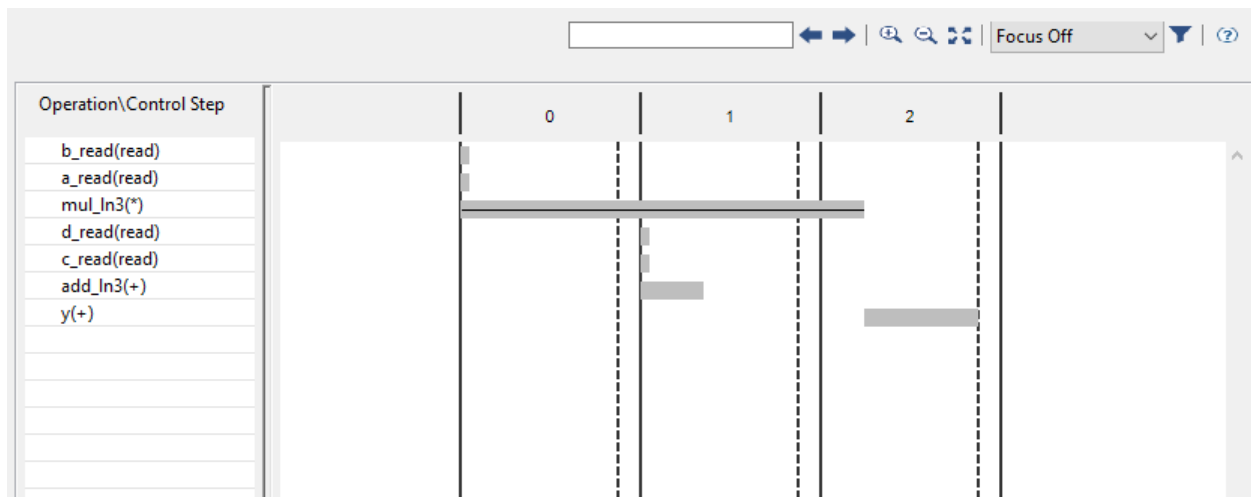
1 DSP блок, где будут задействованы сумматор и умножитель.

12 регистров для хранения и считывания данных (чисел).

37 LUT.

	BRAM	DSP	FF	LUT	Bits P0	Bits P1	Bits P2	Banks/Depth	Words
lab2_1	0	1	12	37					
> I/O Ports(4)					32				
> Instances(0)	0	0	0	0					
> Memories(0)	0		0	0	0			0	0
> Expressions(1)	0	0	0	16	9	9	0		
> Registers(2)			12		12				
> Channels(0)	0		0	0	0			0	0
> Multiplexers(1)	0		0	21	1			0	
> DSP(1)		1							

Диаграмма последовательности выполнения операций:



На представленном ниже изображении видно, что задержка до момента получения результата – 2 такта, готовность чтения новых данных наступает еще через 1 такт.

Performance Profile		Resource Profile				
	Pipelined	Latency	Iteration Latency	Initiation Interval	Trip count	
lab2_1	-	2	-	3	-	

9. Перейдем в консоль для выполнения C\RTL моделирования. Выполним команду `cosim_design`.  
Результат выполнения:

```

Built simulation snapshot lab2_1

***** Webtalk v2019.2 (64-bit)
**** SW Build 2708876 on Wed Nov 6 21:40:23 MST 2019
**** IP Build 2700528 on Thu Nov 7 00:09:20 MST 2019
** Copyright 1986-2019 Xilinx, Inc. All Rights Reserved.

source D:/Antonov/lab2_z1/source/lab2/solution1/sim/verilog/xsim.dir/lab2_1/webtalk/xsim_webtalk.tcl -not
INFO: [Common 17-186] 'D:/Antonov/lab2_z1/source/lab2/solution1/sim/verilog/xsim.dir/lab2_1/webtalk/usage
has been successfully sent to Xilinx on Thu Dec 12 03:48:15 2019. For additional details about this file,
lk help file at D:/Xilinx/Vivado/2019.2/doc/webtalk_introduction.html.
INFO: [Common 17-206] Exiting Webtalk at Thu Dec 12 03:48:15 2019...

***** xsim v2019.2 (64-bit)
**** SW Build 2708876 on Wed Nov 6 21:40:23 MST 2019
**** IP Build 2700528 on Thu Nov 7 00:09:20 MST 2019
** Copyright 1986-2019 Xilinx, Inc. All Rights Reserved.

source xsim.dir/lab2_1/xsim_script.tcl
# xsim {lab2_1} -autoloadwcfg -tclbatch {lab2_1.tcl}
Vivado Simulator 2019.2
Time resolution is 1 ps
source lab2_1.tcl
## run all

////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////
// Inter-Transaction Progress: Completed Transaction / Total Transaction
// Intra-Transaction Progress: Measured Latency / Latency Estimation * 100%
//
// RTL Simulation : "Inter-Transaction Progress" ["Intra-Transaction Progress"] @ "Simulation Time"
////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////
// RTL Simulation : 0 / 3 [0.00%] @ "117000"
// RTL Simulation : 1 / 3 [100.00%] @ "141000"
// RTL Simulation : 2 / 3 [100.00%] @ "159000"
// RTL Simulation : 3 / 3 [100.00%] @ "177000"
////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////
$finish called at time : 201 ns : File "D:/Antonov/lab2_z1/source/lab2/solution1/sim/verilog/lab2_1.autot
## quit
INFO: [Common 17-206] Exiting xsim at Thu Dec 12 03:48:27 2019...
INFO: [COSIM 212-316] Starting C post checking ...
10*20+30+40=270
20*30+40+50=690
30*40+50+60=1310
-----Pass!-----
INFO: [COSIM 212-1000] *** C/RTL co-simulation finished: PASS ***
vivado_hls>

```

10.Выполним команду export\_design -flow impl -format ip\_catalog.

Результат выполнения

```

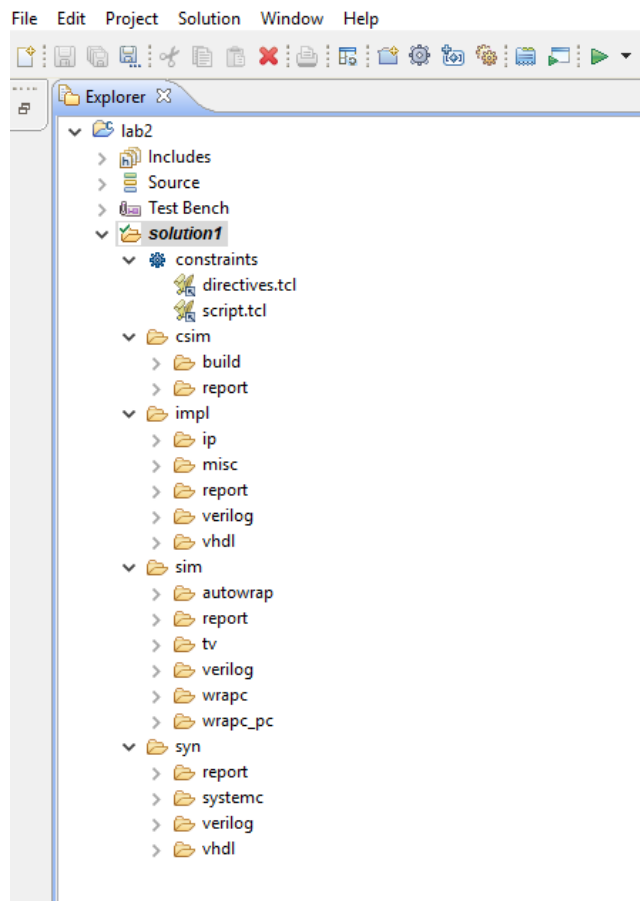
Implementation tool: Xilinx Vivado v.2019.2
Project: lab2
Solution: solution1
Device target: xa/a12t-csg325-1q
Report date: Thu Dec 12 03:51:37 +0300 2019

#=== Post-Implementation Resource usage ===
SLICE: 4
LUT: 11
FF: 3
DSP: 1
BRAM: 0
SRL: 0
#=== Final timing ===
CP required: 6.000
CP achieved post-synthesis: 2.154
CP achieved post-implementation: 2.154
Timing met

HLS EXTRACTION: generated D:/Antonov/lab2_z1/source/lab2/solution1/impl/report/verilog/lab2_1_export.rpt
INFO: [Common 17-206] Exiting Vivado at Thu Dec 12 03:51:37 2019...
vivado_hls>

```

11.Откроем Vivado HLS GUI с помощью команды vivado\_hls -p lab2.



12. Запустим скрипт еще раз для проверки корректности работы, не стирая результат работы предыдущего скрипта.

```
1  open_project -reset lab2
2
3  set_top lab2_1
4
5  add_files lab2_1.c
6
7  add_files -tb lab2_1_test.c
8
9  open_solution solution1 -reset
10
11 set_part {xa7a12tcsg325-1q}
12
13 create_clock -period 6ns
14 csim_design
15 csynth_design
16 cosim_design
17 export_design -flow impl -format ip_catalog
```

Результат выполнения успешный. Отобразим информацию из файла vivado\_hls.log.

INFO: [APCC 202-3] Tmp directory is apcc\_db

INFO: [APCC 202-1] APCC is done. Generating csim.exe $10 \cdot 20 + 30 + 40 = 270$ $20 \cdot 30 + 40 + 50 = 690$ $30 \cdot 40 + 50 + 60 = 1310$ -----Pass!----- INFO: [SIM 211-1] CSim done with 0 errors.
INFO: [APCC 202-1] APCC is done. Generating cosim.tv.exe INFO: [COSIM 212-302] Starting C TB testing ... $10 \cdot 20 + 30 + 40 = 270$ $20 \cdot 30 + 40 + 50 = 690$ $30 \cdot 40 + 50 + 60 = 1310$ -----Pass!-----
\$finish        called        at        time        :        201        ns        :        File "D:/Antonov/lab2_z1/source/lab2/solution1/sim/verilog/lab2_1.autotb.v" Line 440 ## quit INFO: [Common 17-206] Exiting xsim at Thu Dec 12 03:55:03 2019... INFO: [COSIM 212-316] Starting C post checking ... $10 \cdot 20 + 30 + 40 = 270$ $20 \cdot 30 + 40 + 50 = 690$ $30 \cdot 40 + 50 + 60 = 1310$ -----Pass!----- INFO: [COSIM 212-1000] *** C/RTL co-simulation finished: PASS ***

## **Вывод**

В ходе выполнения лабораторной работы были изучены методы работы с Vivado HLS Command Prompt. Был создан проект с решением по заданным исходным, тестовым файлам и параметрам. Был написан скрипт для создания проекта и выполнения моделирования и симуляции. Полученные результаты отображены в отчете.