

Санкт-Петербургский Политехнический Университет Петра Великого
Институт Компьютерных наук и технологий
Кафедра компьютерных систем и программных технологий

Лабораторная работа 6

Предмет: Проектирование реконфигурируемых гибридных вычислительных систем

Тема: Port-Level IO Protocols

Задание 1

Студент: Ерниязов Т.Е.
Гр. № 3540901/81501
Преподаватель: Антонов А.П.

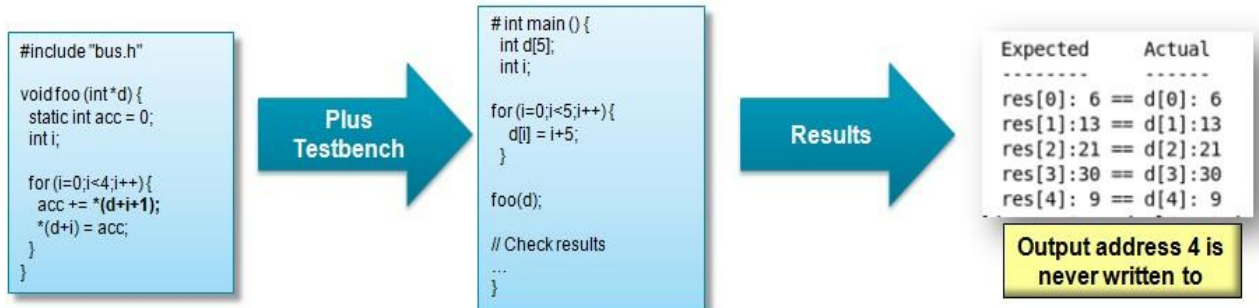
Санкт-Петербург
2019

Оглавление

Задание	3
Ход работы.....	5
Решение 1	5
Решение 2	9
Выводы	14

Задание

- Создать проект lab6_1
- Микросхема: ха7a12tcsг325-1q
- Создать Си код на основе слайда (функция foo)



- Создать тест lab6_1_test.c на основе слайда выше.
- Сделать solution1
 - задать: clock period 6; clock_uncertainty 0.1
 - осуществить моделирование (на основе слайда выше, с выводом результатов в консоль)
 - осуществить синтез (с настройками по умолчанию – интерфейс ap-fifo)
 - привести в отчете:
 - performance estimates=>summary
 - utilization estimates=>summary
 - Performance Profile
 - interface estimates=>summary
 - объяснить какой интерфейс использован для блока (и какие сигналы входят) и для портов (и какие сигналы входят).
 - scheduler viewer (выполнить Zoom to Fit)
 - На скриншоте показать Latency
 - На скриншоте показать Initiation Interval
 - resource viewer (выполнить Zoom to Fit)
 - На скриншоте показать Latency
 - На скриншоте показать Initiation Interval
 - Осуществить C|RTL моделирование
 - Привести результаты из консоли
 - Открыть временную диаграмму (все сигналы)
 - Отобразить два цикла обработки на одном экране
 - На скриншоте показать Latency
 - На скриншоте показать Initiation Interval
 - Сделать solution2
 - Задать протокол
 - a: ap_bus
 - осуществить моделирование
 - осуществить синтез
 - привести в отчете:
 - performance estimates=>summary
 - utilization estimates=>summary
 - Performance Profile

- interface estimates=>summary
 - объяснить какой интерфейс использован для блока (и какие сигналы входят) и для портов (и какие сигналы входят).
- scheduler viewer (выполнить Zoom to Fit)
 - На скриншоте показать Latency
 - На скриншоте показать Initiation Interval
- resource viewer (выполнить Zoom to Fit)
 - На скриншоте показать Latency
 - На скриншоте показать Initiation Interval
- Осуществить C|RTL моделирование
 - Привести результаты из консоли
 - Открыть временную диаграмму (все сигналы)
 - Отобразить два цикла обработки на одном экране
 - На скриншоте показать Latency
 - На скриншоте показать Initiation Interval
- Выводы
 - Объяснить отличие протоколов

Ход работы

Решение 1

Исходные файлы

```
#define DCT_SIZE 5
```

```
void foo(int d[DCT_SIZE]){
    static int acc = 0;
    int i;

    for (i = 0; i < 4; i++)    {
        acc += d[i+1];
        d[i] = acc;
    }
}
```

Тест

```
#include <stdio.h>
```

```
int main()
{
    int d[5];
    int i;

    for (i = 0; i < 5; i++) {
        d[i] = i + 5;
    }

    foo(d);
    int res[5] = {6, 13, 21, 30, 9};
    int pass;

    fprintf(stdout, "Expected    Actual\n");

    for (i = 0; i < 5; i++)    {
        fprintf(stdout, "res[%d]: %d == d[%d]: %d\n", i, res[i], i,
d[i]);

        if (res[i] == d[i]) {
            pass = 1;
        } else {
            pass = 0;
            break;
        }
    }

    if (pass) {
        fprintf(stdout, "-----Pass!-----\n");
        return 0;
    } else {
        fprintf(stderr, "-----Fail!-----\n");
        return 1;
    }
}
```

Настройка решения

Clock

Period: 6

Uncertainty: 0.1

Part Selection

Part: xa7a12tcsq325-1q

...

Моделирование

```
15 Generating csim.exe
16 Expected Actual
17 res[0]: 6 == d[0]: 6
18 res[1]: 13 == d[1]: 13
19 res[2]: 21 == d[2]: 21
20 res[3]: 30 == d[3]: 30
21 res[4]: 9 == d[4]: 9
22 -----Pass!-----
23 INFO: [SIM 1] CSim done with 0 errors.
24 INFO: [SIM 3] ***** CSIM finish *****
25
```

Моделирование пройдено без ошибок.

Симуляция с настройками и интерфейсом по умолчанию:

Performance Estimates

Timing

Summary

Clock	Target	Estimated	Uncertainty
ap_clk	6.00 ns	4.854 ns	0.10 ns

Latency

Summary

Latency (cycles)		Latency (absolute)		Interval (cycles)		
min	max	min	max	min	max	Type
13	13	78.000 ns	78.000 ns	13	13	none

Detail

Instance

N/A

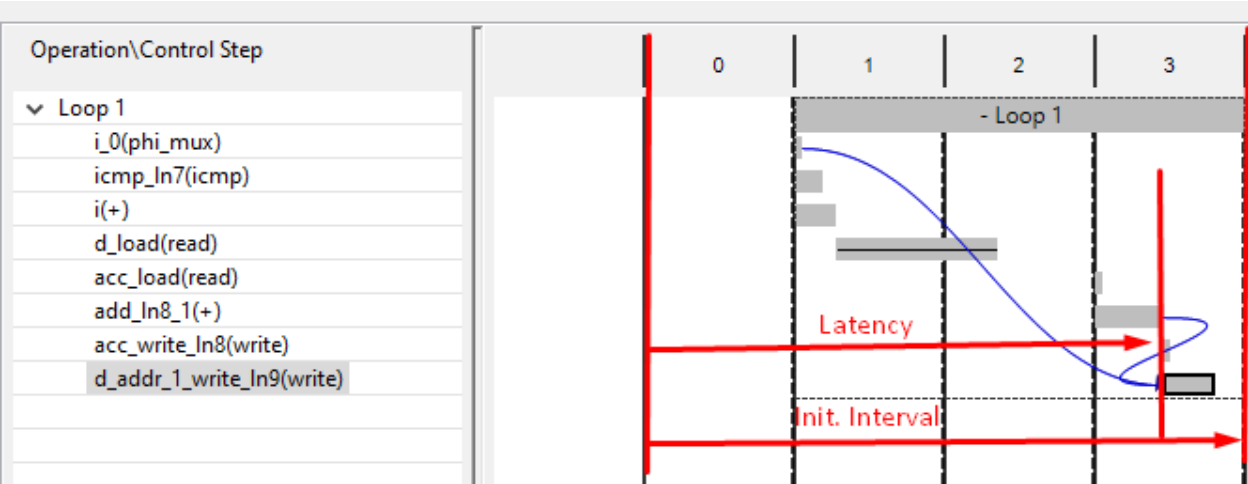
Loop

	Latency (cycles)			Initiation Interval			
Loop Name	min	max	Iteration Latency	achieved	target	Trip Count	Pipelined
- Loop 1	12	12	3	-	-	4	no

Полученное значение задержки укладывается в заданное целевое значение.

Performance Profile		Resource Profile				
		Pipelined	Latency	Iteration Latency	Initiation Interval	Trip count
▼	foo	-	13	-	14	-
	Loop 1	no	12	3	-	4

Период задержки до получения результатов составляет 13 тактов, интервал инициализации составляет 14 тактов. Всего на одну итерацию приходится 3 такта.



Использование ресурсов

Utilization Estimates					
Summary					
Name	BRAM_18K	DSP48E	FF	LUT	URAM
DSP	-	-	-	-	-
Expression	-	-	0	60	-
FIFO	-	-	-	-	-
Instance	-	-	-	-	-
Memory	-	-	-	-	-
Multiplexer	-	-	-	51	-
Register	-	-	74	-	-
Total	0	0	74	111	0
Available	40	40	16000	8000	0
Utilization (%)	0	0	~0	1	0

Данное решение потребует на микросхеме 74 регистра и 111 LUT.

	BRAM	DSP	FF	LUT	Bits P0	Bits P1	Bits P2	Banks/Depth	Words	W*Bits*Banks
foo	0	0	74	111						
I/O Ports(1)					32					
Instances(0)	0	0	0	0						
Memories(0)	0		0	0	0			0	0	0
Expressions(3)	0	0	0	60	38	37	0			
Registers(5)			74		74					
Channels(0)	0		0	0	0			0	0	0
Multiplexers(3)	0		0	51	7			0		
DSP(0)		0								

Интерфейс

Interface

Summary

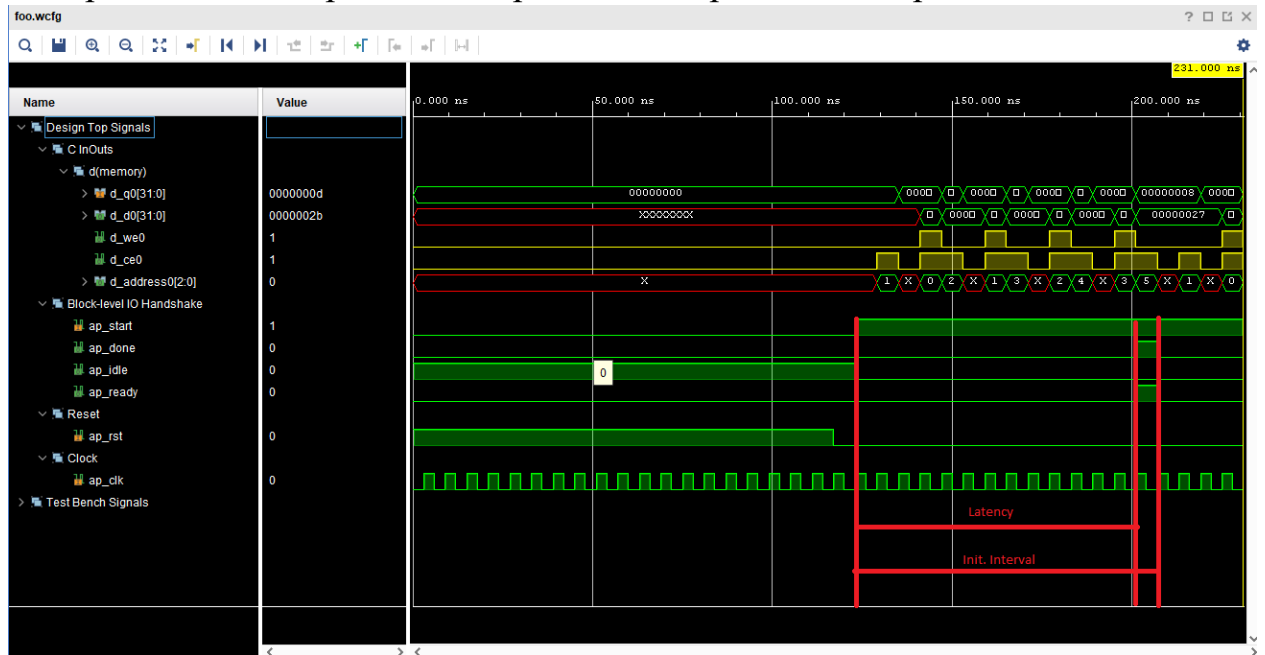
RTL Ports	Dir	Bits	Protocol	Source Object	C Type
ap_clk	in	1	ap_ctrl_hs	foo	return value
ap_rst	in	1	ap_ctrl_hs	foo	return value
ap_start	in	1	ap_ctrl_hs	foo	return value
ap_done	out	1	ap_ctrl_hs	foo	return value
ap_idle	out	1	ap_ctrl_hs	foo	return value
ap_ready	out	1	ap_ctrl_hs	foo	return value
d_address0	out	3	ap_memory	d	array
d_ce0	out	1	ap_memory	d	array
d_we0	out	1	ap_memory	d	array
d_d0	out	32	ap_memory	d	array
d_q0	in	32	ap_memory	d	array

Ap_memory – интерфейс по умолчанию для аргументов – массивов. Может быть указан только для массивов.

C/RTL моделирование

```
Vivado Simulator 2019.2
Time resolution is 1 ps
source foo.tcl
## run all
// Inter-Transaction Progress: Completed Transaction / Total Transaction
// Intra-Transaction Progress: Measured Latency / Latency Estimation * 100%
//
// RTL Simulation : "Inter-Transaction Progress" ["Intra-Transaction Progress"] @ "Simulation Time"
// RTL Simulation : 0 / 1 [0.00%] @ "117000"
// RTL Simulation : 1 / 1 [100.00%] @ "207000"
$finish called at time : 231 ns : File "D:/Antonov/lab6_z1/lab6_z1_source/solution1/sim/verilog/foo.autotb.v" Line 21
## quit
INFO: [Common 17-206] Exiting xsim at Tue Dec 10 04:48:05 2019...
INFO: [COSIM 212-316] Starting C post checking ...
Expected Actual
res[0]: 6 == d[0]: 6
res[1]: 13 == d[1]: 13
res[2]: 21 == d[2]: 21
res[3]: 30 == d[3]: 30
res[4]: 9 == d[4]: 9
-----Pass!-----
INFO: [COSIM 212-1000] *** C/RTL co-simulation finished: PASS ***
```


На временной диаграмме отображена задержка и интервал инициализации.



Решение 2

Исходные файлы

```
#define DCT_SIZE 5
```

```
void foo(int d[DCT_SIZE]){
    static int acc = 0;
    int i;

    for (i = 0; i < 4; i++)    {
        acc += d[i+1];
        d[i] = acc;
    }
}
```

Тест

```
#include <stdio.h>
```

```
int main()
{
    int d[5];
    int i;

    for (i = 0; i < 5; i++) {
        d[i] = i + 5;
    }

    foo(d);
    int res[5] = {6, 13, 21, 30, 9};
    int pass;

    fprintf(stdout, "Expected    Actual\n");
```

```

        for (i = 0; i < 5; i++)    {
            fprintf(stdout, "res[%d]: %d == d[%d]: %d\n", i, res[i], i,
d[i]);

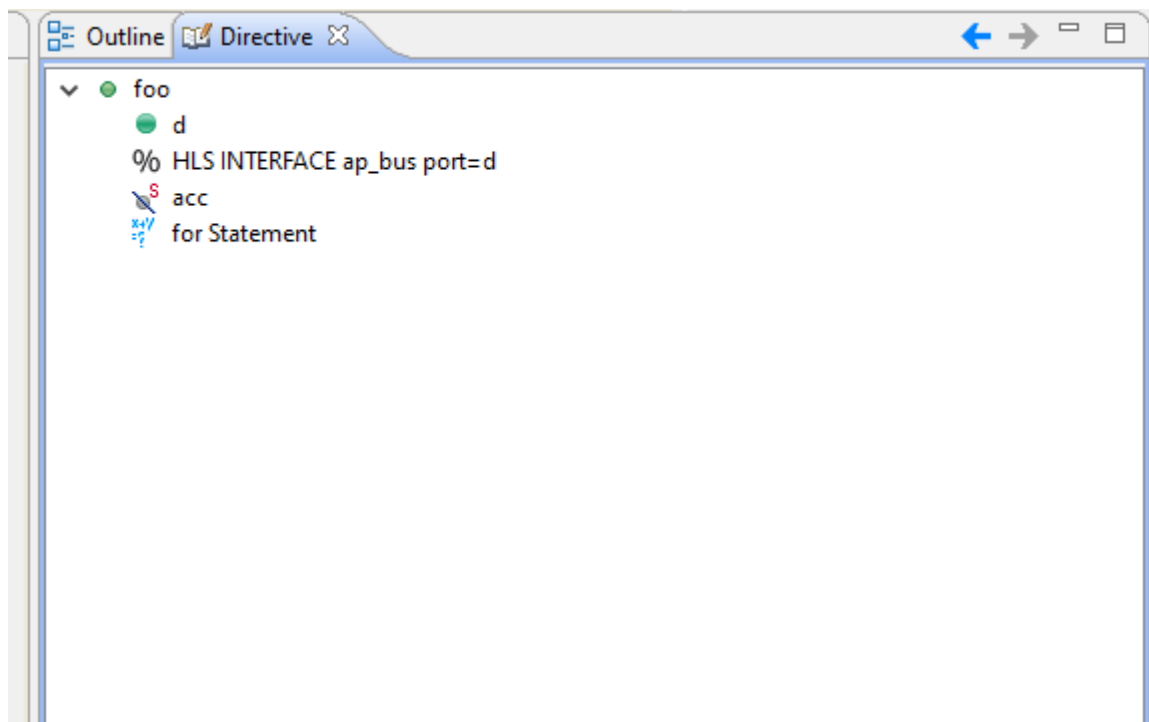
            if (res[i] == d[i]) {
                pass = 1;
            } else {
                pass = 0;
                break;
            }
        }

        if (pass) {
            fprintf(stdout, "-----Pass!-----\n");
            return 0;
        } else {
            fprintf(stderr, "-----Fail!-----\n");
            return 1;
        }
    }
}

```

Моделирование

Задание интерфейса ap_bus



Синтез

Производительность

Performance Estimates

Timing

Summary

Clock	Target	Estimated	Uncertainty
ap_clk	6.00 ns	5.900 ns	0.10 ns

Latency

Summary

Latency (cycles)		Latency (absolute)		Interval (cycles)		Type
min	max	min	max	min	max	
25	25	0.150 us	0.150 us	25	25	none

Detail

+ Instance

+ Loop

Полученная величина задержки укладывается в заданное значение.

Использование ресурсов

Utilization Estimates

Summary

Name	BRAM_18K	DSP48E	FF	LUT	URAM
DSP	-	-	-	-	-
Expression	-	-	0	60	-
FIFO	-	-	-	-	-
Instance	-	-	-	-	-
Memory	-	-	-	-	-
Multiplexer	-	-	-	65	-
Register	-	-	109	-	-
Total	0	0	109	125	0
Available	40	40	16000	8000	0
Utilization (%)	0	0	~0	1	0

Detail

Для данного решения на микросхеме будет задействовано 109 портов и 125 LUT.

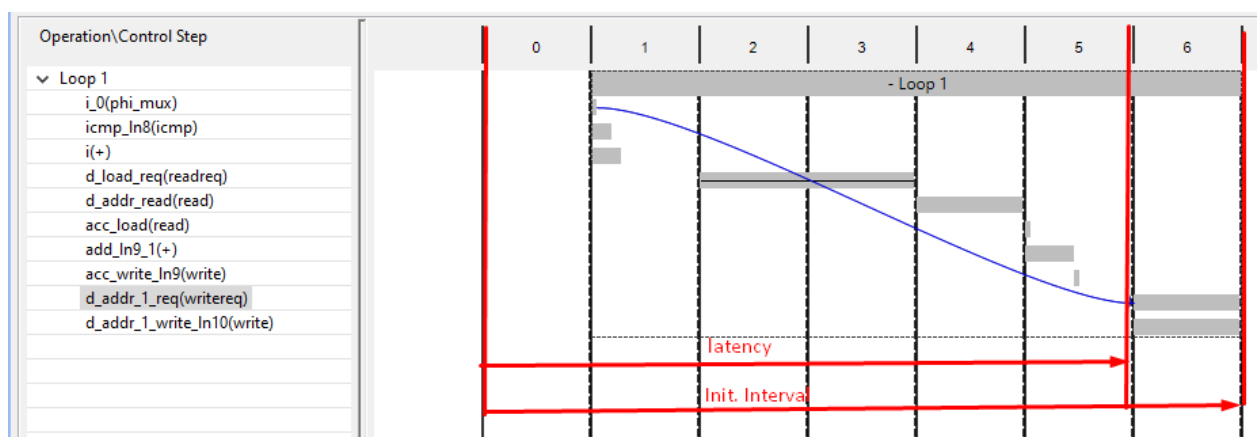
Performance Profile		Resource Profile									
		BRAM	DSP	FF	LUT	Bits P0	Bits P1	Bits P2	Banks/Depth	Words	W*Bits*Banks
▼	foo	0	0	109	125						
>	I/O Ports(1)					32					
	Instances(0)	0	0	0	0						
	Memories(0)	0		0	0	0			0	0	0
>	Expressions(3)	0	0	0	60	38	37	0			
>	Registers(6)			109		109					
	Channels(0)	0		0	0	0			0	0	0
>	Multiplexers(3)	0		0	65	36			0		
	DSP(0)		0								

Данные, отображенные на рисунке соответствуют описанным выше.

Performance Profile		Resource Profile				
		Pipelined	Latency	Iteration Latency	Initiation Interval	Trip count
foo		-	25	-	26	-
Loop 1		no	24	6	-	4

Задержка для каждой итерации составляет 6 тактов, всего происходит 4 повтора итераций. Полный цикл занимает 26 тактов.

Приведем диаграмму, определяющую последовательность операций для каждой итерации.



Интерфейс

Interface

Summary

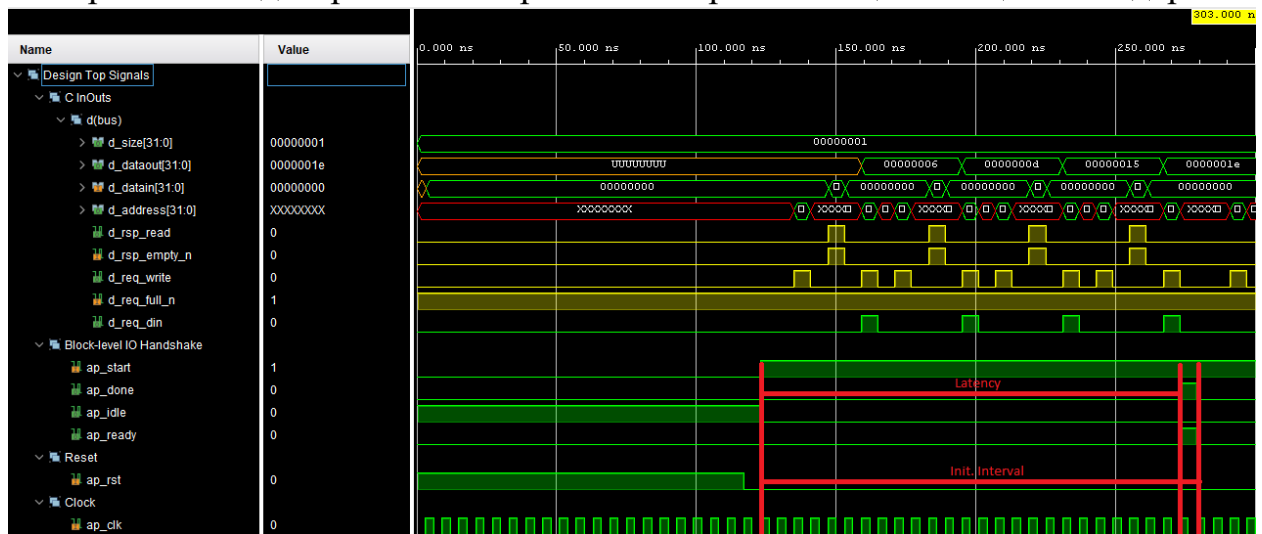
RTL Ports	Dir	Bits	Protocol	Source Object	C Type
ap_clk	in	1	ap_ctrl_hs	foo	return value
ap_rst	in	1	ap_ctrl_hs	foo	return value
ap_start	in	1	ap_ctrl_hs	foo	return value
ap_done	out	1	ap_ctrl_hs	foo	return value
ap_idle	out	1	ap_ctrl_hs	foo	return value
ap_ready	out	1	ap_ctrl_hs	foo	return value
d_req_din	out	1	ap_bus	d	pointer
d_req_full_n	in	1	ap_bus	d	pointer
d_req_write	out	1	ap_bus	d	pointer
d_rsp_empty_n	in	1	ap_bus	d	pointer
d_rsp_read	out	1	ap_bus	d	pointer
d_address	out	32	ap_bus	d	pointer
d_datain	in	32	ap_bus	d	pointer
d_dataout	out	32	ap_bus	d	pointer
d_size	out	32	ap_bus	d	pointer

Все порты с протоколами ap_ctrl_hs представляют собой порты block level I/O. Протокол ap_bus реализует переменные указателя и передачи по ссылке в качестве шины общего назначения, аналогичной типичному интерфейсу DMA.

C/RTL моделирование

```
Vivado Simulator 2019.2
Time resolution is 1 ps
source foo.tcl
## run all
// Inter-Transaction Progress: Completed Transaction / Total Transaction
// Intra-Transaction Progress: Measured Latency / Latency Estimation * 100%
//
// RTL Simulation : "Inter-Transaction Progress" ["Intra-Transaction Progress"] @ "Simulation Time"
// RTL Simulation : 0 / 1 [0.00%] @ "117000"
// RTL Simulation : 1 / 1 [100.00%] @ "207000"
$finish called at time : 231 ns : File "D:/Antonov/lab6_z1/lab6_z1_source/solution1/sim/verilog/foo.autotb.v" Line 21
## quit
INFO: [Common 17-206] Exiting xsim at Tue Dec 10 04:48:05 2019...
INFO: [COSIM 212-316] Starting C post checking ...
Expected Actual
res[0]: 6 == d[0]: 6
res[1]: 13 == d[1]: 13
res[2]: 21 == d[2]: 21
res[3]: 30 == d[3]: 30
res[4]: 9 == d[4]: 9
-----Pass!-----
INFO: [COSIM 212-1000] *** C/RTL co-simulation finished: PASS ***
```

На временной диаграмме изображён интервал инициализации и задержка.



Выводы

В первом варианте решения был задействован интерфейс по умолчанию `ap_memory`, который предназначен к использованию только для аргументов – массивов. Во втором варианте был использован интерфейс `ap_bus`. Протокол `ap_bus` реализует переменные указателя и передачи по ссылке в качестве шины общего назначения, аналогичной типичному интерфейсу DMA.

Результат полученной величины задержки и количество тактов интервала инициализации с протоколом по умолчанию является меньшим. Таким образом первое решение является оптимальным.