

Санкт-Петербургский Политехнический Университет Петра Великого
Институт Компьютерных наук и технологий
Кафедра компьютерных систем и программных технологий

Лабораторная работа 1

Предмет: Проектирование реконфигурируемых гибридных вычислительных систем

Тема: Введение в Vivado HLS

Задание 1

Студент: __Ерниязов Т.Е____
Гр. № ____3540901/81501_____
Преподаватель: Антонов А.П.

Санкт-Петербург
2019

Оглавление

1. Задание.....	3
2. Ход работы	4
2.1. Решение 1.....	4
2.1.1. Моделирование.....	5
2.1.2. Синтез	6
2.1.3. C/RTL моделирование	9
2.2. Решение 2.....	10
2.2.1. Моделирование.....	10
2.2.2. C/RTL моделирование	12
3. Выводы	14

Задание

- Создать проект lab1_1
- Подключить файл lab1_1.c (папка source)
- Подключить тест lab1_1_test.c (папка source)
- Микросхема: xa7a12tcs9325-1q
- Сделать solution1
 - здать: clock period 6; clock_uncertainty 0.1
 - осуществить моделирование
 - осуществить синтез

привести в отчете:

- performance estimates=>summary
- utilization estimates=>summary
- Performance Profile
- scheduler viewer (выполнить Zoom to Fit)

На скриншоте показать Latency

На скриншоте показать Initiation Interval

- resource viewer (выполнить Zoom to Fit)

На скриншоте показать Latency

На скриншоте показать Initiation Interval

Осуществить C|RTL моделирование

Открыть временную диаграмму (все сигналы)

Отобразить два цикла обработки на одном экране

На скриншоте показать Latency

На скриншоте показать Initiation Interval

- Сделать solution2
 - здать: clock period 8; clock_uncertainty 0.1
 - осуществить моделирование
 - осуществить синтез

привести в отчете:

- performance estimates=>summary
- utilization estimates=>summary
- Performance Profile
- scheduler viewer (выполнить Zoom to Fit)

На скриншоте показать Latency

На скриншоте показать Initiation Interval

- resource viewer (выполнить Zoom to Fit)

На скриншоте показать Latency

На скриншоте показать Initiation Interval

Осуществить C|RTL моделирование

Открыть временную диаграмму (все сигналы)

Отобразить два цикла обработки на одном экране

На скриншоте показать Latency

На скриншоте показать Initiation Interval

- Выводы

Объяснить отличие двух solutions

Ход работы

Решение 1

1. Создание проекта lab1_1.
2. Подключение файлов lab1_1.c, lab1_1_test.c.

lab1_1.c:

```
int lab1_1( char a, char b, char c, char d) {  
    int y;  
    y = a*b+c+d;  
    return y;  
}
```

lab1_1_test.c

```
#include <stdio.h>
```

```
int main()  
{
```

```
    int inA, inB, inC, inD;  
    int res;  
    // For adders  
    int refOut[3] = {270, 490, 1310};  
    int pass;  
    int i;
```

```
    inA = 10;  
    inB = 20;  
    inC = 30;  
    inD = 40;
```

```
    // Call the adder for 5 transactions  
    for (i=0; i<3; i++)  
    {
```

```
        res = lab1_1(inA, inB, inC, inD);
```

```
        fprintf(stdout, "    %d*%d+%d+%d=%d \n", inA, inB, inC, inD,  
res);
```

```
        // Test the output against expected results  
        if (res == refOut[i])  
            pass = 1;  
        else  
            pass = 0;
```

```
        inA=inA+10;  
        inB=inB+10;  
        inC=inC+10;  
        inD=inD+10;
```

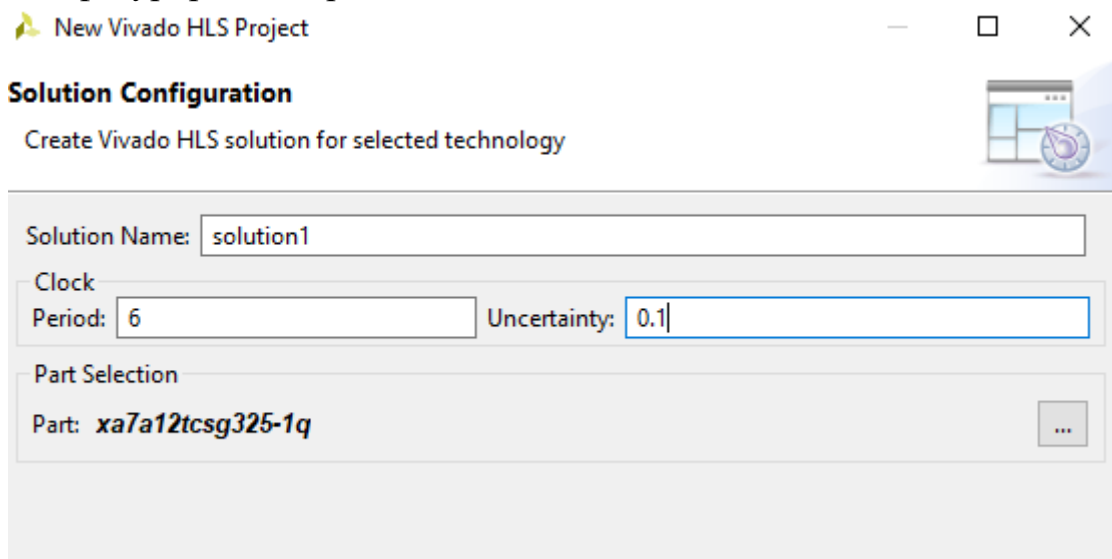
```
    }
```

```

if (pass)
{
    fprintf(stdout, "-----Pass!-----\n");
    return 0;
}
else
{
    fprintf(stderr, "-----Fail!-----\n");
    return 1;
}
}

```

3. Конфигурирование решения.



Моделирование

4. Результат моделирования заданного решения:

```

INFO: [SYN 201-201] Setting up clock 'default' with a period of 6ns.
INFO: [SYN 201-201] Setting up clock 'default' with an uncertainty of 0.1ns.
WARNING: [HLS 200-40] Cannot find library 'D:/Xilinx/Vivado/2019.2/common/technology/xilinx/aartix7/aartix7.lib'.
WARNING: [HLS 200-40] Cannot find library 'xilinx/aartix7/aartix7'.
INFO: [HLS 200-10] Setting target device to 'xa7a12t-csg325-1Q'
INFO: [SIM 211-2] ***** CSIM start *****
INFO: [SIM 211-4] CSIM will launch GCC as the compiler.
Compiling(apcc) ../../../../source/lab1_1_test.c in debug mode
INFO: [HLS 200-10] Running 'D:/Xilinx/Vivado/2019.2/bin/unwrapped/win64.o/apcc.exe'
INFO: [HLS 200-10] For user 'loris' on host 'laptop-34slcvbc' (Windows NT_amd64 version 6.2) on Thu Dec 12 02:41:55 +0300 2019
INFO: [HLS 200-10] In directory 'D:/Antonov/lab1_z1/lab1_z1/lab1_1/solution1/csim/build'
INFO: [APCC 202-3] Tmp directory is apcc_db
INFO: [APCC 202-1] APCC is done.
Compiling(apcc) ../../../../source/lab1_1.c in debug mode
INFO: [HLS 200-10] Running 'D:/Xilinx/Vivado/2019.2/bin/unwrapped/win64.o/apcc.exe'
INFO: [HLS 200-10] For user 'loris' on host 'laptop-34slcvbc' (Windows NT_amd64 version 6.2) on Thu Dec 12 02:41:59 +0300 2019
INFO: [HLS 200-10] In directory 'D:/Antonov/lab1_z1/lab1_z1/lab1_1/solution1/csim/build'
INFO: [APCC 202-3] Tmp directory is apcc_db
INFO: [APCC 202-1] APCC is done.
Generating csim.exe
10*20+30+40=270
20*30+40+50=690
30*40+50+60=1310
-----Pass!-----
INFO: [SIM 211-1] CSim done with 0 errors.
INFO: [SIM 211-3] ***** CSIM finish *****
Finished C simulation.

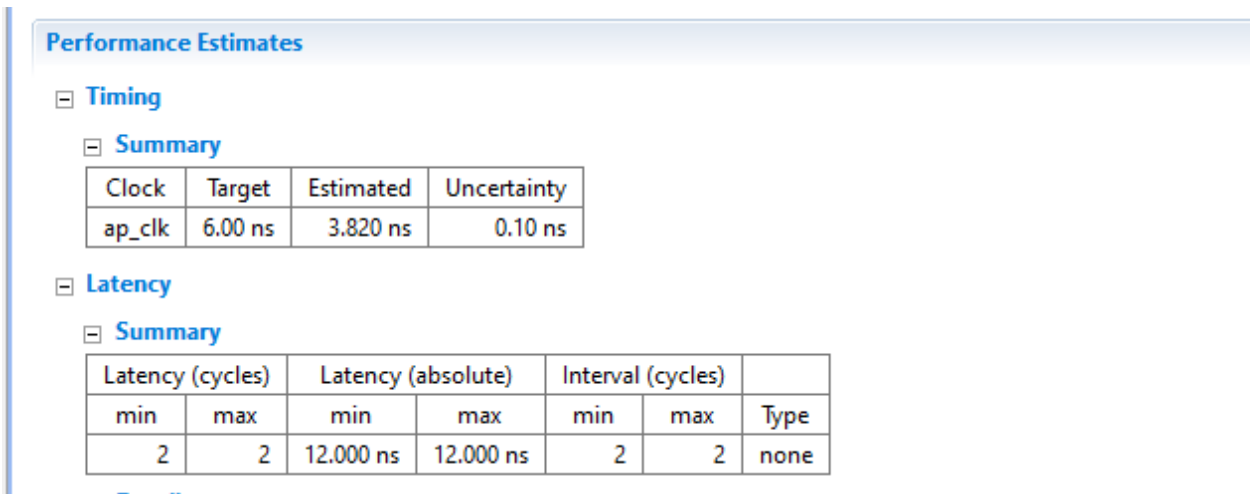
```

Моделирование выполнено без ошибок. Тест пройден успешно.

Синтез

5. Выполним команду Solution-> Run C Synthesis -> Active solution

Производительность



Performance Estimates

- Timing**
 - Summary**

Clock	Target	Estimated	Uncertainty
ap_clk	6.00 ns	3.820 ns	0.10 ns
- Latency**
 - Summary**

Latency (cycles)		Latency (absolute)		Interval (cycles)		
min	max	min	max	min	max	Type
2	2	12.000 ns	12.000 ns	2	2	none

Достигнутая задержка (estimated) равна 3,820 + (погрешность - uncertainty) 0,10. Величина задержки укладывается в заданные требования к тактовой частоте.

Занимаемые ресурсы

Utilization Estimates					
Summary					
Name	BRAM_18K	DSP48E	FF	LUT	URAM
DSP	-	1	-	-	-
Expression	-	-	0	16	-
FIFO	-	-	-	-	-
Instance	-	-	-	-	-
Memory	-	-	-	-	-
Multiplexer	-	-	-	21	-
Register	-	-	12	-	-
Total	0	1	12	37	0
Available	40	40	16000	8000	0
Utilization (%)	0	2	~0	~0	0
Detail					

Данный проект будет занимать на микросхеме:

1 DSP блок.

DSP блок – цифровой процессор обработки сигналов, специализированный микропроцессор, особенностью работы которого является поточный характер обработки больших объемов данных в реальном масштабе времени и, обычно, с интенсивным обменом данных с другими внешними устройствами. (Нужен для преобразования сигналов, представленных в виде цифр, как правило, в режиме реального времени). В данном блоке будут использованы сумматор и умножитель.

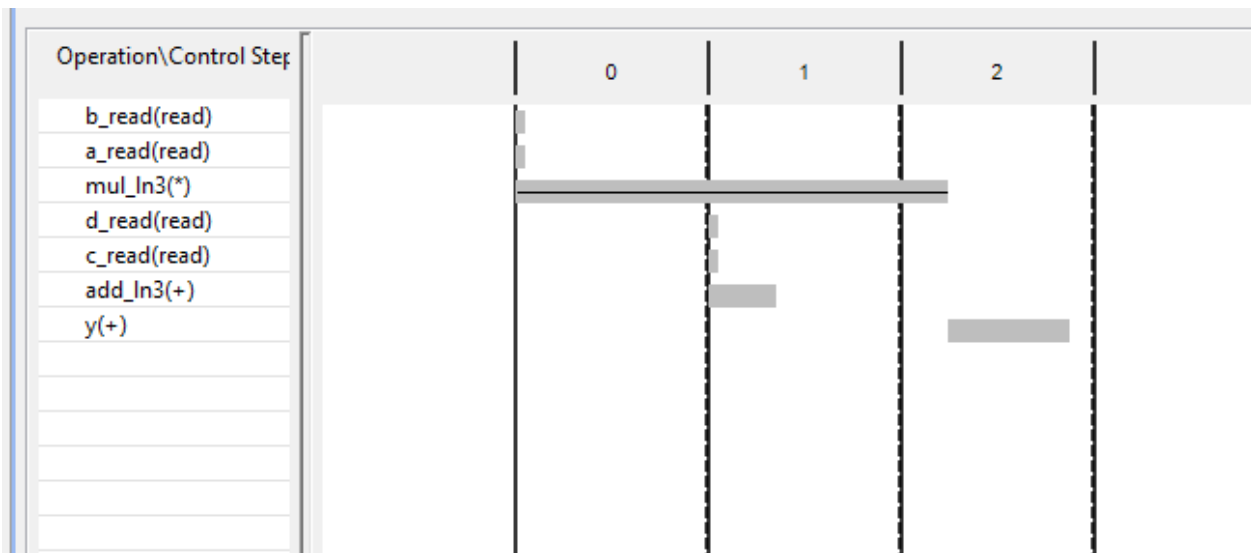
12 регистров для хранения и считывания данных (чисел).

37 LUT

6. Перейдем на вкладку Analysis.

Performance Profile		Resource Profile			
	Pipelined	Latency	Iteration Latency	Initiation Interval	Trip count
lab1_1	-	2	-	3	-

Задержка времени со старта до момента получения значений составляет 2 такта. Задержка времени с момента старта до готовности инициализации (получения новых значений) – 3 такта. Временная диаграмма:



Получение результата происходит следующим образом:

- Первый такт
 - Считывание параметра b
 - Считывание параметра a
 - Умножение параметров a и b
- Второй такт
 - Считывание параметра d
 - Считывание параметра c
 - Сложение параметров d и c
- Третий такт
 - Результаты сложения и умножения складываются -> ответ

На следующем такте возможно поступление новых данных.

7. Профиль ресурсов

Resource Profile										
	BRAM	DSP	FF	LUT	Bits P0	Bits P1	Bits P2	Banks/Depth	Words	W*Bits*Banks
lab1_1	0	1	12	37						
> I/O Ports(4)					32					
> Instances(0)	0	0	0	0						
> Memories(0)	0	0	0	0	0			0	0	0
> Expressions(1)	0	0	0	16	9	9	0			
> Registers(2)			12		12					
> Channels(0)	0		0	0	0			0	0	0
> Multiplexers(1)	0		0	21	1			0		
> DSP(1)		1								

Значения в отчете аналогичны значениям в пункте 5.

C/RTL моделирование

8. Результат выполнения

```
compiling module work.gau1
Built simulation snapshot lab1_1

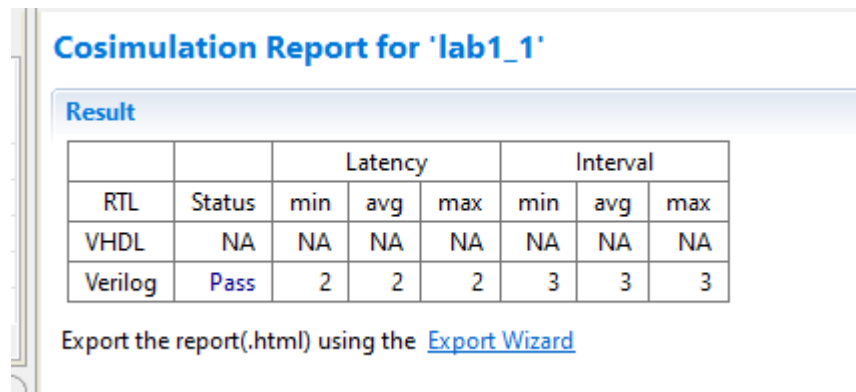
***** Webtalk v2019.2 (64-bit)
**** SW Build 2708876 on Wed Nov 6 21:40:23 MST 2019
**** IP Build 2700528 on Thu Nov 7 00:09:20 MST 2019
** Copyright 1986-2019 Xilinx, Inc. All Rights Reserved.

source D:/Antonov/lab1_z1/lab1_1/solution1/sim/verilog/xsim.dir/lab1_1/webtalk/xsim_webtalk.tcl -notrace
INFO: [Common 17-186] 'D:/Antonov/lab1_z1/lab1_1/solution1/sim/verilog/xsim.dir/lab1_1/webtalk/usage_statistics_ext_xsim.xml' has been successfully sent
INFO: [Common 17-206] Exiting Webtalk at Thu Dec 12 02:45:40 2019...

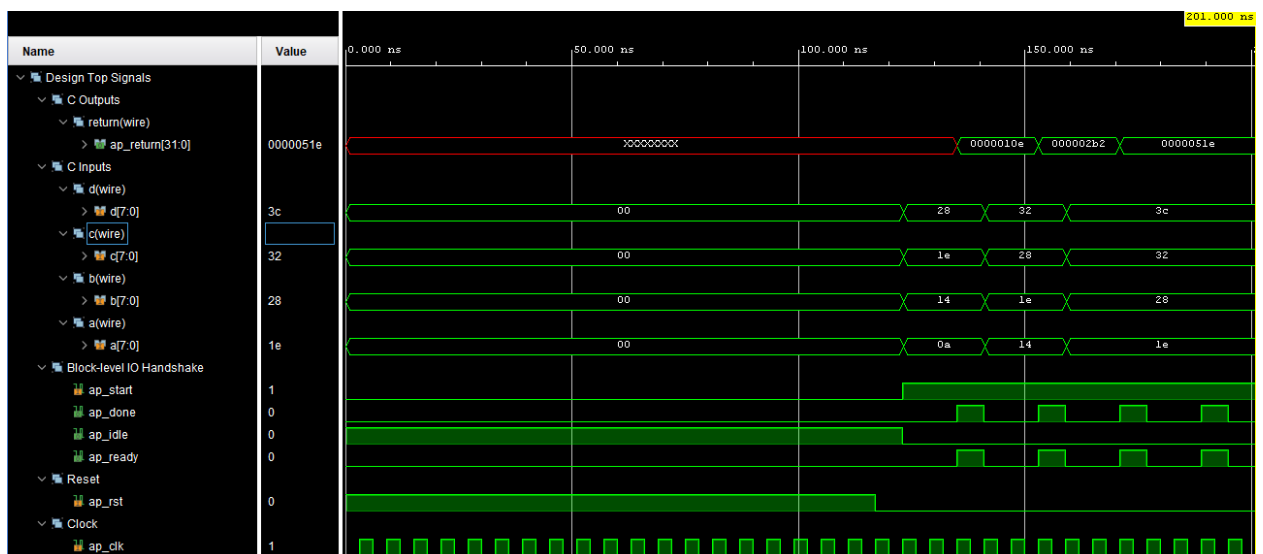
***** xsim v2019.2 (64-bit)
**** SW Build 2708876 on Wed Nov 6 21:40:23 MST 2019
**** IP Build 2700528 on Thu Nov 7 00:09:20 MST 2019
** Copyright 1986-2019 Xilinx, Inc. All Rights Reserved.

start_gui
INFO: [Common 17-206] Exiting xsim at Thu Dec 12 02:47:39 2019...
INFO: [COSIM 212-316] Starting C post checking ...
10*20+30+40=270
20*30+40+50=690
30*40+50+60=1310
-----Pass!-----
INFO: [COSIM 212-1000] *** C/RTL co-simulation finished: PASS ***
Finished C/RTL cosimulation.
```

9. Отчет о выполнении



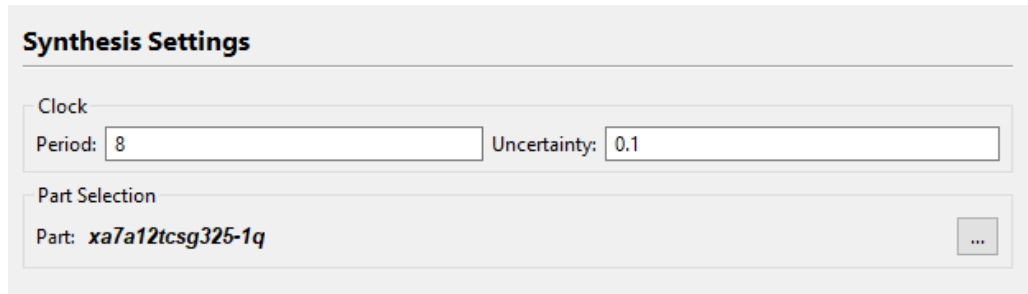
Результаты идентичны полученным в пункте 6.



Решение 2

Моделирование

10. Создание и конфигурирование решения.



Synthesis Settings

Clock

Period: Uncertainty:

Part Selection

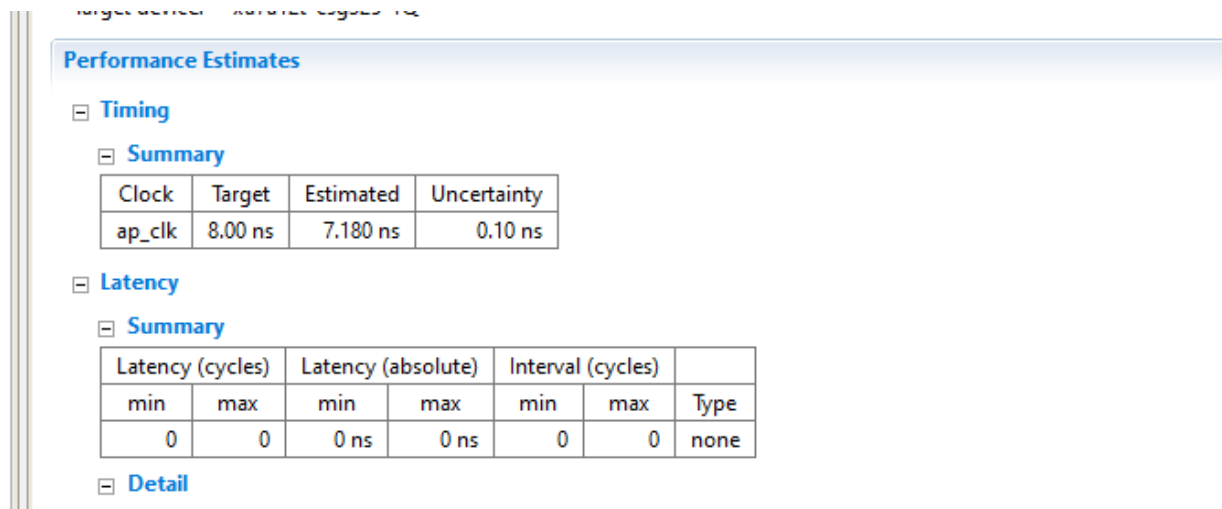
Part: *xa7a12tcsq325-1q*

Исходные файлы соответствуют файлам решения 1.

Синтез

11. Выполним команду Solution-> Run C Synthesis -> Active solution

Производительность



Performance Estimates

Timing

Summary

Clock	Target	Estimated	Uncertainty
ap_clk	8.00 ns	7.180 ns	0.10 ns

Latency

Summary

Latency (cycles)		Latency (absolute)		Interval (cycles)		
min	max	min	max	min	max	Type
0	0	0 ns	0 ns	0	0	none

Detail

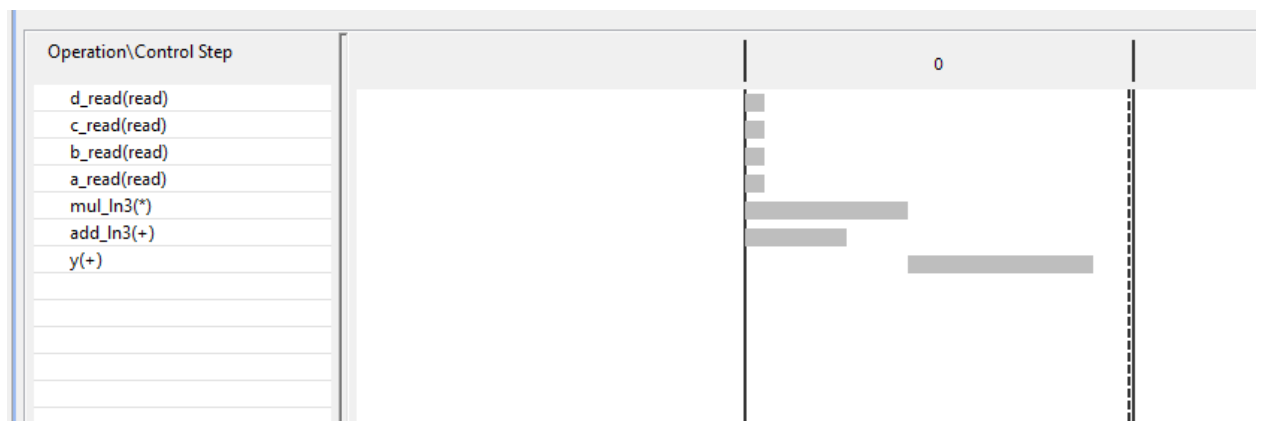
Несмотря на то, что полученное решение укладывается в заданный период тактовой частоты, величина полученной задержки значительно отличается по отношению к первому решению. Результаты свидетельствуют о том, что измененные параметры влекут за собой изменение устройства.

Затрачиваемые ресурсы

Utilization Estimates					
Summary					
Name	BRAM_18K	DSP48E	FF	LUT	URAM
DSP	-	1	-	-	-
Expression	-	-	0	16	-
FIFO	-	-	-	-	-
Instance	-	-	-	-	-
Memory	-	-	-	-	-
Multiplexer	-	-	-	-	-
Register	-	-	-	-	-
Total	0	1	0	16	0
Available	40	40	16000	8000	0
Utilization (%)	0	2	0	~0	0
Detail					

По сравнению с решением 1, в схеме отсутствуют регистры и мультиплексоры.

12. Перейдем на вкладку Analysis.



На изображении видно, что до получения ответа требуется 0 тактов, а готовность получения новых данных наступает уже через 1 такт. По сравнению с диаграммой решения 1 произошли изменения: чтения всех параметров происходит одновременно, после этого сразу производятся действия умножения и сложения, сразу после произведения умножения считанных параметров осуществляется переход к сложению и получению конечного результата.

Общий отчет о затраченных ресурсах

Performance Profile		Resource Profile									
		BRAM	DSP	FF	LUT	Bits P0	Bits P1	Bits P2	Banks/Depth	Words	W*Bits*Banks
▼ lab1_1		0	1	0	16						
> I/O Ports(4)						32					
> Instances(0)		0	0	0	0						
> Memories(0)		0		0	0	0			0	0	0
> Expressions(1)		0	0	0	16	9	9	0			
> Registers(0)				0		0					
> Channels(0)		0		0	0	0			0	0	0
> Multiplexers(0)		0		0	0	0			0		
> DSP(1)			1								

C/RTL моделирование

13. Результат выполнения

```

Compiling module work.glbl
Built simulation snapshot lab1_1

***** Webtalk v2019.2 (64-bit)
**** SW Build 2708876 on Wed Nov  6 21:40:23 MST 2019
**** IP Build 2700528 on Thu Nov  7 00:09:20 MST 2019
** Copyright 1986-2019 Xilinx, Inc. All Rights Reserved.

source D:/Antonov/lab1_z1/lab1_z1/lab1_1/solution2/sim/verilog/xsim.dir/lab1_1/webtalk/xsim_webtalk.tcl -notrace
INFO: [Common 17-186] 'D:/Antonov/lab1_z1/lab1_z1/lab1_1/solution2/sim/verilog/xsim.dir/lab1_1/webtalk/usage_statistics_ext_
INFO: [Common 17-206] Exiting Webtalk at Thu Dec 12 02:52:05 2019...

***** xsim v2019.2 (64-bit)
**** SW Build 2708876 on Wed Nov  6 21:40:23 MST 2019
**** IP Build 2700528 on Thu Nov  7 00:09:20 MST 2019
** Copyright 1986-2019 Xilinx, Inc. All Rights Reserved.

start_gui
INFO: [Common 17-206] Exiting xsim at Thu Dec 12 02:53:24 2019...
INFO: [COSIM 212-316] Starting C post checking ...
10*20+30+40=270
20*30+40+50=690
30*40+50+60=1310
-----Pass!-----
INFO: [COSIM 212-1000] *** C/RTL co-simulation finished: PASS ***
INFO: [COSIM 212-210] Design is translated to an combinational logic. II and Latency will be marked as all 0.
Finished C/RTL cosimulation.

```

В ходе выполнения было получено информационное сообщение: «Дизайн переводится в комбинационную логику. II и Latency будут помечены как все 0.»

14. Отчет решения

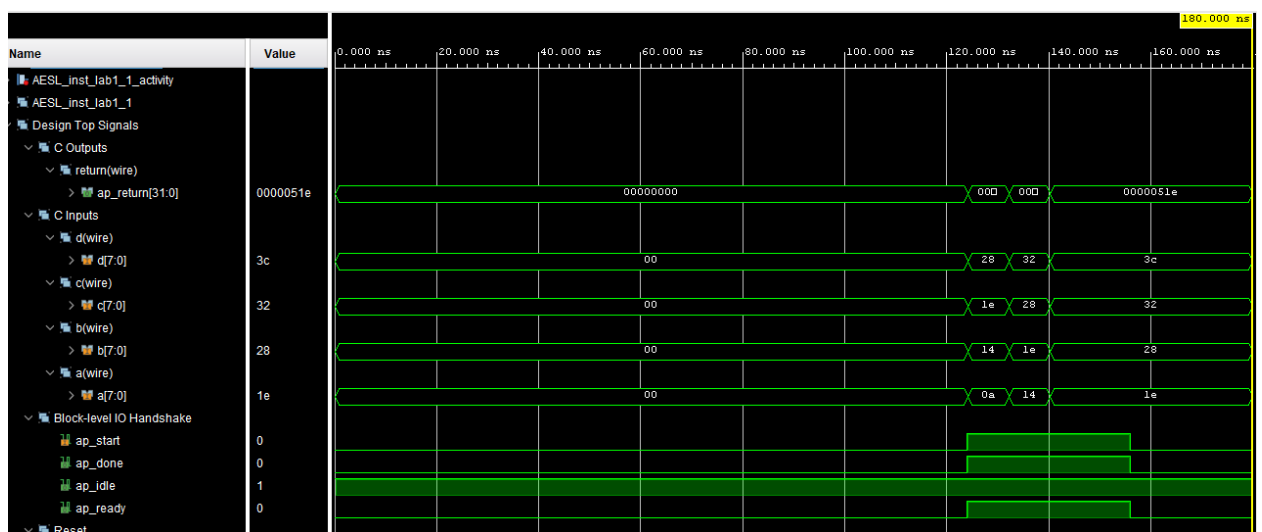
Cosimulation Report for 'lab1_1'

Result

RTL	Status	Latency			Interval		
		min	avg	max	min	avg	max
VHDL	NA	NA	NA	NA	NA	NA	NA
Verilog	Pass	0	0	0	0	0	0

Export the report(.html) using the [Export Wizard](#)

По сравнению с предыдущим данное решение является комбинаторным.



Получение ответа происходит без задержек.

Выводы

В ходе работы были рассмотрены два решения отличающиеся лишь параметром периода тактовой частоты. В ходе выполнения лабораторной работы был получен результат, что при большем периоде тактов, программа сумела вместить в 1 период чисто комбинаторную схему, в то время как при меньшем периоде это оказалось невозможным. Были получены 2 решения: первое – полный цикл выполнения составил 3 такта, а максимальная задержка обработки сигнала на такте составляет 3.82 нс, и второе –комбинаторное решение, задержка в котором составила значительно большую величину 7.18 нс, но при этом все действия выполняются всего за 1 период тактового сигнала.