

市立新北高工 113 學年度 第 2 學期 第二次段考 試題							班級	座號	成績	答案卡
科目	數位邏輯 設計	命題教師 吳裕明 古紹楷	年級	一	科別	電機	姓名			是 <input checked="" type="checkbox"/>

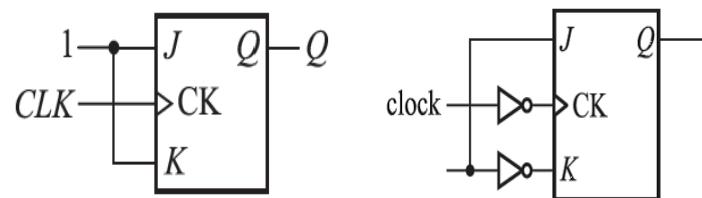
***請務必清楚填寫 班級、座號、姓名於「答案卡」及「題目卷」上,並將單選題的答案填寫於「答案卡」上

*** (不清、未填 一格扣 2 分)

一、單選題 (每題 3 分, 共 60 分) :

1.如下左圖所示為邊緣觸發 JK 正反器, 當 CLK 輸入適當準位之 10kHz 方波, 則輸出 Q 信號應為下列何者?

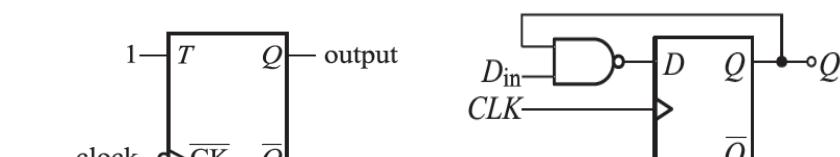
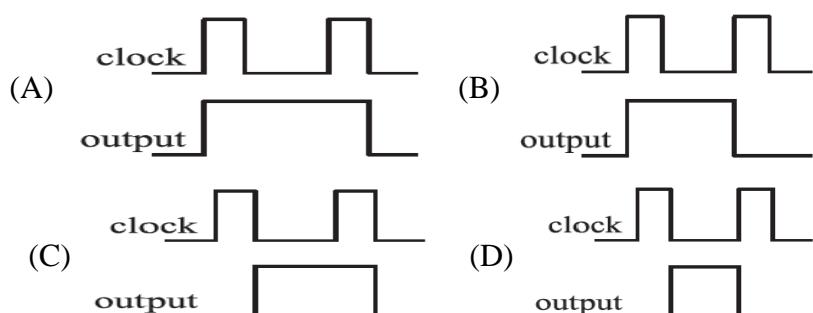
- (A) 一直為邏輯 1 (B) 一直為邏輯 0 (C) 10kHz 方波 (D) 5kHz 方波



2.如上右圖所示之邏輯電路, 等效於下列哪一個電路?

- (A) 正緣觸發 D 型正反器 (B) 負緣觸發 T 型正反器 (C) 正緣觸發 T 型正反器 (D) 負緣觸發 D 型正反器

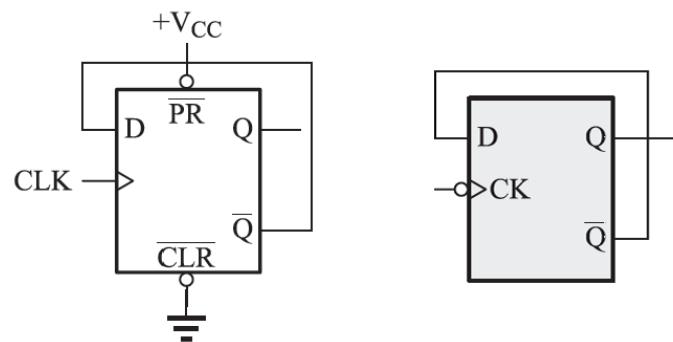
3.如下左圖所示 T 型正反器, 在沒有傳輸延遲的情況下, 輸入 clock 及輸出 output 之波形關係, 下列何者正確?



4.如上右圖所示, 若 $D_{in} = 0$, CLK 輸入 1kHz 脈波, 求輸出 Q 之值為何? (A) 1kHz 之脈波 (B) 0.5kHz 之脈波 (C) 0 (D) 1

5.如下左圖所示, CLK 輸入為 1kHz 脈波信號, 其中 CLR 和 PR 接腳皆為低態動作, 請問輸出 Q 的頻率為何?

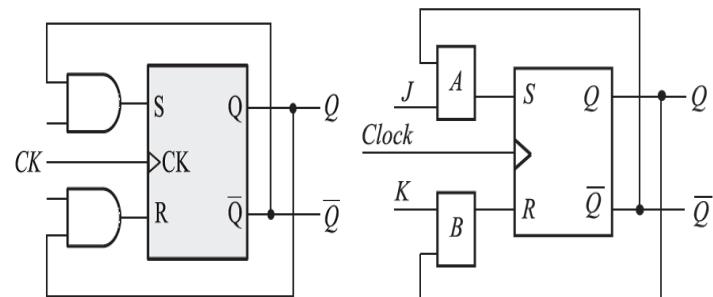
- (A) 2kHz (B) 1kHz (C) 500Hz (D) 0Hz



6.如上右圖所示電路相當於何種正反器?

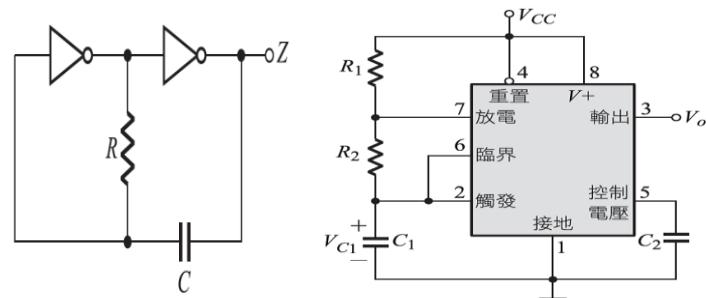
- (A) D 型正反器 (B) RS 正反器 (C) T 型正反器 ($T = 0$) (D) T 型正反器 ($T = 1$)

7.如下左圖所示電路相當於為 (A) T 型正反器 (B) JK 正反器 (C) D 型正反器 (D) RS 正反器



8.將 SR 正反器連接成 JK 正反器如上右圖所示, 若方塊 A 及方塊 B 分別僅能使用 1 個二輸入邏輯閘, 則下列何者正確? 【102 年統測】(A) 方塊 A 使用 AND、方塊 B 使用 OR (B) 方塊 A 使用 NAND、方塊 B 使用 NOR (C) 方塊 A 使用 AND、方塊 B 使用 AND (D) 方塊 A 使用 NAND、方塊 B 使用 NAND

9.如下左圖所示之邏輯閘無穩態多諧振盪器, 若 $R = 10k\Omega$ 、 $C = 10\mu F$, 則輸出端 Z 之脈波週期約為 (A) 140ms (B) 220ms (C) 110ms (D) 69.3ms



10.如上右圖所示電路, 其 V_{C1} 與 V_o 的波形分別為

- (A) 脈波、脈波 (B) 脈波、鋸齒波 (C) 鋸齒波、脈波 (D) 鋸齒波、鋸齒波

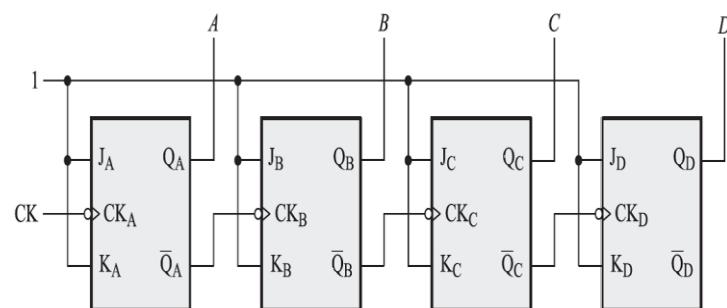
市立新北高工 113 學年度 第 2 學期 第二次段考 試題								班級		座號		成績	答案卡	是
科 目	數位邏輯 設計	命題教師 審題教師	吳裕明 古紹楷	年級	一	科別	電機	姓名						√

11. 繼上題， $R_1 = 40k\Omega$ 、 $R_2 = 20k\Omega$ 、 $C_1 = 1\mu F$ ，則 V_o 之振盪頻率約為 (A) 14.4Hz (B) 18Hz (C) 36Hz (D) 72Hz

12. 下列對於 NE555 IC 組成之無穩態多諧振盪器的敘述，何者正確？

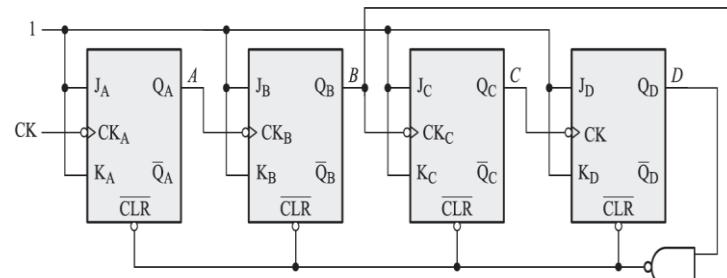
- (A) 振盪週期僅與電容大小有關 (B) NE555 IC 共有 10 支接腳 (C) NE555IC 的第 5 腳為控制電壓 (Control Voltage)，可接上一個 $0.01\mu F$ 以上的電容，以免 NE555 IC 受到雜訊干擾 (D) NE555 IC 產生時脈的穩定度與石英晶體振盪器所產生時脈的穩定度相同

13. 如圖所示之計數器為



- (A) 16 模上數非同步計數器 (B) 16 模下數非同步計數器
(C) 16 模上數同步計數器 (D) 16 模下數同步計數器

14. 如圖所示之計數器為



- (A) 10 模上數非同步計數器 (B) 10 模下數非同步計數器
(C) 9 模上數非同步計數器 (D) 9 模下數非同步計數器

15. 繼上題，若 CK 的頻率為 90kHz，則最後一級正反器 D 的輸出波形頻率為

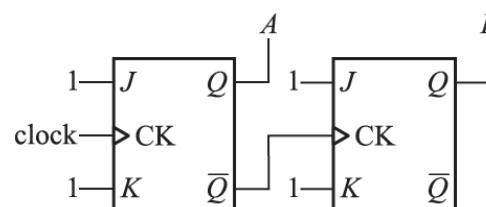
- (A) 10kHz (B) 9kHz (C) 8kHz (D) 7kHz

16. 繼上題，若每個正反器的傳遞延遲時間均為 20ns，NAND 閘的傳遞延遲時間為 20ns，則此計數器所能工作的最大時脈頻率為

- (A) 5MHz (B) 10MHz (C) 15MHz (D) 25MHz

17. 某一 4 位元的上數非同步計數器，目前的輸出端 DCBA 為 1110，經過 5 個 CK 輸入後，計數器的輸出端 DCBA 應為 (A) 1111 (B) 0000 (C) 0010 (D) 0011

18. 右圖是兩個正緣觸發之 JK 正反器所結合之循序邏輯電路，若 AB 狀態的初始值為 00，則下列何者為此電路之正確序向狀態圖？【107 年統測】

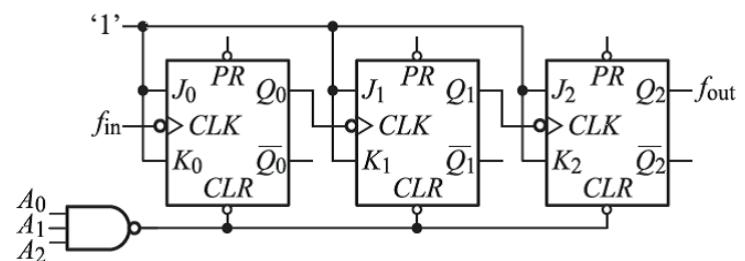


- (A) $\rightarrow 00 \rightarrow 10 \rightarrow 01 \rightarrow 11$ (B) $\rightarrow 00 \rightarrow 10 \rightarrow 10 \rightarrow 11$ (C)
 $\rightarrow 00 \rightarrow 11 \rightarrow 10 \rightarrow 01$ (D) $\rightarrow 00 \rightarrow 01 \rightarrow 11 \rightarrow 10$

19. 有一個邏輯電路可將頻率為 256 Hz 的輸入方波信號除頻為 1Hz，其結構主要為使用 D 型正反器的“非同步計數器”，其中每個 D 型正反器的傳遞延遲時間為 10ns，從整體電路反應時間來看，此除頻電路正常操作的最高工作頻率為何？【106 年統測】

- (A) 80MHz (B) 12.5MHz (C) 2.56MHz (D)
0.390625MHz

20. 吳小明必須設計一個邏輯電路，目標是將時脈信號的頻率從 10MHz (f_{in}) 除頻為 2MHz (f_{out})。如圖所示為小明應用非同步計數器所設計的除頻器電路，其中， Q_2 為最高位元 (MSB)，而 Q_0 為最低位元 (LSB)，但 NAND 閘的輸入信號 $A_2A_1A_0$ 與正反器輸出信號 $Q_2Q_1Q_0$ 有尚未完成的連接關係。假設所有正反器的 $PR = 1$ ，試問此電路中 $A_2A_1A_0$ 與 $Q_2Q_1Q_0$ 之連接關係式為何？【106 年統測】

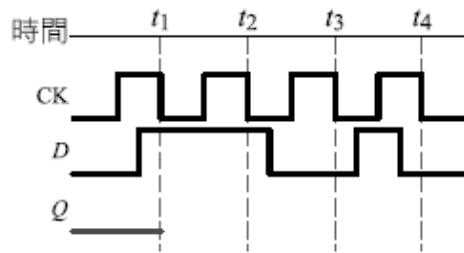


- (A) $A_2A_1A_0 = \bar{Q}_2Q_1Q_0$ (B) $A_2A_1A_0 = Q_2\bar{Q}_1\bar{Q}_0$ (C)
 $A_2A_1A_0 = Q_2\bar{Q}_1Q_0$ (D) $A_2A_1A_0 = \bar{Q}_2Q_1\bar{Q}_0$

市立新北高工 113 學年度 第 2 學期 第二次段考 試題								班級		座號		成績	答案卡	是
科 目	數位邏輯 設計	命題教師 審題教師	吳裕明 古紹楷	年級	一	科別	電機	姓名						√

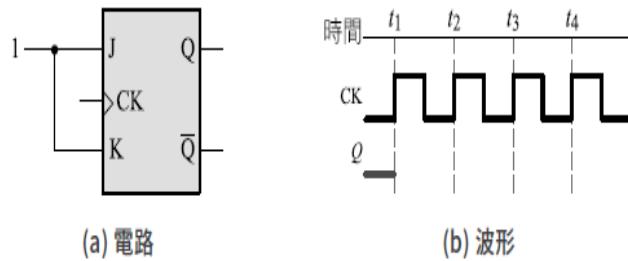
二、問答題(第一題與第二題各 6 分，第三題 12 分,第四題 16 分，共 40 分)：

1. 假設負緣觸發 D 型正反器的輸入 CK 與 D 之波形，如圖所示，且輸出原來的狀態 $Q = 0$ ，則輸出 Q 之波形為何？



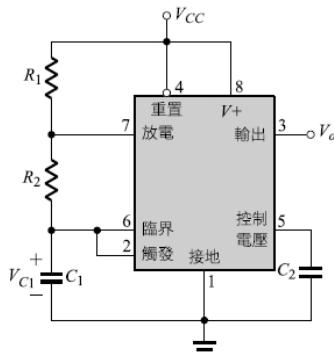
詳解：

2. 如圖(a)所示電路，假設正緣觸發 JK 正反器的輸入 CK 波形，如圖(b)所示，且輸出原來的狀態 $Q = 0$ ，則輸出 Q 之波形為何？



詳解：

3. 如下圖所示電路，若輸出端 V_o 欲產生一個工作週期 (duty cycle) 為 50% 的方波，則電阻值 R_1 、 R_2 應如何設計？



詳解：

4. 請利用負緣觸發 JK 型正反器，設計一個 7 模上數的非同步計數器，其中 Q_c 為最高有效位元

詳解：