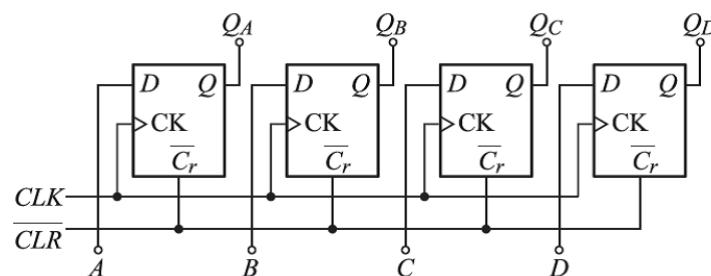


新北市立 新北高工 113 學年度 第 2 學期 期末考試							班級	座號	成績	答案卡
科目	數位邏輯 設計	命題教師 審題教師	古紹楷 吳裕明	年級	一	科別	電機	姓名		是 <input checked="" type="checkbox"/>

***務必清楚填寫 班級、座號、姓名，並將「答案」填寫於「答案卡」 *** (不清、未填一格扣 2 分)

一、單選題（每題 3 分，共 75 分）：

1. 【 】如圖電路屬於下列何種類型的暫存器？

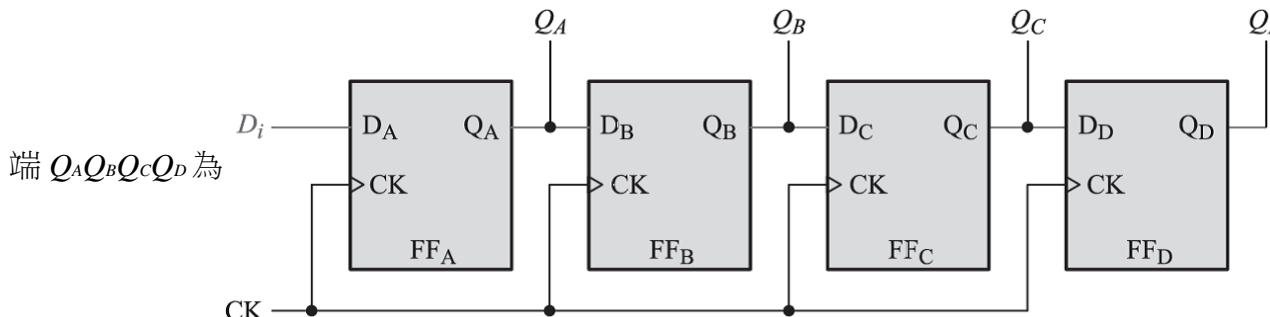


- (A) 串列輸入串列輸出 (B) 串列輸入並列輸出 (C) 並列輸入並列輸出 (D) 並列輸入串列輸出

2. 【 】串列輸入並列輸出移位暫存器簡稱為 (A) SISO (B) SIPO (C) PISO (D) PIPO

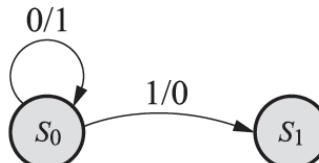
3. 【 】並列輸入串列輸出移位暫存器簡稱為 (A) SISO (B) SIPO (C) PISO (D) PIPO

4. 【 】如圖所示電路，若輸入端資料 D_i 持續為 1，且輸出端起始狀態 $Q_AQ_BQ_CQ_D$ 為 0110，則經過 2 個 CK 觸發後，其輸出



- (A) 1101 (B) 1011 (C) 1110 (D) 1111

5. 【 】如圖所示之狀態圖，下列敘述，何者正確？



- (A) 當輸入變數為 1，則狀態由 S_0 轉變為 S_1 且輸出變數為 0 (B) 當輸入變數為 1，則狀態由 S_0 轉變為 S_1 且輸出變數為 1
(C) 當輸入變數為 0，則狀態由 S_0 轉變為 S_0 且輸出變數為 0 (D) 當輸入變數為 0，則狀態由 S_1 轉變為 S_0 且輸出變數為 1

6. 【 】如表所示之狀態表，可被化簡到剩下多少個狀態？

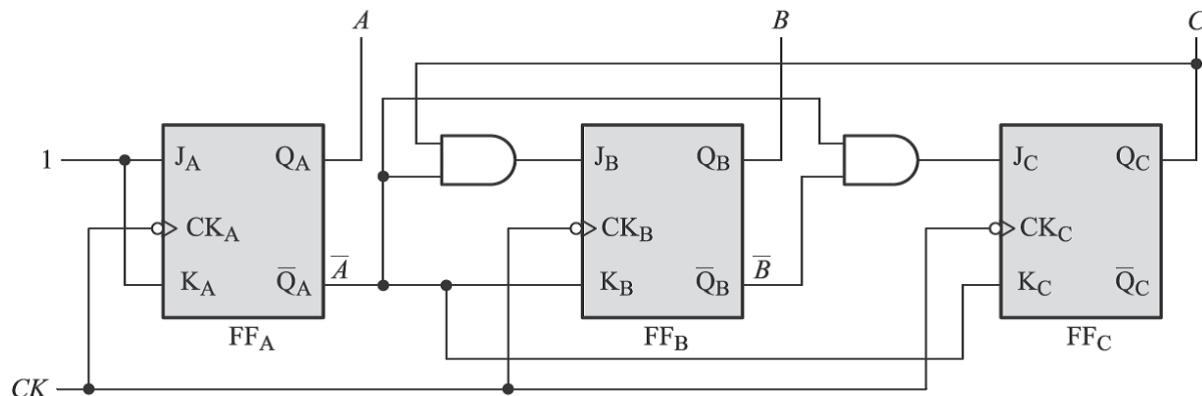
現態 (PS)	次態 (NS)		輸出	
	$I=0$	$I=1$	$I=0$	$I=1$
a	d	b	1	0
b	d	a	1	0
c	d	e	0	1
d	b	c	0	0
e	d	c	0	1

- (A) 5 個 (B) 4 個 (C) 3 個 (D) 2 個

7. 【 】在狀態表中，若兩個狀態在輸入變數相同的情況下，有一個次態相同，另一個次態相互對應，並且有相同的輸出，則稱此兩個狀態為 (A) 相等 (B) 等效 (C) 反相 (D) 相反

新北市立 新北高工 113 學年度 第 2 學期 期末考試							班級	座號	成績	答案卡
科 目	數位邏輯 設計	命題教師 審題教師	古紹楷 吳裕明	年級	一	科別	電機	姓名		是 <input checked="" type="checkbox"/>

8. 【 】請分析如圖所示之電路圖，若輸出端 CBA 有 $110_{(2)}$ 、 $111_{(2)}$ 的狀態發生時，其次態分別為何？



- (A) 000、101 (B) 001、110 (C) 010、100 (D) 100、011

9. 【 】由 8 個正反器所組成的同步式二進位計數器，可由 0 計數到最大值為多少？(A) 127 (B) 255 (C) 511 (D) 1023

10. 【 】若用 JK 正反器設計一個二位元同步計數器，其輸出端 BA 計數的順序為 $00 \rightarrow 01 \rightarrow 11 \rightarrow 10 \rightarrow 00$ ，其中 B 為最高有效位元，則正反器輸入端 J_B 、 K_B 的最簡布林代數式分別為 (A) $A \cdot A$ (B) $A \cdot \bar{A}$ (C) $B \cdot \bar{A}$ (D) $A \cdot \bar{B}$

11. 【 】續上題，則正反器輸入端 J_A 、 K_A 的最簡布林代數式分別為 (A) $\bar{A} \cdot A$ (B) $\bar{A} \cdot B$ (C) $B \cdot \bar{A}$ (D) $\bar{B} \cdot B$

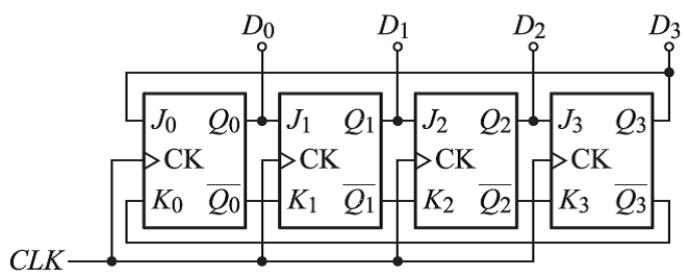
12. 【 】設計一個除 5 的二進位同步計數器，至少需要由幾個正反器組成_____個？(A) 2 (B) 3 (C) 4 (D) 5

13. 【 】設計一個從 $0_{(10)}$ 計數到 $127_{(10)}$ 的二進位同步計數器，至少需要幾個正反器組成_____個？(A) 6 (B) 7 (C) 8 (D) 9

14. 【 】若利用 D 型正反器，設計一個 6 模的環型計數器，至少需要由幾個正反器組成？(A) 3 個 (B) 4 個 (C) 5 個 (D) 6 個

15. 【 】偶數模強生計數器的輸出脈波工作週期為 (A) 0.125 (B) 0.25 (C) 0.75 (D) 0.5

16. 【 】如圖所示為一循序邏輯電路，關於其功能敘述，下列何者正確？



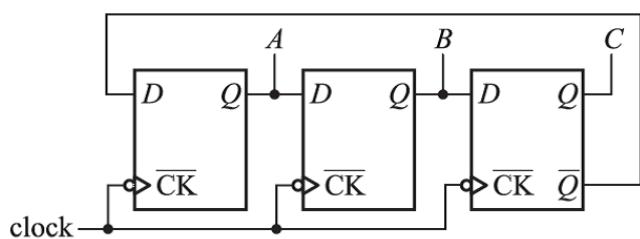
- (A) 此電路屬於偶數模強森計數器 (Johnson Counter) (B) 此電路屬於奇數模強森計數器 (Johnson Counter) (C) 此電路可能輸出的 $D_0D_1D_2D_3$ 序列為 $0001 \rightarrow 0011 \rightarrow 0111$ (D) 此電路可能輸出的 $D_0D_1D_2D_3$ 序列為 $1000 \rightarrow 0100 \rightarrow 0010$

17. 【 】設計一個 12 模的二進位同步計數器，至少需要由幾個正反器組成_____個？(A) 2 (B) 3 (C) 4 (D) 5

18. 【 】同步計數器由 5 個正反器組成，若每個正反器的傳遞延遲時間是 20 ns，則此計數器的總傳遞延遲時間為 (A) 20ns (B) 40ns (C) 80ns (D) 100ns

19. 【 】續上題，則此計數器所能輸入的最大時脈頻率為 (A) 50MHz (B) 25 MHz (C) 12.5MHz (D) 10MHz

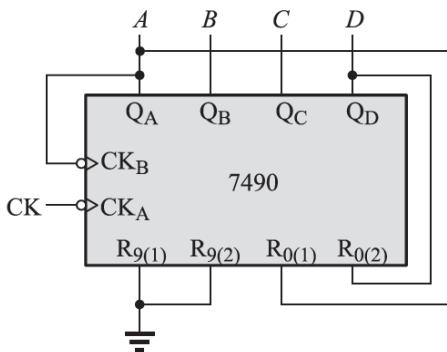
20. 【 】如圖所示邏輯電路，若時脈信號 clock 為 36kHz 方波且初始條件 $A = 1$ 、 $B = 0$ 、 $C = 1$ ，則 A 輸出端頻率為多少？



- (A) 18kHz (B) 12kHz (C) 9kHz (D) 6kHz

新北市立 新北高工 113 學年度 第 2 學期 期末考試							班級		座號		成績		答案卡	是
科 目	數位邏輯 設計	命題教師 審題教師	古紹楷 吳裕明	年級	一	科別	電機	姓名					√	

21. 【 】同步計數器的優點為
 (A) 使用正反器的數量要比非同步計數器多 (B) 適合使用低頻率的時脈 (C) 傳遞延遲時間短 (D) 電路結構簡單
22. 【 】JK 正反器的輸出端 Q 由 1 變為 0 時，其輸入端 J 、 K 所需的狀態分別為何？
 (A) 0、× (B) ×、0 (C) 1、× (D) ×、1
23. 【 】下列有關 7490 IC 的敘述，何者錯誤？ (A) 為 BCD 計數器 (B) 為負緣觸發的計數器 (C) 當 $R_{0(1)}=R_{0(2)}=0$ 時，DCBA 的輸出為 $0000_{(2)}$ (D) 當 $R_{9(1)}=R_{9(2)}=1$ 時，DCBA 的輸出為 $1001_{(2)}$



24. 【 】如圖所示電路，其模數為多少？

(A) 7 模上數非同步計數器 (B) 8 模上數非同步計數器 (C) 9 模上數非同步計數器 (D) 9 模上數同步計數器

25. 【 】下列有關 7493 IC 的敘述，何者正確？ (A) 為 BCD 計數器 (B) 為四位元十二進位計數器 (C) 為四位元十六進位計數器 (D) 為同步計數器

二、問答題（每題 8.33 分，共 25 分）：

1.化簡如表之狀態表

現態 (PS)	次態 (NS)		輸出	
	$I=0$	$I=1$	$I=0$	$I=1$
a	d	f	1	0
b	d	f	1	0
c	c	e	0	1
d	d	e	0	1
e	a	f	0	0
f	a	e	0	0

- 2.請利用 JK 正反器， 設計一個 6 模下數同步計數器， 其輸出端 CBA 計數的順序為 $000 \rightarrow 101 \rightarrow 100 \rightarrow 011 \rightarrow 010 \rightarrow 001 \rightarrow 000$ ，其中 C 為最高有效位元請改用 T型正反器設計一個 6 模下數同步計數器，則正反器輸入端 T_A 、 T_B 、 T_C 的最簡布林代數式分別為何？且畫出其電路圖

- 3.試以 7490 設計一個 7 模上數非同步計數器