

一、單選題 (共 35 題每題 2 分，共 70 分)：

1. 【 】理想 OPA 作為放大器使用時，其外加電路應為？  
(A) 穩壓電路 (B) 濾波電路 (C) 負回授電路  
(D) 正回授電路

2. 【 】理想運算放大器的輸入電壓  $V_{i(+)}$  與  $V_{i(-)}$  大小相等、  
相位相同，則輸出電壓  $V_o =$ ？  
(A)  $V_{i(+)} \times V_{i(-)}$  (B)  $V_{i(+)}$  (C)  $V_{i(-)}$  (D) 0

3. 【 】理想運算放大器之虛短路特性係指？  
(A)  $V_i = 0, I_i = 0$  (B)  $V_i = 0, I_i = \infty$   
(C)  $V_i = \infty, I_i = 0$  (D)  $V_i = \infty, I_i = \infty$

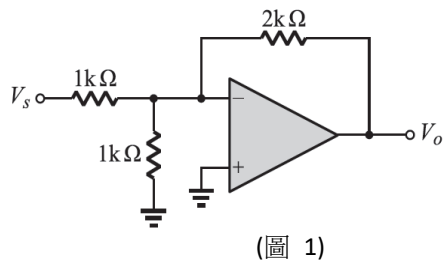
4. 【 】以下有關理想運算放大器之敘述，何者錯誤？  
(A) 輸入電阻無限大 (B) 輸出電阻無限大  
(C) 開迴路增益無限大 (D) 共模拒斥比無限大

5. 【 】以下何者為衡量運算放大器之抗雜訊能力指標  
值？(A) CMRR 值 (B) GBP 值 (C) SR 值  
(D) 開迴路增益值

6. 【 】當一個脈波輸入至 OPA，其  $V_o$  在  $0.75\mu s$  內由  
 $-2V$  升至  $+7V$ ，則其變動率為多少  $V/\mu s$ ？  
(A) 6.75 (B) 9 (C) 12 (D) 20

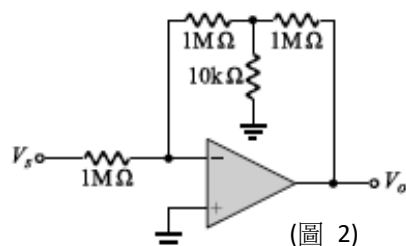
7. 【 】OPA 多級放大之各級電壓增益與下列何者有關？  
(A) 負載電阻 (B) 輸出電阻 (C) 下級輸入電阻  
(D) 回授電阻

8. 【 】如下(圖 1)，假定  
運算放大器為理  
想，求  $V_o/V_s =$ ？  
(A) +1 (B) -1  
(C) +2 (D) -2

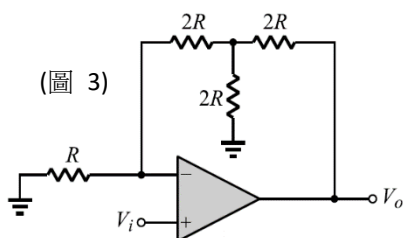


9. 【 】承上題(圖 1)，若  
OPA 之輸入抵補電壓  $V_{io} = 1mV$ ，在輸入  $V_s = 0$  時，  
輸出  $V_o =$ ？(A)  $-2mV$  (B)  $2mV$  (C)  $3mV$   
(D)  $5mV$

10. 【 】如(圖 2)所示為理想  
運算放大器之電  
路，其電壓增益為  
(A) -102 (B) -100  
(C) -2.01 (D) -2



11. 【 】如(圖 3)所示理想  
OPA 電路，求輸出電  
壓增益  $\frac{V_o}{V_i} =$ ？



- (A) 8 (B) 6 (C) 4  
(D) 2

12. 【 】以下何者不是及開的布林代數式？  
(A)  $Y = AB$  (B)  $Y = \overline{A} \cdot \overline{B}$  (C)  $Y = \overline{\overline{A} \cdot \overline{B}}$   
(D)  $Y = \overline{A + B}$

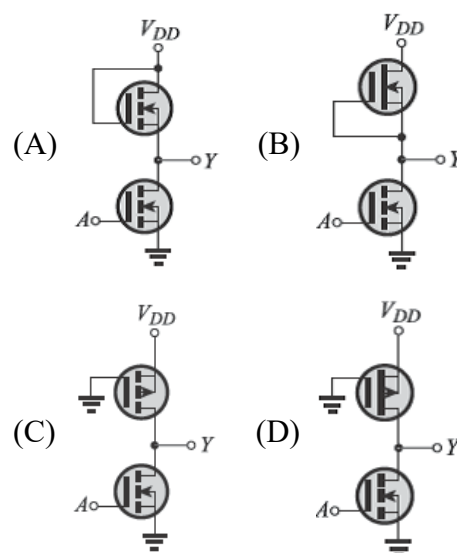
13. 【 】有關 CMOS 反相器耗電問題，下列何者錯誤？

- (A) 狀態為 0 時不耗電 (B) 狀態為 1 時不耗電  
(C) 輸入信號電壓為  $\frac{V_{DD}}{2}$  時最耗電  
(D) 完全不耗電

14. 【 】 $Y = \overline{AB} + (C + \overline{D})$  之對偶式為？

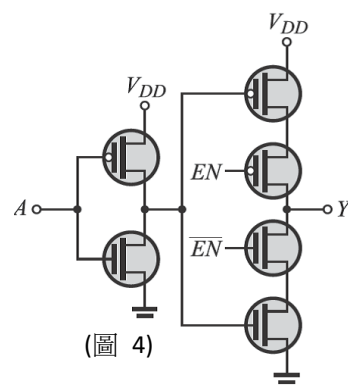
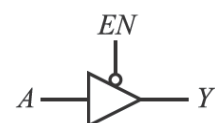
- (A)  $\overline{AB} + (\overline{C} + D)$  (B)  $(\overline{A} + B)CD$   
(C)  $(A + \overline{B})\overline{CD}$  (D)  $\overline{A} + B + C\overline{D}$

15. 【 】下列何者非為主動式負載之 NMOS 反相器



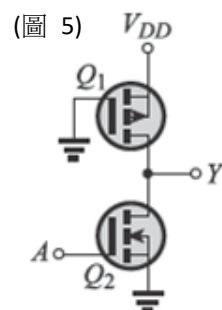
16. 【 】有關(圖 4)所示邏輯電  
路，以下何者正確？

- (A) 為三態反閘電路  
(B)  $EN = 0$  時， $Y = 0$   
(C)  $EN = 1$  時， $Y = A$   
(D) 電路符號為



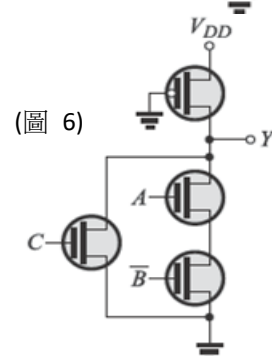
17. 【 】有關(圖 5)所示反相器邏輯電路，  
下列敘述何者錯誤？

- (A) 此為虛擬 NMOS 邏輯電路  
(B)  $Q_1$  為主動性負載  
(C)  $Y = 0$  時， $Q_1$  工作於線性電阻區  
(D)  $Y = 0$  時， $Q_2$  工作於線性電阻區



18. 【 】(圖 6)數位電路之輸出布林  
代數式  $Y =$ ？

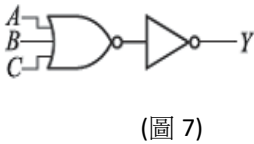
- (A)  $Y = A \cdot \overline{B} + C$   
(B)  $Y = \overline{A} \cdot \overline{C} + B \cdot \overline{C}$   
(C)  $Y = (\overline{A} + B)C$   
(D)  $Y = A \cdot C + \overline{B} \cdot C$



新北市立新北高級工業職業學校 111 學年度 第 2 學期 第 2 次段考 試題卷 New Taipei Municipal New Taipei Industrial Vocational High School								班級		座號		電腦卡作答
科目	電子學 (CH9-CH10-3)	出題 教師	許棟材	審題 教師	古紹楷 范綱憲	適用 科別	電機科	適用 年級	二(甲乙丙)	姓名		<input checked="" type="checkbox"/> 是 <input type="checkbox"/> 否

19. 【 】 CMOS 邏輯電路的最大優點是？  
 (A) 驅動電流大 (B) 製造面積小 (C) 電路簡單  
 (D) 省電

20. 【 】 若以 CMOS 邏輯電路實現如(圖 7)邏輯，以下敘述何者正確？  
 (A) 至少需要 2 顆 PMOS  
 (B) 至少需要 3 顆 PMOS  
 (C) 至少需要 4 顆 PMOS  
 (D) 至少需要 5 顆 NMOS



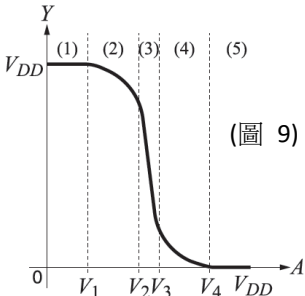
21. 【 】 有關 BiCMOS 族系的邏輯閘，下列敘述何者正確？ (A) 速度比 TTL 快 (B) 速度比 CMOS 快  
 (C) 比 CMOS 省電 (D) 製程比 TTL 簡單

22. 【 】 有關 MOSFET 作為開關時，下列敘述何者正確？  
 (A) PMOS 輸出範圍為  $V_{DD} \sim V_{SG}$ ，適於傳遞 High 信號  
 (B) PMOS 輸出範圍為  $(V_{DD} - V_{GS}) \sim 0V$ ，適於傳遞 Low 信號  
 (C) NMOS 輸出範圍為  $V_{DD} \sim V_{SG}$ ，適於傳遞 Low 信號  
 (D) NMOS 輸出範圍為  $(V_{DD} - V_{GS}) \sim 0V$ ，適於傳遞 High 信號

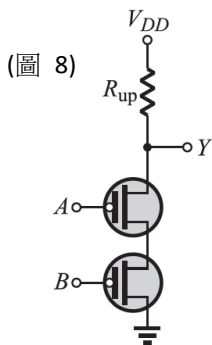
23. 【 】 有關 PMOS 邏輯電路的敘述，下列何者正確？  
 (A) 為 High 動作開關 (B) 適合傳遞 Low 信號  
 (C) 輸入變數要取補數，表示為 Low 動作  
 (D) 只能並聯使用

24. 【 】 有關 MOSFET 族系的邏輯閘，下列何者最省電？  
 (A) PMOS (B) NMOS (C) CMOS  
 (D) pseudo NMOS

25. 【 】 (圖 9)為 CMOS 輸入輸出轉移特性曲線，CMOS 最不消耗電源電能是在輸入信號電壓 A 落於何區段位置？



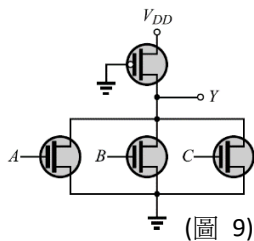
- (A) 1 (B) 2 (C) 3 (D) 4
26. 【 】 有關(圖 10)所示邏輯電路，已知  $V_{DD} = 5V$ ， $|V_{GS}| = 0.8V$ ，則以下何者錯誤？



27. 【 】 理想電晶體當作開關使用時，下列何者錯誤？  
 (A) MOSFET 為 ON 時工作於飽和區  
 (B) MOSFET 為 OFF 時工作於截止區  
 (C) BJT 為 ON 時工作於飽和區  
 (D) BJT 為 OFF 時工作於截止區

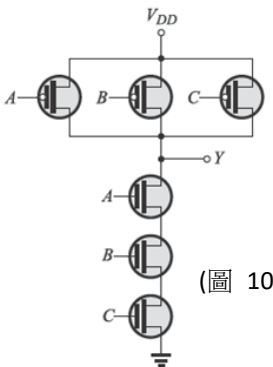
28. 【 】 (圖 11)所示邏輯電路，以下敘述何者正確？

- (A) PMOS 的功用為主動式負載  
 (B) 為 CMOS 邏輯電路  
 (C) 為反及閘邏輯  
 (D)  $Y = A + B + C$



29. 【 】 如(圖 12)所示 CMOS 邏輯電路之輸出 Y 為何種邏輯運算？

- (A) 反及運算 (B) 反或運算  
 (C) 及運算 (D) 或運算

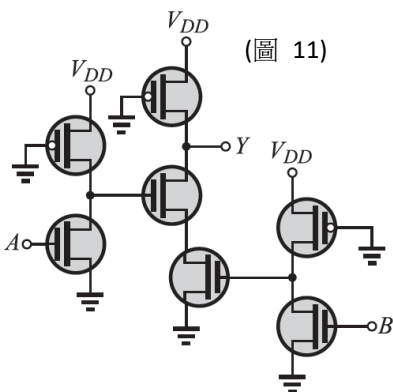


30. 【 】 有關開關邏輯特性，下列敘述何者正確？

- (A) 開關串聯為反閘特性  
 (B) 開關並聯為及閘特性  
 (C) 開關串聯為及閘特性  
 (D) 開關串聯為或閘特性

31. 【 】 (圖 13)所示邏輯電路之布林代數為？

- (A)  $Y = \overline{A} + \overline{B}$   
 (B)  $Y = AB$   
 (C)  $Y = \overline{A} \cdot \overline{B}$   
 (D)  $Y = A + B$



32. 【 】 虛擬 NMOS 的主動式負載是採用

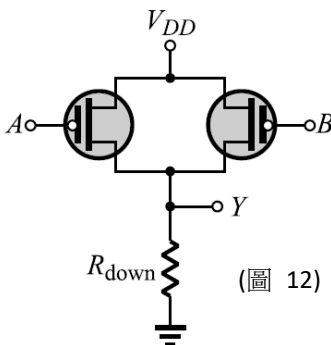
- (A) 閘極接地的 NMOS (B) 閘極接地的 PMOS  
 (C) 閘極接 VDD 的 NMOS  
 (D) 閘極接 VDD 的 PMOS

33. 【 】 有關虛擬 NMOS 與 CMOS 數位電路之比較，下列何者正確？

- (A) CMOS 速度較快 (B) 虛擬 NMOS 較省電  
 (C) CMOS 較耗電 (D) 虛擬 NMOS 製造面積較小

34. 【 】 (圖 14)所示為何種邏輯電路？

- (A) NMOS 反及閘  
 (B) NMOS 反或閘  
 (C) PMOS 反及閘  
 (D) PMOS 反或閘

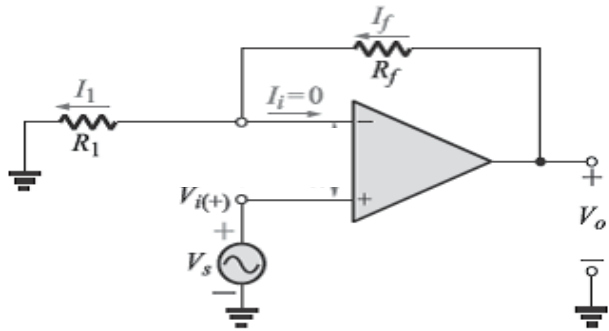


35. 【 】 有關 MOSFET 族系的邏輯閘，下列何者速度最快？  
 (A) PMOS (B) NMOS (C) CMOS  
 (D) 虛擬 NMOS

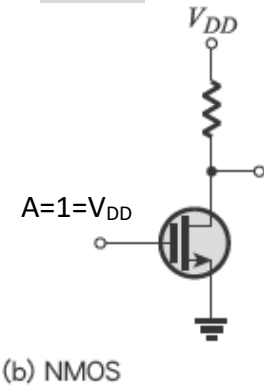
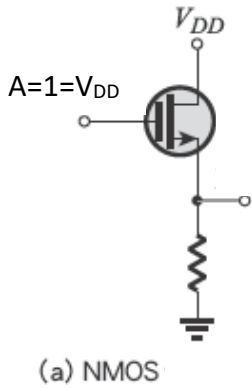
新北市立新北高級工業職業學校 111 學年度 第 2 學期 第 2 次段考 試題卷 New Taipei Municipal New Taipei Industrial Vocational High School								班級		座號		電腦卡作答
科目	電子學 (CH9-CH10-3)	出題 教師	許棟材	審題 教師	古紹楷 范綱憲	適用 科別	電機科	適用 年級	二(甲乙丙)	姓名		<input checked="" type="checkbox"/> 是 <input type="checkbox"/> 否

二、問答題 ( 3 題每題 10 分，共 30 分 )：(本卷請與「選擇題目」卷分開繳交！)

1.如圖所示電路，若  $V_s=0.2V$ ， $R_1=5k\Omega$ ， $R_f=40k\Omega$ ，試求負回授電壓增益  $A_{vf}=?$  (5%)輸出電壓  $V_o=?$  (5%)



2.試說明圖 9-14(a)(b)NMOS 為 ON 時，其工作模式分別為何？ (各 5%)



3.試繪出  $Y=A+\bar{A} \cdot \bar{B} \cdot C$  之最簡 POS 式之 CMOS 邏輯電路(5%)與虛擬 NMOS 邏輯電路(5%)。