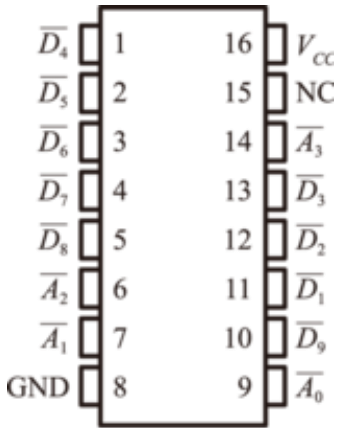


市立新北高工 112 度第 2 學期第 1 次段考試題										班別		座號		電腦卡作答
科目	數位邏輯設計	命題教師	廖國志	審題教師	蔡懷介	年級	一	科別	電機	姓名				要

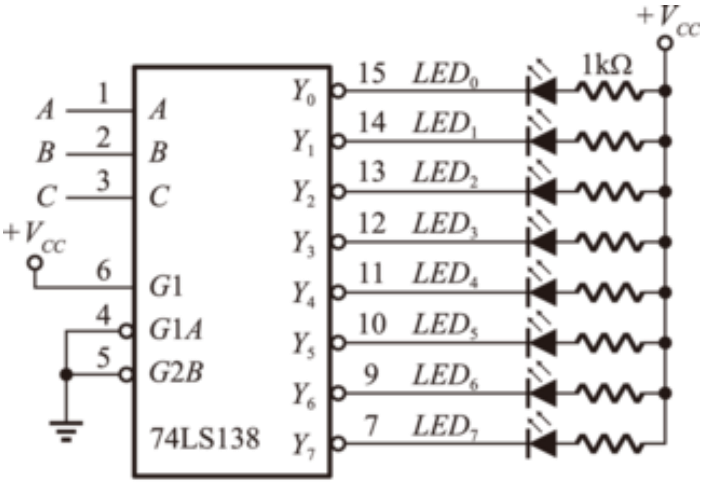
一、單選題: 共 27 題(一題 3 分,共 81 分,請填寫於答案卡上)

- 1.()設計 1bit 的比較電路，輸入以 A 、 B 表示，輸出有 X 、 Y 、 Z 結果，比較條件：當 $A > B$ 時，輸出 $X = 0$ 、其餘 Y 、 Z 為 1。當 $A = B$ 時，輸出 $Y = 0$ 、其餘 X 、 Z 為 1。當 $A < B$ 時，輸出 $Z = 0$ 、其餘 X 、 Y 為 1。則輸出 Z 為何？
- (A) $\overline{A} + B$ (B) $A + \overline{B}$
- (C) $\overline{A} \cdot B + A \cdot \overline{B}$ (D) $\overline{A} \cdot \overline{B} + A \cdot B$
- 2.()一個四位元的並加法器中，其每一個全加法器的傳輸延遲時間為 25ns，則此並加法器的最高工作頻率為何？
- (A)25MHz (B)10MHz
- (C)250MHz (D)100MHz
- 3.()2 個 BCD 碼做加法運算時，下列何者需再修正其總數才會正確？
- (A)被加數：0011、加數：0110
- (B)被加數：0100、加數：0101
- (C)被加數：0010、加數：0111
- (D)被加數：0111、加數：0011
- 4.()BCD 加法器中，被加數 $A_4 \sim A_1$ 、加數 $B_4 \sim B_1$ 、總數 $S_4 \sim S_1$ ，當相加結果無進位輸出、總數超過 9 時，則總數須再做何種修正？
- (A)減 0011 (B)加 0011
- (C)減 0110 (D)加 0110
- 5.()BCD 加法器中，被加數 $A_4 \sim A_1$ 、加數 $B_4 \sim B_1$ 、總數 $S_4 \sim S_1$ ，當相加結果無進位輸出、總數超過 9 時，修正電路的代數式何者正確？
- (A) $S_4 \cdot S_3 + S_4 \cdot S_2$ (B) $S_4 \cdot S_3 + S_4 \cdot S_1$
- (C) $S_4 \cdot S_2 + S_4 \cdot S_1$ (D) $S_3 \cdot S_2 + S_2 \cdot S_1$
- 6.()如下圖所示為 TTL 74147 十進位對 BCD 碼優先編碼器(Decimal-to-BCD Priority Encoder)的 IC 接腳，正常使用接上電源後，若資料輸入接腳 2、5、12 的邏輯準位為 0，其他資料輸入接腳的邏輯準位為 1，則其輸出編碼接腳 $\overline{A_3}$ $\overline{A_2}$ $\overline{A_1}$ $\overline{A_0}$ 應為？



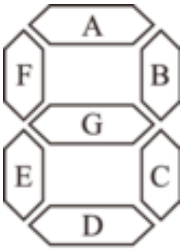
- (A)0010 (B)1101 (C)0111 (D)1000

- 7.()如下圖所示為 TTL 74LS138 所設計的邏輯電路，輸入信號為 CBA (C 表示 MSB)，以輸出信號 $Y_0 \sim Y_7$ 來控制 $LED_0 \sim LED_7$ 的亮滅狀態，則下列敘述何者正確？



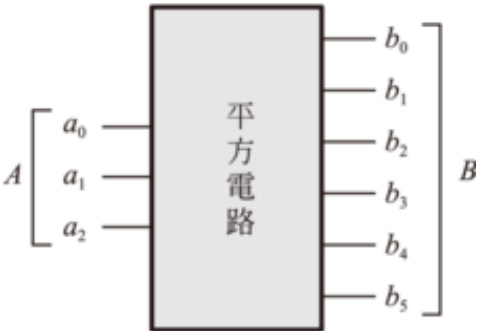
- (A)74LS138 為 3 對 8 的編碼器 IC
- (B)當解碼器某個接腳輸出為高準位，對應的 LED 為亮的狀態
- (C)當 $CBA = 000$ 時，則輸出端僅 LED_0 為亮的狀態
- (D)當 $CBA = 111$ 時，則輸出端 8 個 LED 均為亮的狀態

- 8.()如下圖所示為共陰極的七段顯示器，當輸出數字為 E 時，則顯示器接腳 $ABCDEFG$ 的輸入電位依序列出，下列何者正確？



- (A)0000110 (B)1111001
- (C)0110000 (D)1001111

- 9.()如下圖所示，設計一個數學運算的平方電路 ($B = A^2$)，輸入端 A 為 3 位元 $a_2 \sim a_0$ 表示的十進數，輸出端 B 為 6 位元 $b_5 \sim b_0$ 表示的十進數，則輸出端 b_1 的布林函式為？
- $B = A^2$ ，其中 b_5 、 a_0 為LSB

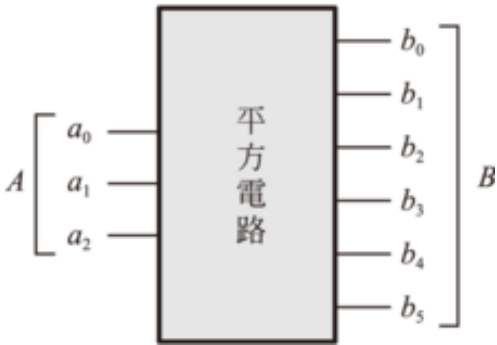


- (A)0 (B)1 (C) $a_1 \cdot \overline{a_0}$ (D) $a_2 \cdot a_1$

市立新北高工 112 度第 2 學期第 1 次段考試題										班別		座號		電腦卡作答
科目	數位邏輯設計	命題教師	廖國志	審題教師	蔡懷介	年級	一	科別	電機	姓名				要

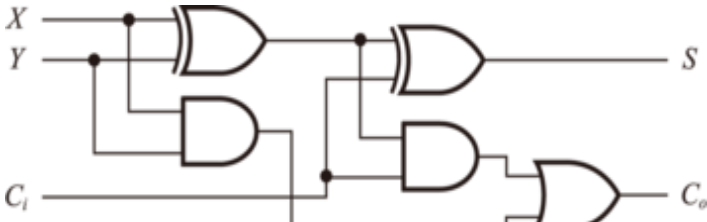
10.() 如下圖所示，設計一個數學運算的平方電路 ($B = A^2$)，輸入端 A 為 3 位元 $a_2 \sim a_0$ 表示的十進數，輸出端 B 為 6 位元 $b_5 \sim b_0$ 表示的十進數，輸出端 b_2 的布林函式為？

$B = A^2$ ，其中 $b_0、a_0$ 為 LSB



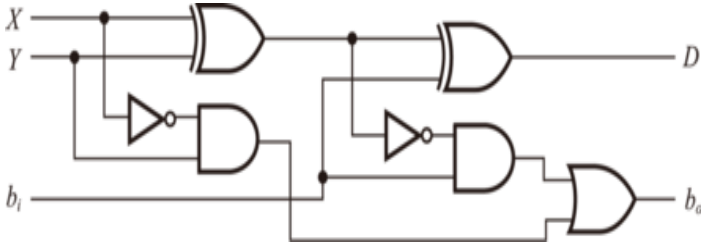
- (A) a_0 (B) a_1 (C) $a_1 \cdot \overline{a_0}$ (D) $a_2 \cdot a_1$

11.() 如下圖所示，為 2 個半加法器搭配 OR 閘組成全減法器電路，輸入以 X 表示被加數、 Y 表示加數、 C_i 表示進位輸入，輸出以 S 表示總數、 C_o 表示進位輸出，則下列敘述何者正確？



- (A) $S = X + Y + C_i$ 、 $C_o = X \cdot Y + C_i \cdot (X \oplus Y)$
 (B) $S = X + Y + C_i$ 、 $C_o = X \cdot Y \cdot C_i$
 (C) $S = X \oplus Y \oplus C_i$ 、 $C_o = X \cdot Y + C_i \cdot (X \oplus Y)$
 (D) $S = X \oplus Y \oplus C_i$ 、 $C_o = X \cdot Y \cdot C_i$

12.() 如下圖所示，為 2 個半減法器搭配 OR 閘組成全減法器電路，輸入以 X 表示被減數、 Y 表示減數、 b_i 表示借位輸入，輸出以 D 表示差數、 b_o 表示借位輸出，則下列敘述何者正確？

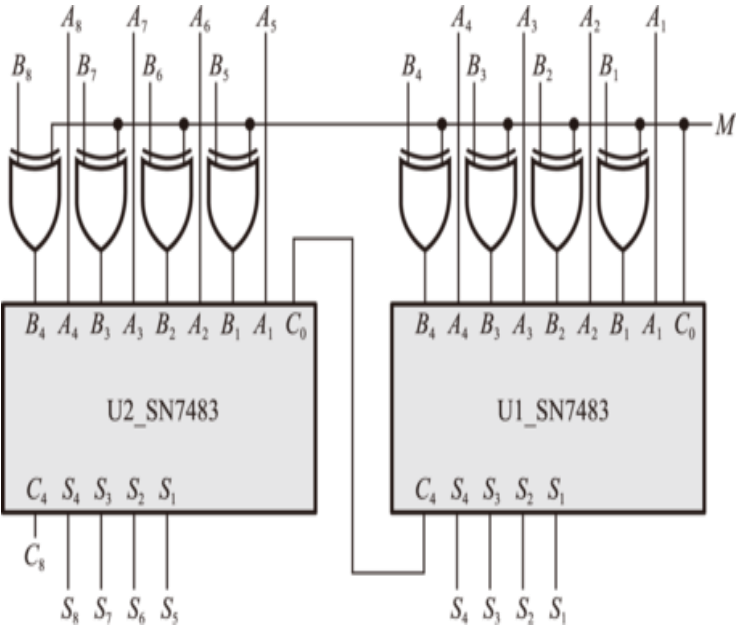


- (A) $D = X - Y - b_i$ 、 $b_o = \overline{X} \cdot Y \cdot b_i$
 (B) $D = X - Y - b_i$ 、 $b_o = \overline{X} \cdot Y + \overline{X} \cdot b_i + Y \cdot b_i$
 (C) $D = X \oplus Y \oplus b_i$ 、 $b_o = \overline{X} \cdot Y \cdot b_i$
 (D) $D = X \oplus Y \oplus b_i$ 、 $b_o = \overline{X} \cdot Y + \overline{X} \cdot b_i + Y \cdot b_i$

13.() 一個 8 位元的並加法器，假設最高工作頻率為 100MHz，則內部每一個全加法器的傳輸延遲時間最長為何？

- (A) 1ns (B) 1.25ns (C) 2ns (D) 2.5ns

14.() 如下圖所示，為一個 8 位元的並加法/減法器，假設 $A_8 \sim A_1 = 00010001$ ， $B_8 \sim B_1 = 00001000$ 時，則下列敘述何者正確？

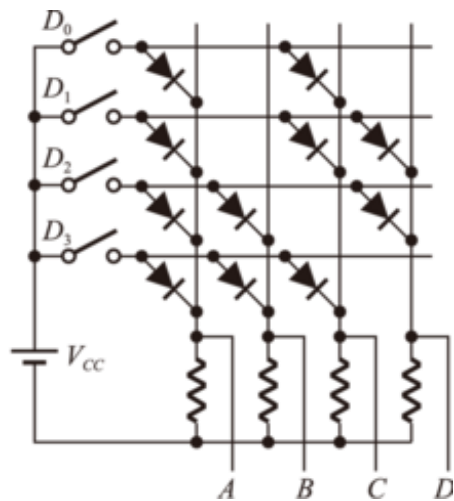


- (A) $M = 1$ 做 2's 減法，輸出結果為正值、
 $S_8 \sim S_1 = 00001001$
 (B) $M = 1$ 做 2's 減法，輸出結果為負值、
 $S_8 \sim S_1 = 11110111$
 (C) $M = 1$ 做 1's 減法，輸出結果為正值、
 $S_8 \sim S_1 = 00001001$
 (D) $M = 1$ 做 1's 減法，輸出結果為負值、
 $S_8 \sim S_1 = 11110111$

15.() 使用 TTL 7483 為 4 位元加法器設計一個 BCD 碼加法電路，假被加數 $A_4 \sim A_1$ 、加數 $B_4 \sim B_1$ 、總數 $S_4 \sim S_1$ ，當相加結果有進位輸出 C_4 時，則總數 $S_4 \sim S_1$ 須做如何處理？

- (A) 捨棄不要 (B) 拉回 C_0 再做端迴進位
 (C) 再做加 0011 修正 (D) 再做加 0110 修正

16.() 如下圖所示為一個 4 對 4 線的二極體矩陣編碼器，其輸出分別為 A、B、C、D，且D₀、D₁、D₂、D₃開關導通時為輸出為 1，則下列輸出的布林代數何者正確？

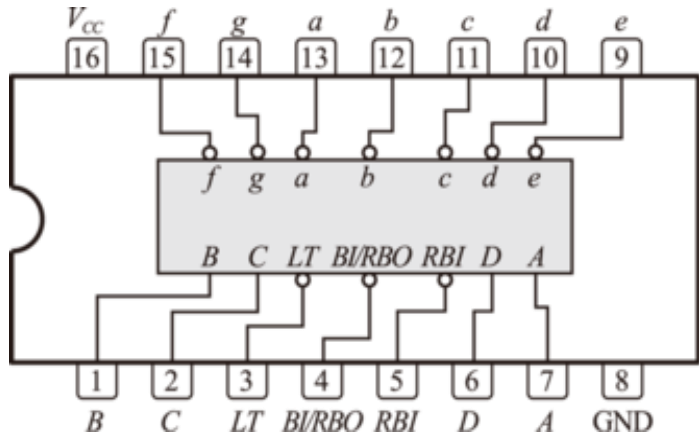


- (A) $A = D_0 D_1 D_2 D_3$ (B) $B = D_2 + D_3$
 (C) $C = D_2$ (D) $D = D_1 + D_3$

17.() 小迪想設計一個有 60 隻輸出接腳的解碼器，他應該至少要規畫幾隻輸入接腳才能完成？
 (A)5 (B)6 (C)7 (D)8

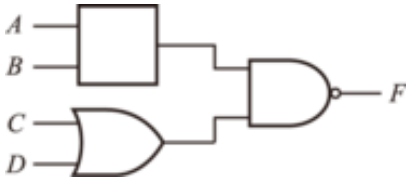
18.() 以 TTL 7447 去驅動共陽型的七段顯示器，輸出要顯示數字 5 時，有關七段顯示器連接方式，下列敘述何者正確？
 (A)公共腳接地、LED 接腳 b、c、f、g 接 Vcc
 (B)公共腳接 Vcc、LED 接腳 b、c、f、g 接地
 (C)公共腳接地、LED 接腳 a、c、d、f、g 接 Vcc
 (D)公共腳接 Vcc、LED 接腳 a、c、d、f、g 接地

19.() 小迪上數位邏輯實習課時，使用如下圖所示的 TTL 7447 IC 實作 1 個共陽極七段顯示器解碼電路，當 IC 的第 1、2、6、7 接腳的邏輯信號準位為 0、1、0、1 與 1、0、0、0 時，發現七段顯示器上出現的數字分別為 5 與 8，則下列敘述何者最為正確？



- (A)IC 的第 3 腳接地 (B)IC 的第 5 腳接地
 (C)IC 的第 11、14 與 15 腳被接地
 (D)IC 的第 12 與 13 腳接地

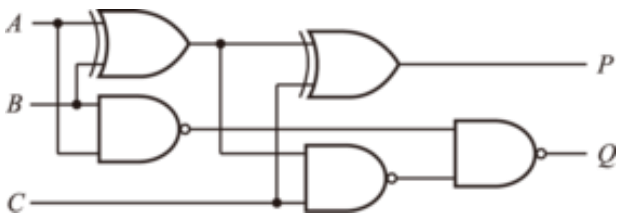
20.()如下圖所示，若 A = 0、B = C = D = 1，則 F = 0，若 A = B = C = 1、D = 0，則 F = 1，則「方框內」為何種邏輯閘？



- (A)NAND (B)NOR (C)AND (D)OR

21.() 小迪在數位邏輯實習課程中，老師要他做一個故障判斷，說明有個七段顯示器確定有一段 LED 是已經燒毀了，經測試顯示時 2、3 與 4 都會正常發亮，小迪應該要判斷哪一段燒毀才是正確？
 (A)a 段 (B)e 段 (C)f 段 (D)dot 段

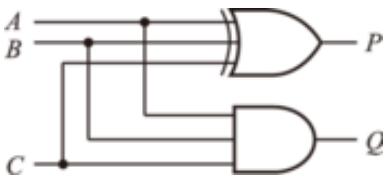
22.()如下圖數位電路之描述，下列何者錯誤？



A	B	C	P	Q
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

- (A)P 輸出的布林代數式為 $P = A \oplus B \oplus C$
 (B)Q 輸出的布林代數式為 $Q = A \cdot B + B \cdot C + A \cdot C$

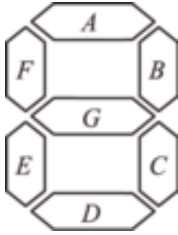
(C)電路可化簡為



(D)真值表

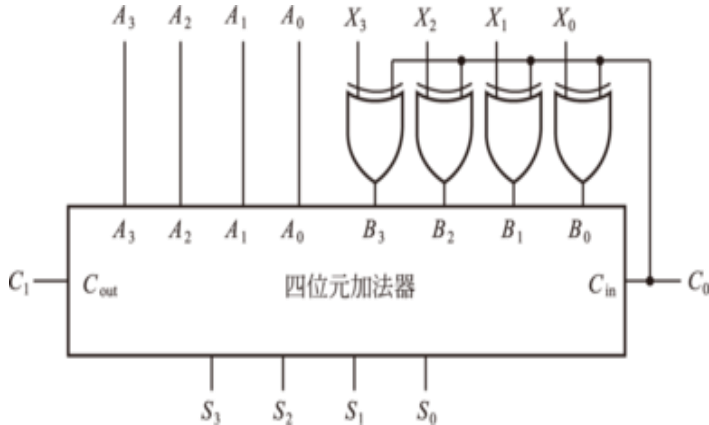
市立新北高工 112 度第 2 學期第 1 次段考試題										班別		座號		電腦卡作答
科目	數位邏輯設計	命題教師	廖國志	審題教師	蔡懷介	年級	一	科別	電機	姓名				要

23.() 下圖為共陽極的七段顯示器，當輸出數字為 5 時，則顯示器接腳 *ABCDEFG* 的輸入電位依序列出，下列何者正確？(註：1 代表高電位，0 代表低電位)



- (A)0100100 (B)1011011 (C)1111001
(D) 0000110

24.()下圖為一使用 4 位元加法器所設計的數位電路，其中輸入訊號為*A₃A₂A₁A₀*、*X₃X₂X₁X₀*和前級進位輸入(Carry-In)*C₀*。當*C₀* = 1且輸入訊號*A₃A₂A₁A₀* = 1010和*X₃X₂X₁X₀* = 0101，則進位輸出(Carry-Out)*C₁*與輸出訊號*S₃S₂S₁S₀*為何？



- (A)*C₁* = 0且*S₃S₂S₁S₀* = 0101
(B)*C₁* = 0且*S₃S₂S₁S₀* = 1111
(C)*C₁* = 1且*S₃S₂S₁S₀* = 0101
(D)*C₁* = 1且*S₃S₂S₁S₀* = 1111

25.()全加器的輸入訊號為 *A*、*B* 與前級進位輸入*C_{in}*，輸出訊號為和 *S* 與進位輸出*C_{out}*，關於全加器的功能敘述與邏輯運算式，下列何者錯誤？

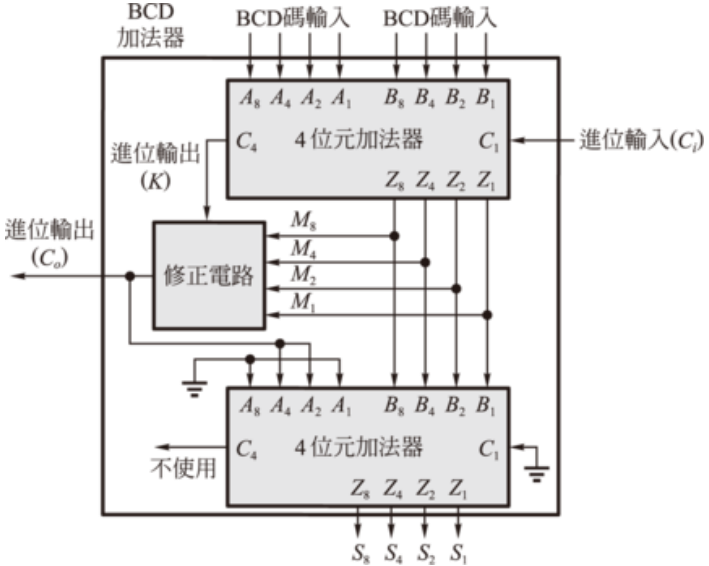
(A)*C_{in}*的功能與半加器相同

(B)*S* = *A* ⊕ *B* ⊕ *C_{in}*

(C)*C_{out}* = *A* · *B* + *B* · *C_{in}* + *A* · *C_{in}*

(D)多個全加器之間可進行串接以成為更多位元的加法器

26.()如下圖所示，BCD 加法器可使用二個 4 位元加法器及一些邏輯閘所組成的修正電路來完成，使用時將進位輸入*C_i*接地，則此修正電路輸出*C_o*的布林函數為何？



- (A)*C_o* = *K* + *M₈**M₄* + *M₈**M₂*
(B)*C_o* = *K* + *M₄**M₂* + *M₄**M₁*
(C)*C_o* = *K* + *M₄**M₁* + *M₂**M₁*
(D)*C_o* = *K* + *M₈**M₄* + *M₈**M₂*

二、填充題 (每格 2 分,共 32 分)

- 輸出以 SOP 型式設計的組合邏輯電路，輸入依序由_____、_____與_____閘串接組成，也可轉換全部使用_____閘組成。
- 輸出以 POS 型式設計組合邏輯電路，輸入依序由_____、_____與_____閘串接組成，也可轉換全部使用_____閘組成。
- 若半加法器(HA)的被加數為 *X*、加數為 *Y*，則總和的布林代數式為_____位輸出為_____。
- 若半減加法器(HS)的被減數為 *X*、減數為 *Y*，則差數的布林代數式為_____、借位輸出為_____。
- 若全加法器(HA)的被加數為 *X*、加數為 *Y*、進位輸入為 *Z*，則總和的布林代數式為_____、進位輸出為_____。
- 若全減法器(HS)的被減數為 *X*、減數為 *Y*、借位輸入為 *Z*，則差數的布林代數式為_____、借位輸出為_____。