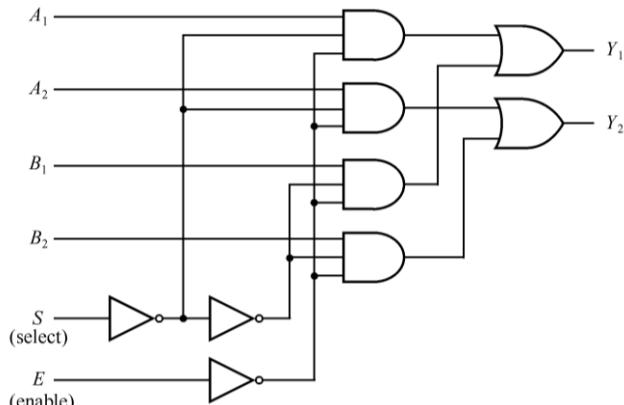


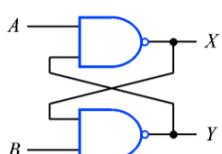
一、單選題：每題 3.5 分，※選擇題答案請畫卡※

- () 1. 若如圖電路中的 $E=0$, $S=1$, 則



- (A) $Y_1 Y_2 = A_1 A_2$ (B) $Y_1 Y_2 = B_1 B_2$ (C) $Y_1 Y_2 = 11$ (D) $Y_1 Y_2 = 00$

- () 2. 如圖所示之邏輯電路，若 $A = 1$, $B = 0$ ，則

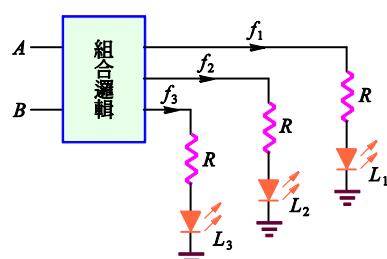


- (A) $X = 1$, $Y = 1$ (B) $X = 1$, $Y = 0$ (C) $X = 0$, $Y = 1$ (D) $X = 0$, $Y = 0$.

- () 3.二對一線多工器有 Z 輸出和 A 、 B 兩資料輸入，其選擇輸入為 S ，則

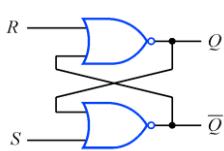
- $$(A) A = AS + BS \quad (B) Z = (A + S)(B + S) \quad (C) Z = AS + B\bar{S} \quad (D) Z = A\bar{S} + \bar{B}S$$

- () 4. 如圖所示組合邏輯電路，設 $A > B$ 時， $f_1 = 1$ (其餘為 0)， $A = B$ 時， $f_2 = 1$ (其餘為 0)， $A < B$ 時， $f_3 = 1$ (其餘為 0)；



- 則 f_3 的布林式為 (A) $\bar{A}B$ (B) $\bar{A}\bar{B} + AB$ (C) $A\bar{B}$ (D) $A + B$ 。

- () 5. 如圖為 NOR 閘組成 RS 電閘(latch)，下列敘述何者有誤？(註： H ：代表高電位， L ：代表低電位)



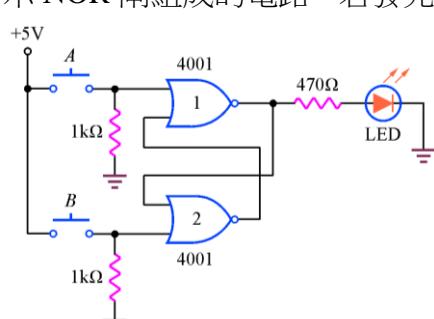
- (A) $S = L$, $R = L$ 則 O 不變 (B) $S = H$, $R = L$ 則 $O = L$ (C) $S = H$, $R = L$ 則 $O = H$ (D) $S = L$, $R = H$ 則 $O = L$ 。

- () 6. 有關 PAL、SPLD、CPLD 及 FPGA 中，下列敘述，何者錯誤？(A)PAL 與 PLA 均可稱為一種簡單型 PLD(SPLD : Simple PLD) (B)CPLD 由多個獨立的邏輯區塊(logic block)組合(C)SPLD 可在電路上隨時規劃(D)FPGA 具有最高邏輯閘容量。

- () 7. 數位電路中的正反器，其工作情形有如(A)不穩態多諧振盪器 (B)單穩態多諧振盪器 (C)雙穩態多諧振盪器 (D)鬆弛振盪器(relaxation oscillator)。

- () 8 一個具有 40 條資料輸入線之多工器(MUX)，至少需要幾條選擇線？(A)5 (B)6 (C)12 (D)18 條。

- () 9. 如圖所示 NOR 閘組成的電路，若發光二極體(LDE)不發亮，如欲使發光二極體發亮，要如何操作按鈕開關 A 與按鈕開



- 關 B ?  (A)按鈕開關 A 導通(ON)，按鈕開關 B 斷開(OFF) (B)按鈕開關 A(OFF)，按鈕開關 B 斷開(OFF) (C)按鈕開關 A 斷開(OFF)，按鈕開關 B 導通(ON) (D)操控按鈕開關 A 或按鈕開關 B 均無法使 LED 發亮。

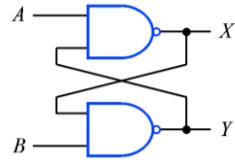
- () 10.下列敘述何者不正確？(A)多工器的輸出可以有 4 個 (B)多工器的輸入可以有 8 個 (C)解多工器的輸出可以有 4 個
(D)解多工器的輸出可以有 8 個。

新北市立新北高工 107 學年度第 2 學期 期中考 考試							班級		座號
科 目	數位邏輯	命題教師	林彥宸	年 級	一	科 別	電 機	姓 名	

共 3 頁, 第 2 頁
 使用電腦讀卡
 答案請寫於答案卷上
 答案請寫於試卷上

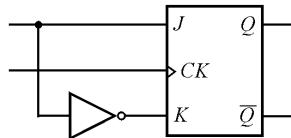
() 11. 最少需要使用多少個 2 對 1 線的多工器才能達到 8 對 1 線多工器的功能？(A)4 (B)6 (C)7 (D)8。

() 12. 如圖所示之邏輯電路，若將 A 變為 1，B 仍為 1，則



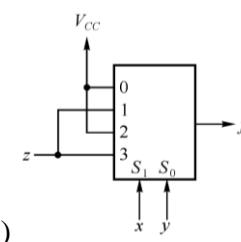
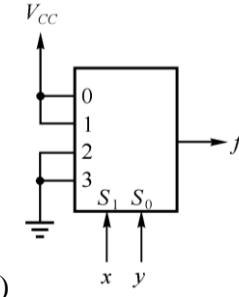
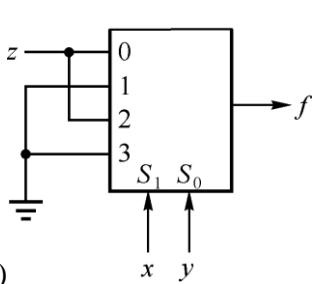
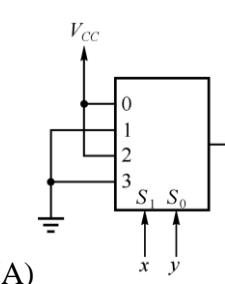
- (A) $X = 1, Y = 1$ (B) $X = 1, Y = 0$ (C) $X = 0, Y = 1$ (D) $X = 0, Y = 0$ 。

() 13. 一個 JK 正反器若將其接成如圖所示的電路時，則為



- (A) SR 正反器 (B) JK 正反器 (C) T 型正反器 (D) D 型正反器。

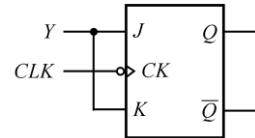
() 14. 設有一布林函數 $f(x, y, z) = \overline{xyz} + \overline{x}yz + xy\overline{z} + x\overline{y}z$ ，使用 4×1 多工器來製作此函數，下列何者正確？



() 15. 邏輯電路的輸出除了與目前的輸入狀態有關之外，也與前一個輸出狀態有關的是

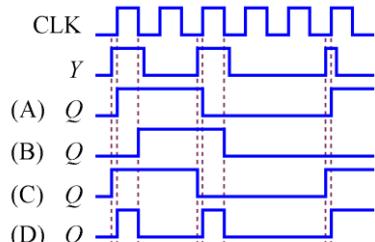
- (A) 組合邏輯電路 (B) 序向邏輯電路 (C) 全加器電路 (D) 解多工器電路。

() 16. 如圖所示，JK 正反器經外部接線後變為



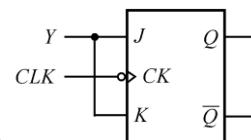
- (A) RS 正反器 (B) D 型正反器 (C) T 型正反器 (D) JK 正反器。

() 17. 承上題，如圖中所示的時脈 CLK 及輸入訊號 Y 如下，則輸出訊號 Q 之正確波形為



- (A) A 波形 (B) B 波形 (C) C 波形 (D) D 波形。

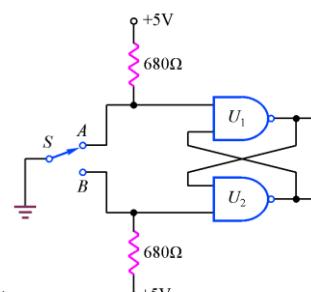
() 18. 假設一 JK 正反器在 t_0 週期之 Q 值為 1，在 $t_1 \sim t_4$ 週期之輸入訊號 JK 分別為 $11 \rightarrow 01 \rightarrow 10 \rightarrow 00$ ，則 Q 在 $t_1 \sim t_4$ 週期之輸出變化情形為：(A) $0 \rightarrow 0 \rightarrow 1 \rightarrow 1$ (B) $1 \rightarrow 0 \rightarrow 1 \rightarrow 0$ (C) $0 \rightarrow 1 \rightarrow 1 \rightarrow 0$ (D) $1 \rightarrow 1 \rightarrow 0 \rightarrow 0$ 。



() 19. 如圖所示的正反器之時脈 CLK 觸發形式為

- (A) 正緣觸發 (B) 負緣觸發 (C) 正緣與負緣皆觸發 (D) 無觸發

() 20. 如圖為 TTL 邏輯閘組成的開關去除跳動雜訊(debounce)電路。S 為一自返開關，當 S 由 A(原來位置)扳至 B 再於 1 秒後



回至 A 時， U_1 的輸出狀態是

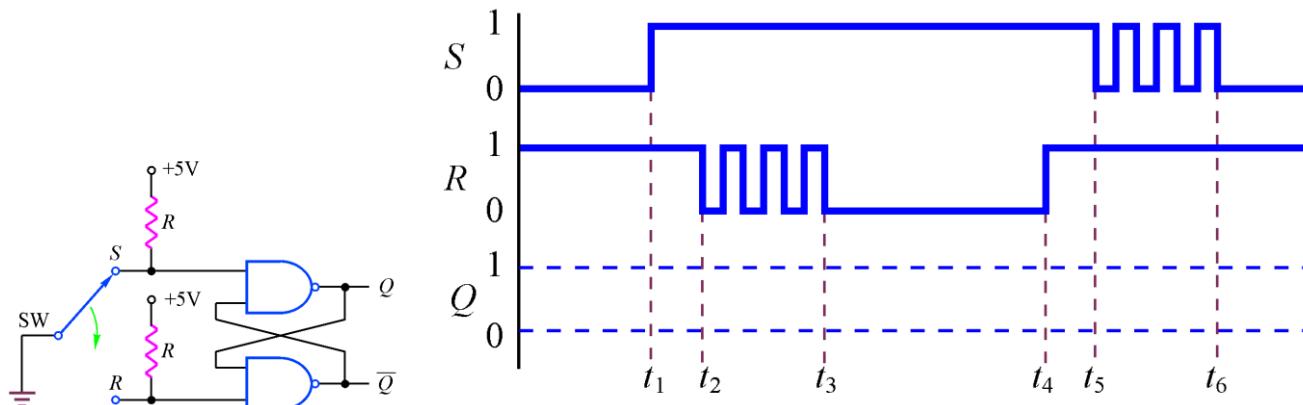
- (A) 由原來的 LOW 電位變 HIGH 電位再回至 LOW 電位 (B) 由原來的 HIGH 電位變成 LOW 電位再回至 HIGH 電位
(C) 由原來的 LOW 電位變成永久的 HIGH 電位 (D) 由原來的 HIGH 電位變成永久的 LOW 電位。

新北市立新北高工 107 學年度第 2 學期 期中考 考試							班級		座號
科目	數位邏輯	命題教師	林效宸	年級	一	科別	電機	姓名	

共 3 頁, 第 3 頁
 使用電腦讀卡
 答案請寫於答案卷上
 答案請寫於試卷上

二、問答題: 共 33 分 ※答案填於試卷上※

1. 如圖所示為 NAND 閘所組的 RS 框鎖器防彈跳電路，請依圖中 S、R 輸入波形，繪出相對應的輸出 Q 波形時序。



2. 嘗試設計一個含致能端(enable)的二對一線多工器電路，其真值表如表(1)所示。試寫出 Y 輸出之布林代數式

表(1)

輸入		輸出
致能	選擇	
E	S	Y
0	X	0
1	0	B
1	1	A

3. 嘗試依真值表(下表)設計一個一對二線解多工電路，並寫出其輸出布林函數。

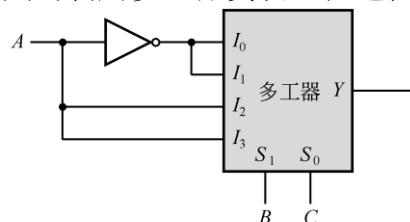
選擇輸入	輸出
S	Y_0 Y_1
0	I 0
1	0 I

輸出布林函數

$$Y_0 =$$

$$Y_1 =$$

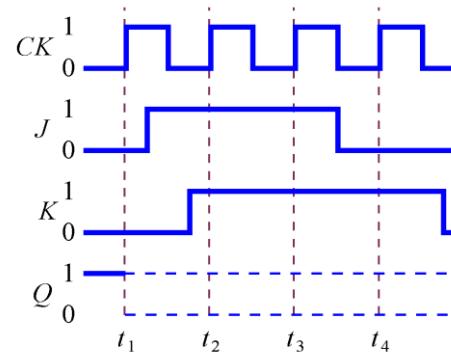
4. 如圖為利用多工器實現組合邏輯函數的電路，試寫出該電路的輸出布林函數 SOP 數字式 $Y(A, B, C) = \Sigma(?)$



5. 試寫出 JK 正反器之真值表。

6. 如圖為正緣觸發型 JK 正反器的輸入／輸出時序，請繪出正確的 Q 輸出端波形。

J	K	Q_{n+1}
0	0	
0	1	
1	0	
1	1	



7. 試寫出一位元比較器之真值表，與各輸出之布林代數式。

輸入		輸出		
A	B	$L(A < B)$	$E(A = B)$	$G(A > B)$
0	0			
0	1			
1	0			
1	1			

$$L = \underline{\hspace{2cm}}$$

$$E = \underline{\hspace{2cm}}$$

$$G = \underline{\hspace{2cm}}$$