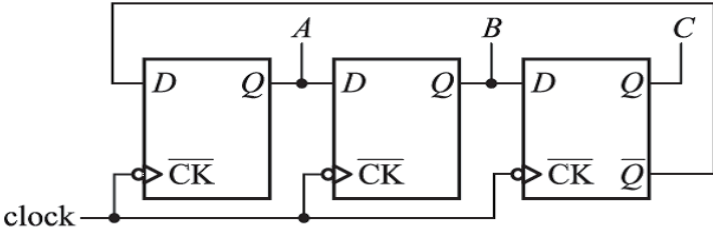
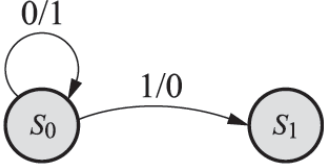
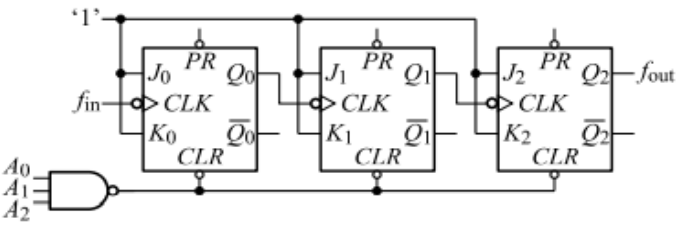
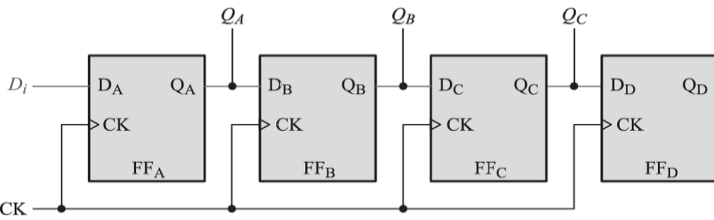


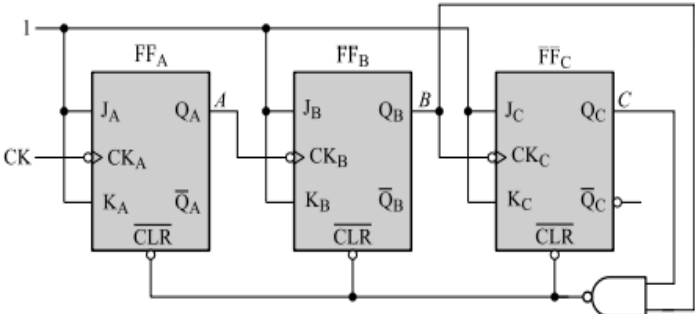
市立新北高工 111 度第 2 學期第 3 次段考試題										班別		座號		電腦卡作答
科目	數位邏輯設計	命題教師	廖國志	審題教師	古紹楷	年級	一	科別	電機	姓名				要

一、單選題（每題 3 分，共 81 分）：

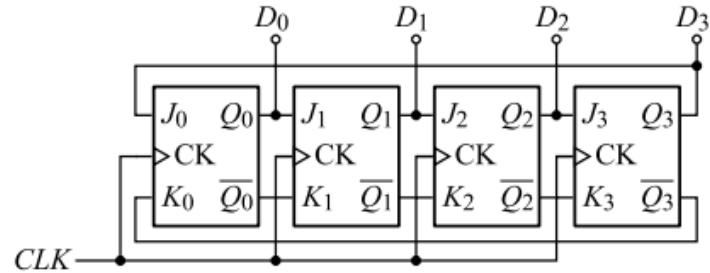
1. 【 】設計一個 20 模的非同步計數器，至少需要由幾個正反器組成_____個？
(A) 4 (B) 2 (C) 3 (D) 5
2. 【 】續上題，若輸入時脈的頻率為 80kHz，則最後一級正反器的輸出脈波頻率為
(A) 8kHz (B) 4kHz (C) 3kHz (D) 16kHz
3. 【 】下列有關 7492 IC 的敘述，何者正確？
(A) 為 BCD 計數器 (B) 為四位元十二進位計數器
(C) 為同步計數器 (D) 為四位元十六進位計數器
4. 【 】若用 JK 正反器設計一個二位元同步計數器，其輸出端 BA 計數的順序為 00 → 01 → 11 → 10 → 00，其中 B 為最高有效位元，則正反器輸入端 J_B 、 K_B 的最簡布林代數式分別為
(A) B 、 \overline{A} (B) A 、 A (C) A 、 \overline{A} (D) A 、 \overline{B}
5. 【 】續上題，則正反器輸入端 J_A 、 K_A 的最簡布林代數式分別為
(A) \overline{A} 、 B (B) B 、 \overline{A}
(C) \overline{A} 、 A (D) \overline{B} 、 B
6. 【 】如圖所示邏輯電路，若時脈信號 clock 為 36kHz 方波且初始條件 $A = 1$ 、 $B = 0$ 、 $C = 1$ ，則 B 輸出端頻率為多少？

(A) 18kHz (B) 6kHz (C) 12kHz (D) 9kHz
7. 【 】下列有關 7490 IC 的敘述，何者正確？
(A) 為同步計數器 (B) 為四位元十二進位計數器
(C) 為 BCD 計數器 (D) 為四位元十六進位計數器
8. 【 】試用 JK 正反器設計一個 3 模上數同步計數器，其輸出端 BA 計數的順序為 00→01→10→00，其中 B 為最高有效位元，則正反器輸入端 J_B 、 K_B 的最簡布林代數式分別為何？
(A) $J_B = 1$ 、 $K_B = A$ (B) $J_B = A$ 、 $K_B = 1$
(C) $J_B = B$ 、 $K_B = \overline{A}$ (D) $J_B = 1$ 、 $K_B = \overline{A}$

9. 【 】下列有關 7490 IC 的敘述，何者錯誤？
(A) 為 BCD 計數器 (B) 為負緣觸發的計數器
(C) 當 $R_{9(1)} = R_{9(2)} = 1$ 時，DCBA 的輸出為 $1001_{(2)}$
(D) 當 $R_{0(1)} = R_{0(2)} = 0$ 時，DCBA 的輸出為 $0000_{(2)}$
10. 【 】如圖所示之狀態圖，下列敘述，何者正確？

(A) 當輸入變數為 1，則狀態由 S_0 轉變為 S_0 且輸出變數為 0
(B) 當輸入變數為 1，則狀態由 S_0 轉變為 S_1 且輸出變數為 1
(C) 當輸入變數為 0，則狀態由 S_0 轉變為 S_0 且輸出變數為 1
(D) 當輸入變數為 0，則狀態由 S_0 轉變為 S_0 且輸出變數為 0
11. 【 】小明必須設計一個邏輯電路，目標是將時脈信號的頻率從 10MHz(f_{in})除頻為 2MHz(f_{out})。如圖所示為小明應用非同步計數器所設計的除頻器電路，其中， Q_2 為最高位元(MSB)，而 Q_0 為最低位元(LSB)，但 NAND 閘的輸入信號 $A_2A_1A_0$ 與正反器輸出信號 $Q_2Q_1Q_0$ 有尚未完成的連接關係。假設所有正反器的 PR=1，試問此電路中 $A_2A_1A_0$ 與 $Q_2Q_1Q_0$ 之連接關係式為何？

(A) $A_2A_1A_0 = Q_2Q_1\overline{Q_0}$ (B) $A_2A_1A_0 = \overline{Q_2}Q_1Q_0$
(C) $A_2A_1A_0 = Q_2\overline{Q_1}Q_0$ (D) $A_2A_1A_0 = Q_2\overline{Q_1}\overline{Q_0}$
12. 【 】如圖所示電路，若輸入端資料 D_i 持續為 1，且輸出端起始狀態 $Q_AQ_BQ_CQ_D$ 為 1000，則經過 2 個 CK 觸發後，其輸出端 $Q_AQ_BQ_CQ_D$ 為

(A) 1110 (B) 1111 (C) 1011 (D) 1101

13. 【 】如圖所示之計數器為

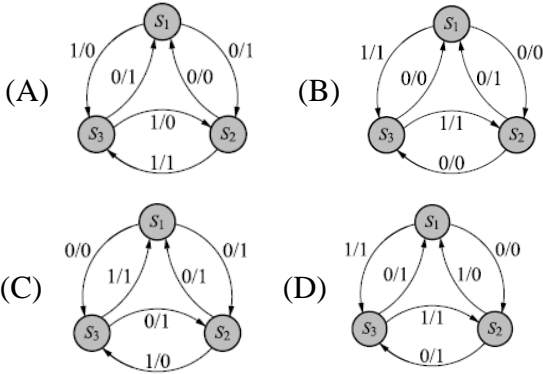


- (A) 6 模下數非同步計數器
 (B) 5 模上數非同步計數器
 (C) 6 模上數非同步計數器
 (D) 5 模下數非同步計數器
14. 【 】續上題，正反器 FF_C 的輸出脈波 Q_C 之工作週期 (duty cycle) 為何？
 (A) 25% (B) 50% (C) 3.3% (D) 20%
15. 【 】如圖為一循序邏輯電路，關於其功能敘述，下列何者正確？



- (A) 此電路屬於奇數模強森計數器 (Johnson Counter) (B) 此電路可能輸出的 $D_0D_1D_2D_3$ 序列為 1000→0100→0010 (C) 此電路屬於偶數模強森計數器 (Johnson Counter) (D) 此電路可能輸出的 $D_0D_1D_2D_3$ 序列為 0001→0011→0111

16. 【 】如表所示之狀態表，所對應的狀態圖應為下列何者？
- | 現態 (PS) | 次態 (NS) | | 輸出 | |
|---------|---------|-------|-------|-------|
| | I = 0 | I = 1 | I = 0 | I = 1 |
| S_1 | S_2 | S_3 | 0 | 1 |
| S_2 | S_3 | S_1 | 1 | 0 |
| S_3 | S_1 | S_2 | 1 | 1 |

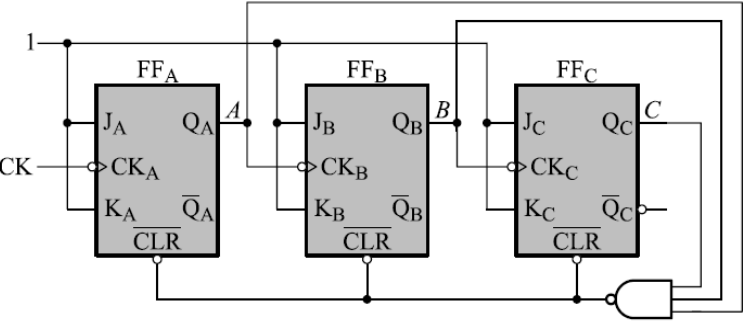


17. 【 】續上題，若按下 clear 開關後放開，且輸入 3 個時脈 (CK) 後，則輸出端 ABCD 為
 (A) 0111 (B) 1100 (C) 1111 (D) 1110

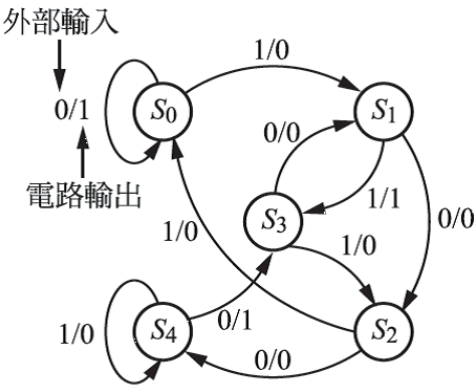
18. 【 】如表所示之狀態表，可被化簡到剩下多少個狀態？

現態 (PS)	次態 (NS)		輸出	
	I = 0	I = 1	I = 0	I = 1
a	d	b	1	0
b	d	a	1	0
c	d	e	0	1
d	b	c	0	0
e	d	c	0	1

- (A) 3 個 (B) 5 個 (C) 4 個 (D) 2 個
19. 【 】如圖所示之計數器為



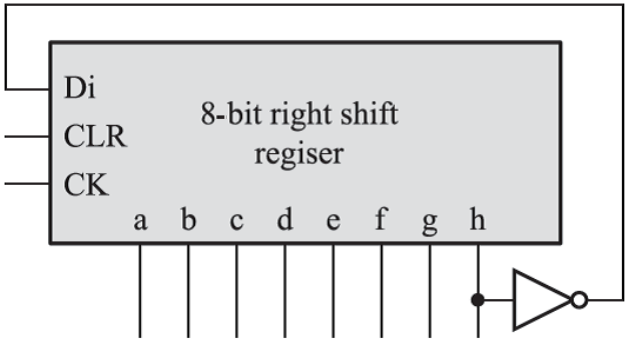
- (A) 6 模下數非同步計數器
 (B) 6 模上數非同步計數器
 (C) 7 模下數非同步計數器
 (D) 7 模上數非同步計數器
20. 【 】如圖為某數位邏輯電路狀態機，圖中 S_0 至 S_4 表示狀態，X/Y 代表外部輸入 X 時電路輸出 Y。若起始狀態為 S_0 ，將二進制數字 00000000001001，由最高位元開始依序輸入，直至最低位元輸入完畢為止。請問此邏輯電路會停留在哪一個狀態以及最後輸出為何？



- (A) 狀態停留在 S_1 ，輸出為 1 (B) 狀態停留在 S_2 ，輸出為 0 (C) 狀態停留在 S_3 ，輸出為 1 (D) 狀態停留在 S_4 ，輸出為 0

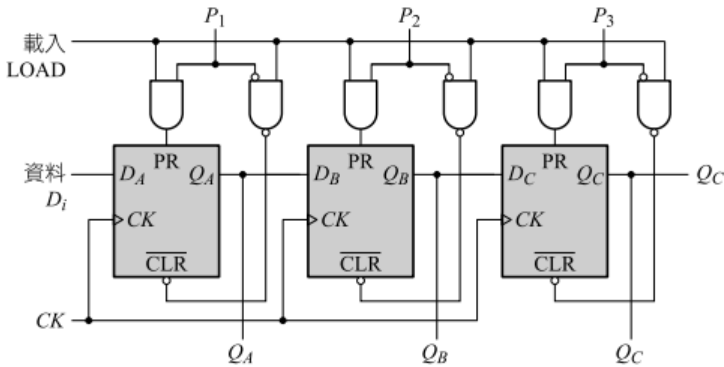
市立新北高工 111 度第 2 學期第 3 次段考試題										班別		座號		電腦卡作答
科目	數位邏輯設計	命題教師	廖國志	審題教師	古紹楷	年級	一	科別	電機	姓名				要

21. 【 】如圖所示電路為八位元右移位暫存器， D_i 為輸入右移資料，假設輸出端的起始狀態 a 至 h 為 00000000，當經過 8 個 CK 後，則輸出 a 至 h 成為



- (A) 00111111 (B) 01111111
(C) 00011111 (D) 11111111

22. 【 】如圖所示電路，當載入 $LOAD$ 控制線為 1 時，此時若輸入端資料 D_i 持續為 1，且輸入端資料 $P_1P_2P_3$ 為 110，而輸出端起始狀態 $Q_AQ_BQ_C$ 為 000，則其輸出端 $Q_AQ_BQ_C$ 為何？



- (A) 011 (B) 001 (C) 100 (D) 110

23.【 】若利用 JK 型正反器，設計一個 9 模的強生計數器，至少需要由幾個正反器組成？

- (A) 6 個 (B) 4 個 (C) 7 個 (D) 5 個

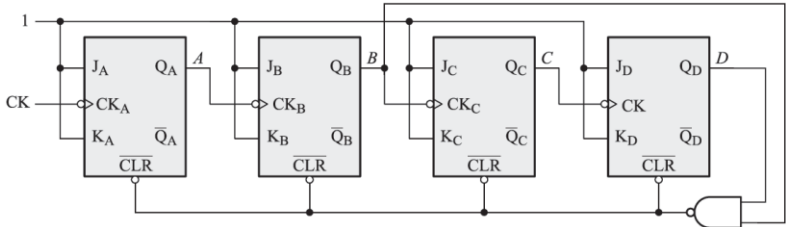
24. 【 】同步計數器由 5 個正反器組成，若每個正反器的傳遞延遲時間是 40 ns，則此計數器的總傳遞延遲時間為

- (A) 40ns (B) 80ns (C) 20ns (D) 100ns

25. 【 】續上題，則此計數器所能輸入的最大時脈頻率為

- (A) 50MHz (B) 10MHz
(C) 25 MHz (D) 12.5MHz

26. 【 】如圖所示之計數器為



- (A) 9 模下數非同步計數器
(B) 10 模上數非同步計數器
(C) 9 模上數非同步計數器
(D) 10 模下數非同步計數器

27. 【 】續上題，若 CK 的頻率為 100kHz，則最後一級正反器 D 的輸出波形頻率為

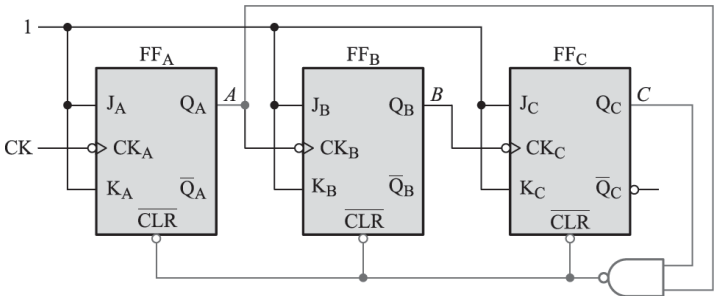
- (A) 7kHz (B) 9kHz (C) 8kHz (D) 10kHz

市立新北高工 111 度第 2 學期第 3 次段考試題										班別		座號		電腦卡作答
科目	數位邏輯設計	命題教師	廖國志	審題教師	古紹楷	年級	一	科別	電機	姓名				要

二、問答題（共 30 分）：

1. 如下圖所示電路，

- 此電路是模數為多少的上數或下數非同步計數器？
- 若輸入時脈 CK 的頻率為 20kHz ，則正反器 FF_C 的輸出脈波頻率為何？
- 正反器 FF_B 的輸出脈波之工作週期（duty cycle）為何？
- 若每個正反器的傳遞延遲時間為 30ns ，NAND 閘的傳遞延遲時間為 10ns ，則最大時脈頻率為何？（一格兩分，共八分）



2.化簡下表的狀態表（一排兩分，共六分）

現態 (PS)	次態 (NS)		輸出	
	$I = 0$	$I = 1$	$I = 0$	$I = 1$
a	a	c	1	0
b	b	c	1	0
c	b	e	1	1
d	a	c	0	1
e	a	c	0	1

3.請利用 JK 正反器，設計一個 6 模下數同步計數器，其輸出端 CBA 計數的順序為 $000 \rightarrow 101 \rightarrow 100 \rightarrow 011 \rightarrow 010 \rightarrow 001 \rightarrow 000$ ，其中 C 為最高有效位元請改用 T 型正反器設計一個 6 模下數同步計數器，則正反器輸入端 T_A 、 T_B 、 T_C 的最簡布林代數式分別為何？且畫出其電路圖(布林代數式各兩分，電路圖十分，共十六分)