

市立新北高工 110 學年度第 2 學期 期末考 試題

班別 _____ 座號 _____ 電腦卡作答

科 目	數位邏輯	命題 教師	許品禾	審題教師	許棟材 古紹楷	年 級	一	科別	電機科	姓名		是
--------	------	----------	-----	------	------------	--------	---	----	-----	----	--	---

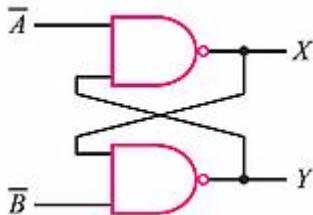
單選題 每題3分，共45分

1. () 一個正反器可以儲存多少資料？
 (A)1位元 (B)2位元 (C)4位元 (D)1字元

2. () 循序邏輯的輸出

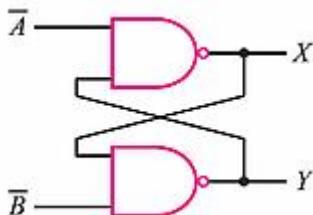
- (A) 只與目前的輸入有關
 (B) 與目前的輸入有關且與之前輸出有關
 (C) 只與之前的輸出有關
 (D) 和目前的輸入無關

3. () 如圖所示之邏輯電路，若輸入 $\bar{A} = 0$, $\bar{B} = 1$ ，則輸出為



- (A) $X = 0, Y = 0$ (B) $X = 0, Y = 1$
 (C) $X = 1, Y = 0$ (D) $X = 1, Y = 1$

4. () 如圖所示之邏輯電路，若再將輸入變為 $\bar{A}=1$, $\bar{B}=1$ ，則輸出為

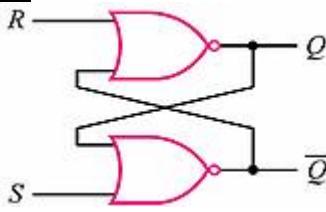


- (A) $X = 0, Y = 0$ (B) $X = 0, Y = 1$
 (C) $X = 1, Y = 0$ (D) $X = 1, Y = 1$

5. () 由NOR閘所組成的RS門閘(latch)，若輸入R及S均為0時，則輸出

- (A) Q不變 (B) Q反相 (C) $Q=0$ (D) $Q=1$

6. () 如圖所示之RS門閘(Latch)，下列敘述何者錯誤？



- (A) $S = 0, R = 1$ ，則 $Q = 0$
 (B) $S = 1, R = 0$ ，則 $Q = 1$
 (C) $S = 1, R = 0$ ，則 $Q = 0$
 (D) $S = 0, R = 0$ ，則 Q 不變

7. () RS正反器的激勵表(exciting table)應為下列何者？(註：x表示為 don't care)

Q_n	Q_{n+1}	R	S
0	0	0	x
0	1	0	1
1	0	1	0
1	1	x	0

Q_n	Q_{n+1}	R	S
0	0	x	1
0	1	0	1
1	0	1	0
1	1	1	x

Q_n	Q_{n+1}	R	S
0	0	x	1
0	1	0	1
1	0	1	0
1	1	1	x

Q_n	Q_{n+1}	R	S
0	0	x	0
0	1	1	0
1	0	0	1
1	1	0	x

8. () 正反器的兩輸出端關係為何？

- (A) 無關 (B) 相同 (C) 反相 (D) 不一定

9. () 哪一種正反器有不允許的輸入組合狀態？

- (A) RS正反器 (B) JK正反器
 (C) D型正反器 (D) T型正反器

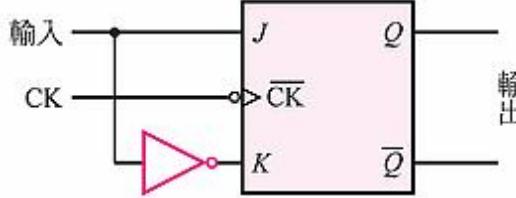
10. () 在邏輯電路中常作為數位資料的儲存用途的為

- (A) RS正反器 (B) D型正反器
 (C) T型正反器 (D) JK正反器

11. () JK正反器，若輸入 $J = K = 1$ 時，則當時脈被觸發時，輸出 Q 將會

- (A) 變為0 (B) 變為1
 (C) 維持不變 (D) 變為反相

12. () 小浩同學在上實習科時因缺少某個正反器，而以JK正反器接成如圖所示的電路來取代，請據此判斷小浩同學缺少的是何種正反器？



- (A) RS正反器 (B) JK正反器
 (C) D型正反器 (D) T型正反器

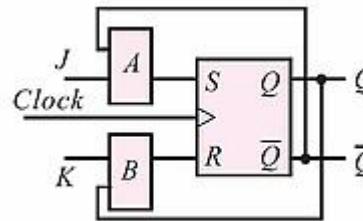
13. () 若將JK正反器的JK輸入接在一起，則其特性等效於何種正反器？

- (A) RS正反器 (B) JK正反器
 (C) D型正反器 (D) T型正反器

14. () 一個D型正反器可儲存多少個位元資料？

- (A) 1個 (B) 2個 (C) 4個 (D) 8個

15. () 將SR正反器連接成JK正反器如圖所示，若方塊A及方塊B分別僅能使用1個二輸入邏輯閘，則下列何者正確？



- (A) 方塊A使用AND、方塊B使用OR
 (B) 方塊A使用NAND、方塊B使用NOR
 (C) 方塊A使用AND、方塊B使用AND
 (D) 方塊A使用NAND、方塊B使用NAND

(背面上有試題)

問答題 共55分

1.請畫出 RS 正反器的(1)電路 (2)真值表 (3) 符號(15%)

2.請畫出 D 型正反器的(1)電路 (2)真值表 (3) 符號(15%)

3.請畫出 JK 正反器的(1)電路 (2)真值表 (3) 符號(15%)

4.嘗試利用 RS 正反器與基本邏輯閘改成 JK 正反器
(10%)

5.嘗試利用 D 型正反器與基本邏輯閘改成 JK 正反(10%)