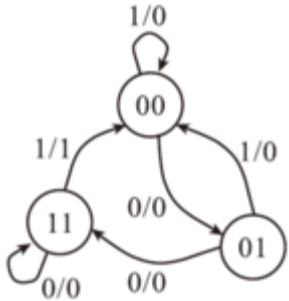


一、 單選題，共 34 題，每題 3 分（單選題請畫卡）

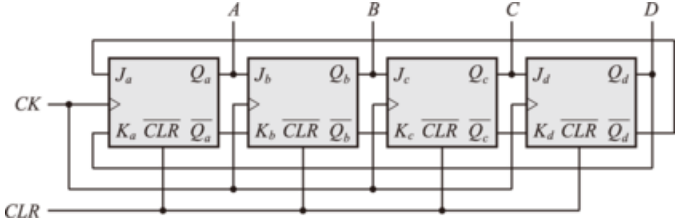
1.()如下圖的狀態圖表，當現在狀態為 11 時，依序輸入 0 及 1 之後，則狀態表中的「下次狀態」與「輸出」邏輯值依序分別為下列何者？



現在狀態	下次狀態		輸出	
	輸入 0	輸入 1	輸入 0	輸入 1
00				
01				
11				

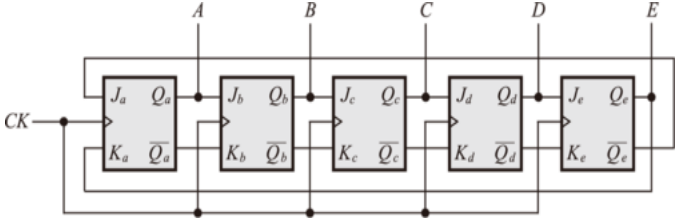
- (A) 01, 00, 0, 0 (B)11, 00, 0, 1
(C)01, 11, 0, 0 (D)11, 01, 0, 0

2.()如下圖偶數強森計數器電路所示，下列輸出 DCBA 狀態值何者錯誤？



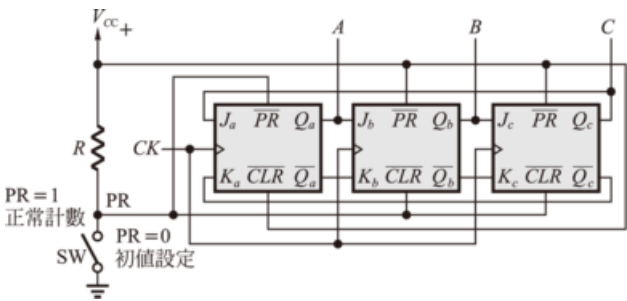
- (A)0011 (B)0000 (C)1111 (D)1001

3.()如下圖所示，下列何者不會是電路的輸出狀態值？



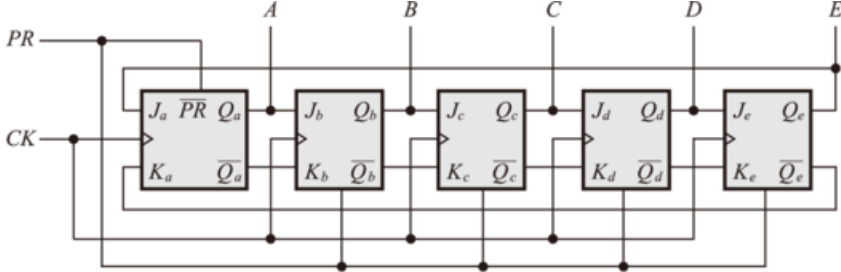
- (A)11100 (B)10011 (C)00000 (D)11111

4.()3 位元的環型計數器如下圖所示，下列何者不是輸出 CBA 的狀態？



- (A)010 (B)000 (C)100 (D)001

5.()如下圖所示，環形計數器電路的 MOD 值為何？



- (A)9 (B)10 (C)5 (D)32

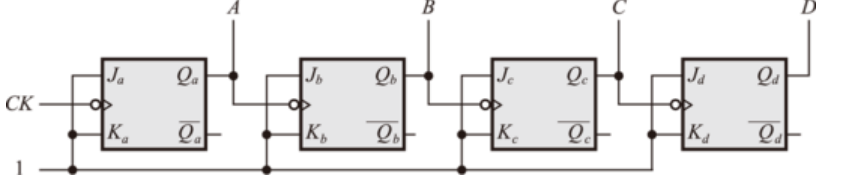
6.()CMOS 邏輯閘無穩態多諧振盪器電路中，可由下列何種邏輯閘所構成？

- (A)Buffer (B)AND (C)OR (D)NOT

7.()設計一個模數 50 的非同步計數器，至少需用多少個正反器？

- (A)5 (B)6 (C)7 (D)4

8.()如下圖所示，為 MOD 16 非同步計數器電路，若輸入時脈 CK 頻率為 320kHz，則各輸出頻率何者正確？



- (A) $A = B = C = D = 80\text{kHz}$
(B) $A = 20\text{kHz}$ 、 $B = 40\text{kHz}$ 、 $C = 80\text{kHz}$ 、 $D = 160\text{kHz}$
(C) $A = B = C = D = 20\text{kHz}$
(D) $A = 160\text{kHz}$ 、 $B = 80\text{kHz}$ 、 $C = 40\text{kHz}$ 、 $D = 20\text{kHz}$

9.()下列何種移位暫存器的資料輸入與輸出速度最慢？

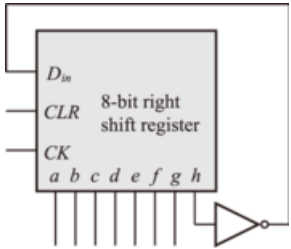
- (A)SISO (B)PISO (C)SIPO (D)PIPO

10.()小迪要設計一個模數 20(MOD 20)的非同步計數器，選擇 J-K 正反器每個的延遲時間為 20ns、歸零用的邏輯閘每個延遲時間為 10ns，小迪要完成這個電路設計時，他至少需用多少個正反器與輸入計時脈波的最高頻率為多少？

- (A)正反器數量為 5 個、輸入計時脈波的最高頻率為 9.09MHz
(B)正反器數量為 5 個、輸入計時脈波的最高頻率為 10MHz
(C)正反器數量為 4 個、輸入計時脈波的最高頻率為 12.5MHz
(D)正反器數量為 4 個、輸入計時脈波的最高頻率為 11.11MHz

市立新北高工 112 學年度下學期 期末考 試題										班別		座號		電腦卡作答
科目	數位邏輯設計	命題教師	蔡懷介	審題教師	廖國志	年級	一	科別	電機	姓名				是

11. ()如下圖所示為 8bit 右移位暫存器電路， D_{in} 為輸入資料，假設輸出 8bit 的 $a\sim h$ 為 00001111，當經過 100 個脈波(CK)觸發後，則輸出 8bit 的 $a\sim h$ 應為？

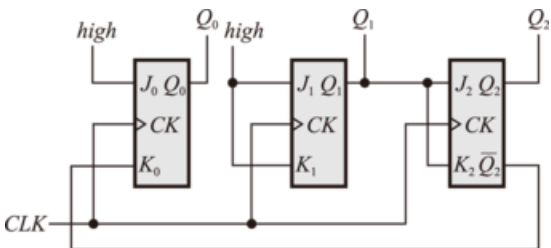


- (A)11111111 (B)11110000
(C)00000000 (D)00001111

12. ()設計一個模數 100 的非同步計數器，至少需用多少個正反器？

- (A)5 (B)7 (C)6 (D)8

13. ()如下圖電路所示，狀態圖數字排列為 $Q_2Q_1Q_0$ ，若初始狀態為 001，則此電路的狀態圖，下列何者正確？



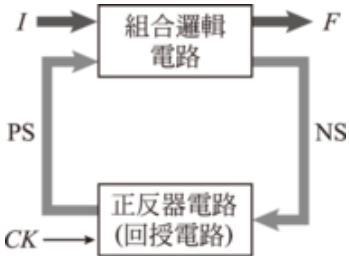
- (A) (B) (C) (D)

14. ()如表所示，為計數器的狀態表，化簡後最少可以使用幾個正反器來設計？

現態 PS	次態 NS		輸出 Y	
	I = 0	I = 1	I = 0	I = 1
A	D	C	0	0
B	C	D	0	1
C	D	C	0	0
D	A	B	0	1
E	C	D	0	1
F	H	A	1	1
G	B	F	0	0
H	F	C	1	1

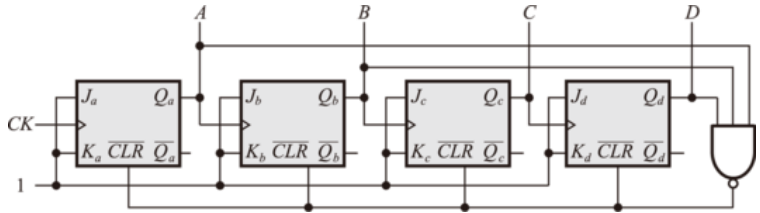
- (A)4 (B)2 (C)3 (D)8

15. ()如下圖，為何種循序邏輯電路？



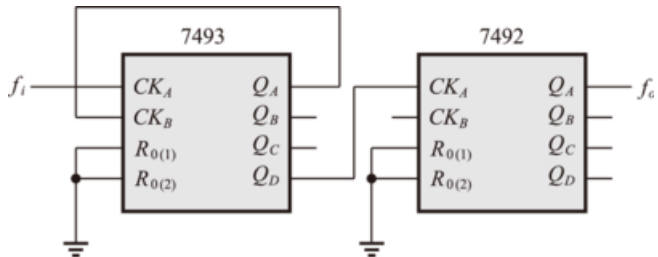
- (A)莫爾機(Moore machine)
(B)米利機(Mealy machine)
(C)基本型 (D)正反器

16. ()如下圖所示，為非同步計數器電路，若每個 JK 正反器的延遲時間為 25nS，NAND 閘的延遲時間為 10nS，則時脈 CK 的最大工作頻率約為



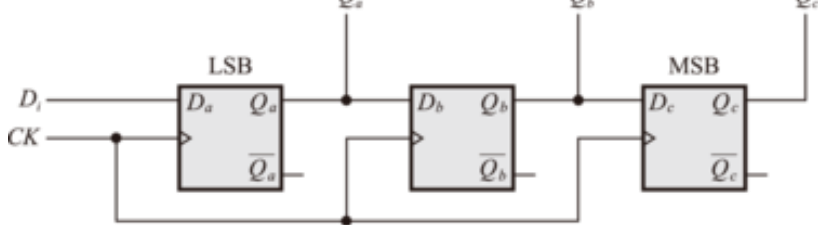
- (A)40MHz (B)9.1MHz (C)28.6MHz (D)10MHz

17. ()如下圖所示，TTL7493 串接 7492 電路，其輸出頻率 f_o 應為何？



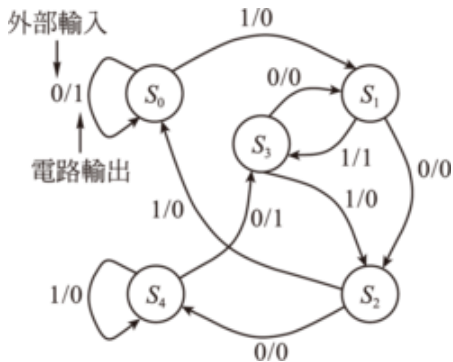
- (A) $\frac{f_i}{24}$ (B) $\frac{f_i}{32}$ (C) $\frac{f_i}{20}$ (D) $\frac{f_i}{40}$

18. ()如下圖，移位暫存器電路之敘述，下列何者錯誤？



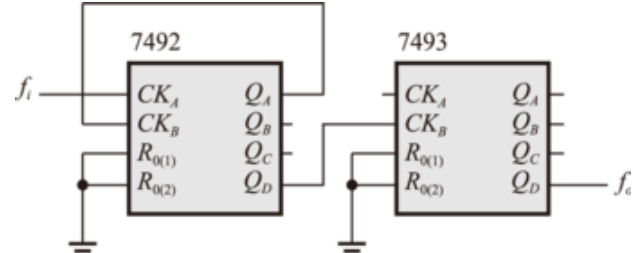
- (A) n 位元左移位暫存器具有乘 2^n 功能
(B)由 MSB 往 LSB 方向移位
(C)左移 1 位數值大小有乘 2 作用
(D)3bit 之移位暫存器

19. ()如下圖某數位邏輯電路狀態機， S_0 至 S_4 表示狀態， X/Y 代表外部輸入 X 時電路輸出 Y 。若起始狀態為 S_0 ，將二進制數字 0000001001111110，由最高位元開始依序輸入，直至最低位元輸入完畢為止。此邏輯電路會停留在哪個狀態以及最後輸出為何？



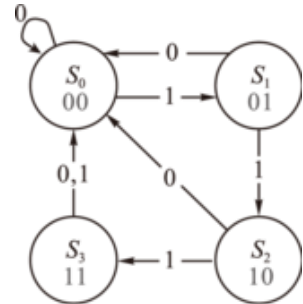
- (A)狀態停在 S_2 ，輸出為 0 (B)狀態停在 S_0 ，輸出為 1
(C)狀態停在 S_1 ，輸出為 0 (D)狀態停在 S_3 ，輸出為 1

20. ()如下圖所示，TTL7492 串接 7493 電路，其輸出頻率 f_o 應為何？



- (A) $\frac{f_i}{50}$ (B) $\frac{f_i}{60}$ (C) $\frac{f_i}{96}$ (D) $\frac{f_i}{80}$

21. ()使用 2 個正反器設計一個 2 位元同步計數器，其狀態用 Q_1Q_0 表示， $Q_1Q_0 = 00$ 時，代表狀態 S_0 ； $Q_1Q_0 = 01$ 時，代表狀態 S_1 ； $Q_1Q_0 = 10$ 時，代表狀態 S_2 ； $Q_1Q_0 = 11$ 時，代表狀態 S_3 。若輸入為 X，其狀態圖如下圖所示，則下列狀態表何者正確？



(A)

X	目前狀態		次一狀態	
	$Q_1(t)$	$Q_0(t)$	$Q_1(t+1)$	$Q_0(t+1)$
0	0	0	0	0
0	0	1	0	1
0	1	0	1	0
0	1	1	1	1
1	0	0	0	1
1	0	1	1	0
1	1	0	1	1
1	1	1	0	0

(B)

X	目前狀態		次一狀態	
	$Q_1(t)$	$Q_0(t)$	$Q_1(t+1)$	$Q_0(t+1)$
0	0	0	0	1
0	0	1	1	0
0	1	0	1	1
0	1	1	0	0
1	0	0	0	0
1	0	1	0	0
1	1	0	0	0
1	1	1	0	0

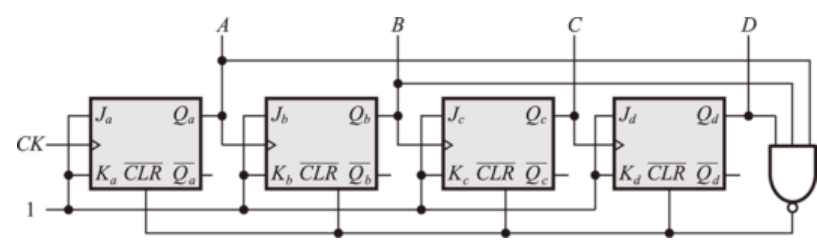
(C)

X	目前狀態		次一狀態	
	$Q_1(t)$	$Q_0(t)$	$Q_1(t+1)$	$Q_0(t+1)$
0	0	0	0	0
0	0	1	0	0
0	1	0	0	0
0	1	1	0	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	1
1	1	1	0	0

(D)

X	目前狀態		次一狀態	
	$Q_1(t)$	$Q_0(t)$	$Q_1(t+1)$	$Q_0(t+1)$
0	0	0	0	1
0	0	1	1	0
0	1	0	1	1
0	1	1	0	0
1	0	0	0	0
1	0	1	0	1
1	1	0	1	0
1	1	1	1	1

22. ()如下圖所示，為非同步計數器電路，則此計數器的敘述何者正確？



- (A)MOD 11 下數計數 (B)MOD 13 上數計數
(C)MOD 13 下數計數 (D)MOD 11 上數計數

23. ()如表所示，為計數器的狀態表，化簡前需要幾個正反器來設計？

現態 PS	次態 NS		輸出 Y	
	I = 0	I = 1	I = 0	I = 1
A	D	C	0	0
B	C	D	0	1
C	D	C	0	0
D	A	B	0	1
E	C	D	0	1
F	H	A	1	1
G	B	F	0	0
H	F	C	1	1

- (A)3 (B)2 (C)4 (D)8

24. ()關於莫爾機(Moore machine)之敘述，下列何者正確？

- (A)循序邏輯電路次態 NS 的結果，僅輸入狀態 I 影響
(B)無獨立的輸入端 I 與輸出端 F
(C)輸出狀態 F 的結果，只受循序邏輯電路現
(D)循序邏輯電路次態 NS 的結果，僅受現態 PS 影響

25. ()由 JK 正反器組成模數 32(MOD 32)的連波計數器，若每個正反器延遲時間為 20ns，則輸入計時脈波的最高頻率為多少？

- (A)50MHz (B)10MHz (C)20MHz (D)40MHz

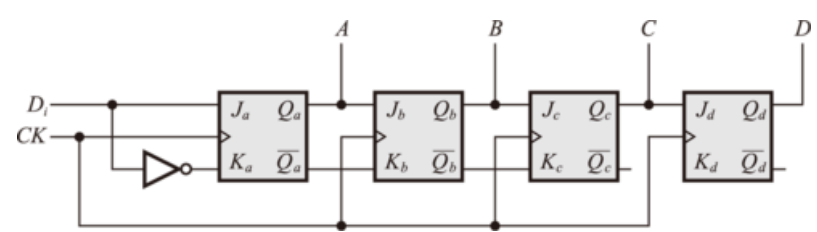
26. ()下列何種移位暫存器的資料輸入與輸出速度最快？

- (A)PISO (B)PIPO (C)SISO (D)SIPO

27. ()若欲設計一個 4bit 的移位暫存器，需使用幾個 D 型正反器來完成？

- (A)1 個 (B)2 個 (C)3 個 (D)4 個

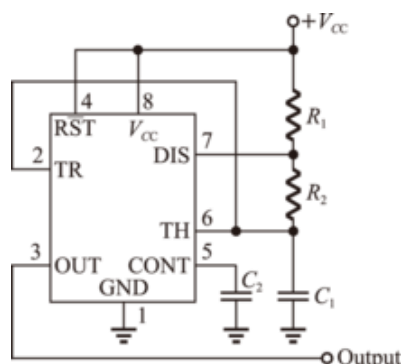
28. ()如下圖所示，輸出資料由 DCBA 取出，若輸入 $D_i=10011011$ ，經過 5 次 CK 觸發後，輸出資料 DCBA 應該為何？



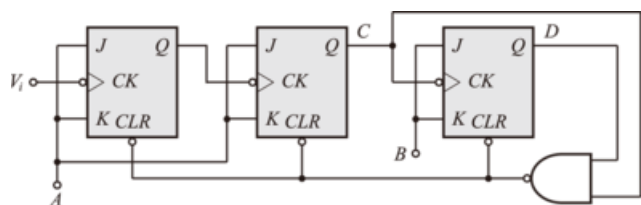
- (A)1011 (B)1100 (C)1101 (D)0011

市立新北高工 112 學年度下學期 期末考 試題										班別		座號		電腦卡作答
科目	數位邏輯設計	命題教師	蔡懷介	審題教師	廖國志	年級	一	科別	電機	姓名				是

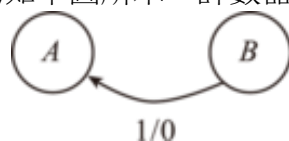
29. ()關於圖由 555 計時器組成的無穩態多諧振盪器電路，其中 R_1 、 R_2 各為 $1k\Omega$ ，則下列敘述何者正確？



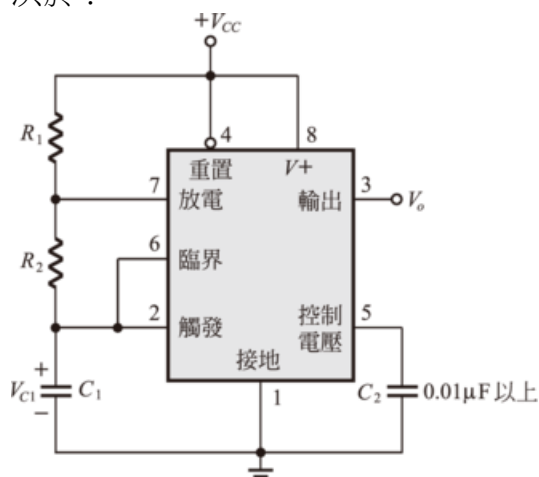
- (A) V_{CC} 工作電壓為 5V，無法與 CMOS 族邏輯 IC 配合使用
 (B) 輸出的振盪波形沒辦法獲得 50% 的工作週期
 (C) C_1 要比 C_2 大 10 倍以上，以便獲得最好的抗雜訊干擾能力
 (D) 輸出的振盪波形的頻率與 R_1 、 R_2 及 C_2 有關
30. ()如下圖電路所示，若輸入時脈 V_i 為 24MHz 的 5V 方波，若輸入端 $A = 5V$ 、 $B = 0V$ ，則輸出端 C 與 D 的頻率各為何？



- (A) $C = 6\text{MHz}$ 、 $D = 4\text{MHz}$ (B) $C = 6\text{MHz}$ 、 $D = 3\text{MHz}$
 (C) $C = 0\text{Hz}$ 、 $D = 0\text{Hz}$ (D) $C = 6\text{MHz}$ 、 $D = 0\text{Hz}$
31. ()如下圖所示，計數器的狀態圖敘述何者正確？

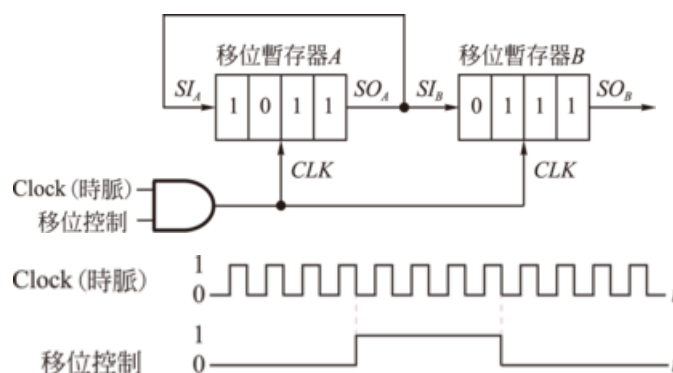


- (A) 現態為 B、次態為 A、輸入為 1、輸出為 0
 (B) 現態為 B、次態為 A、輸入為 0、輸出為 1
 (C) 現態為 A、次態為 B、輸入為 0、輸出為 1
 (D) 現態為 A、次態為 B、輸入為 1、輸出為 0
32. ()如下圖，在 NE 555 電路結構中，電路充放電時間是取決於？



- (A) R_2 、 C_1 、 C_2 (B) R_1 、 C_1 、 C_2
 (C) R_1 、 R_2 、 C_2 (D) R_1 、 R_2 、 C_1

33. ()2 個 4 位元右移移位暫存器 A 與 B 之控制電路示意圖及輸入信號如下圖所示，移位暫存器 A 與 B 均在 CLK 輸入為正緣時產生觸發，並進行向右移位一次， SI_A 、 SI_B 與 SO_A 、 SO_B 分別為其串列輸入與串列輸出，假設移位暫存器 A 之初值為 1011，移位暫存器 B 之初值為 0111，則 Clock(時脈)信號輸入 12 個週期後，移位暫存器 A 與 B 內部所儲存的值分別為何？



- (A) $A = 0000$ 、 $B = 0111$ (B) $A = 1011$ 、 $B = 0111$
 (C) $A = 0000$ 、 $B = 1011$ (D) $A = 1011$ 、 $B = 1011$
34. ()MOD 16 的非同步上數計數器，計數器輸初值預設為 5，當輸入 100 個時序脈波後，計數器輸出的內容應為何？

- (A) 8 (B) 7 (C) 6 (D) 9