

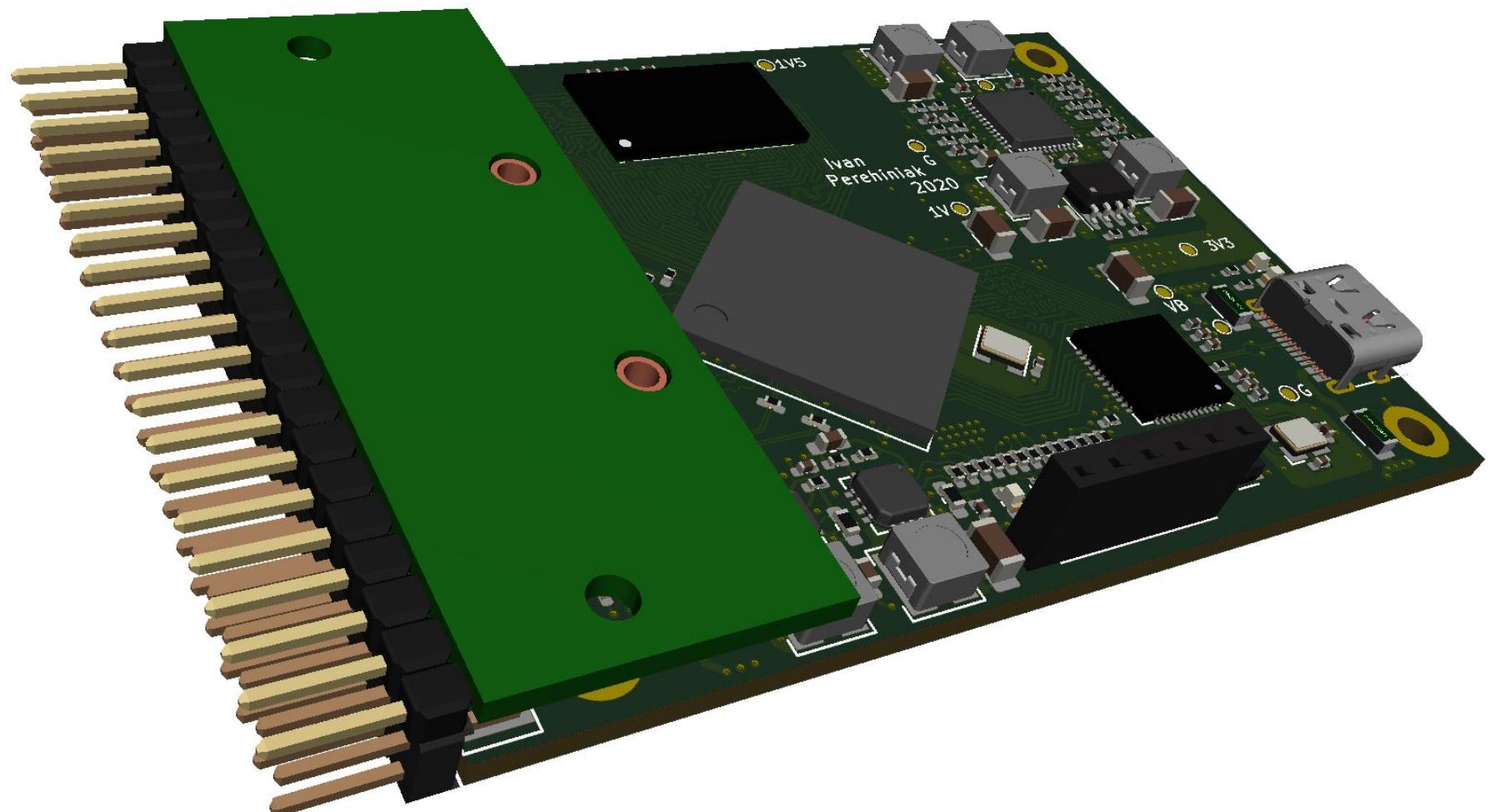
1 2 3 4 5 6

A

B

C

D



Politechnika Poznańska

Nazwa dokumentu
3D

Rysował
Ivan Perehiniak

Zatwierdził

Rodzaj Dokumentu
Rysunek Płyty Drukowanej

Analizator
stanów logicznych
wykorzystujący
układ FPGA

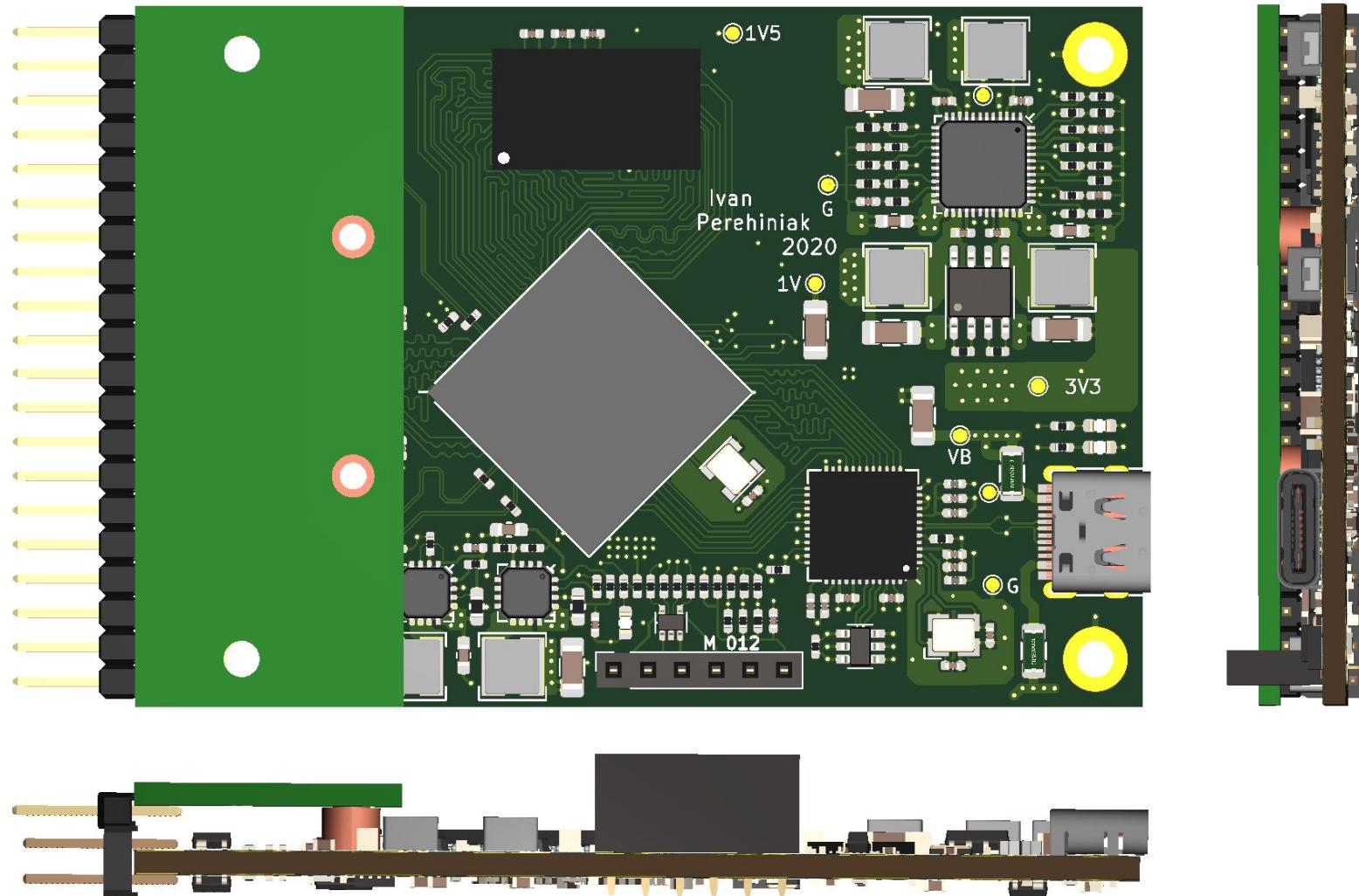
Status
Zakończony

Praca magisterska

Rew.	Data	Język	Ark.
1	2020-11-01		1/1

A4

1 2 3 4 5 6



Politechnika Poznańska

Nazwa dokumentu
3D

Rysował
Ivan Perehiniak

Zatwierdził

Rodzaj Dokumentu
Rysunek Płyty Drukowanej

Analizator
stanów logicznych
wykorzystujący
układ FPGA

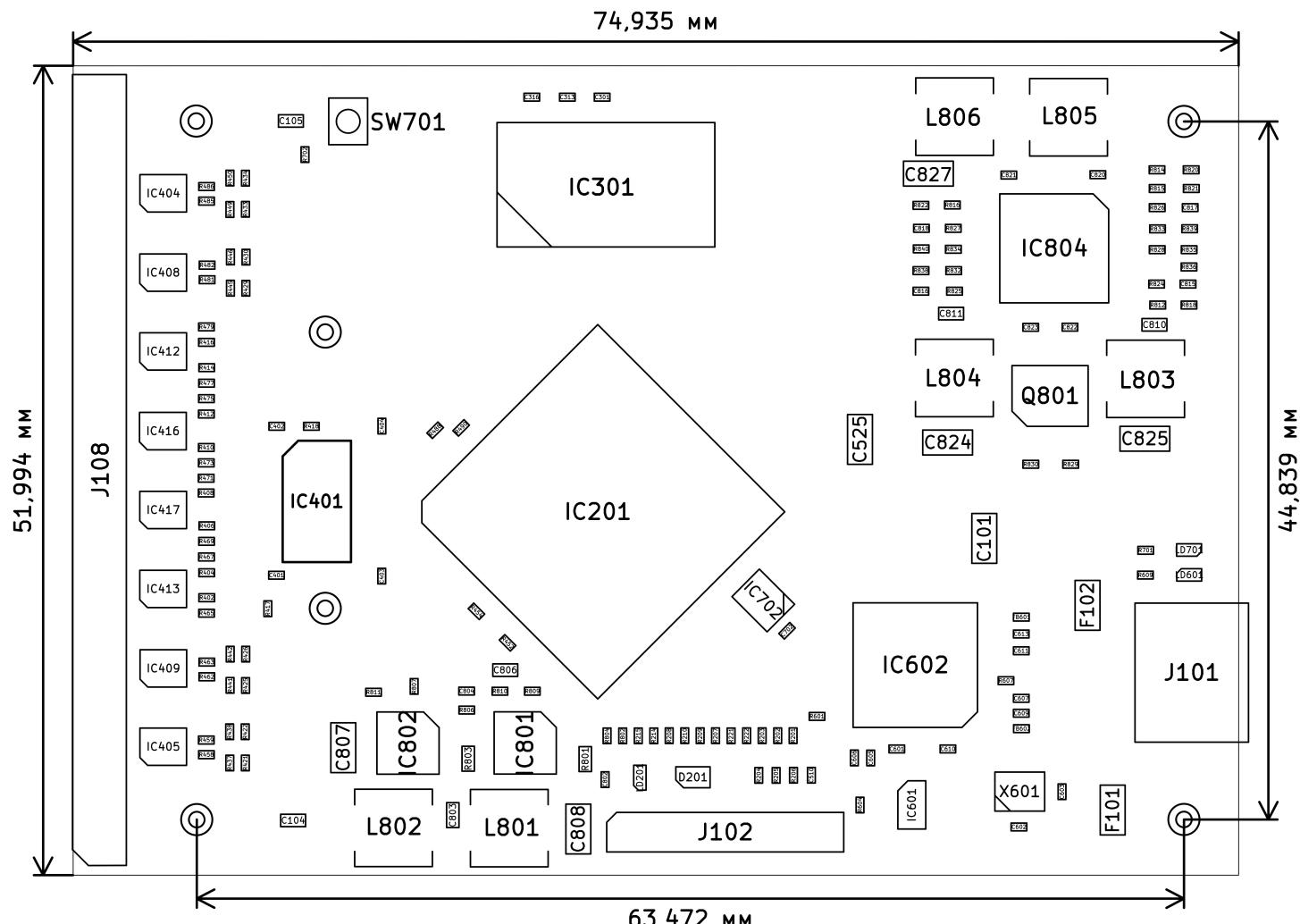
Status
Zakończony

Praca magisterska

Rew. 1 Data 2020-11-01 Język Ark. 1/1

A4

1 2 3 4 5 6



Politechnika Poznańska

Nazwa dokumentu
Montaż TOP

Rysował
Ivan Perehiniak

Zatwierdził

Rodzaj Dokumentu
Rysunek Płyty Drukowanej

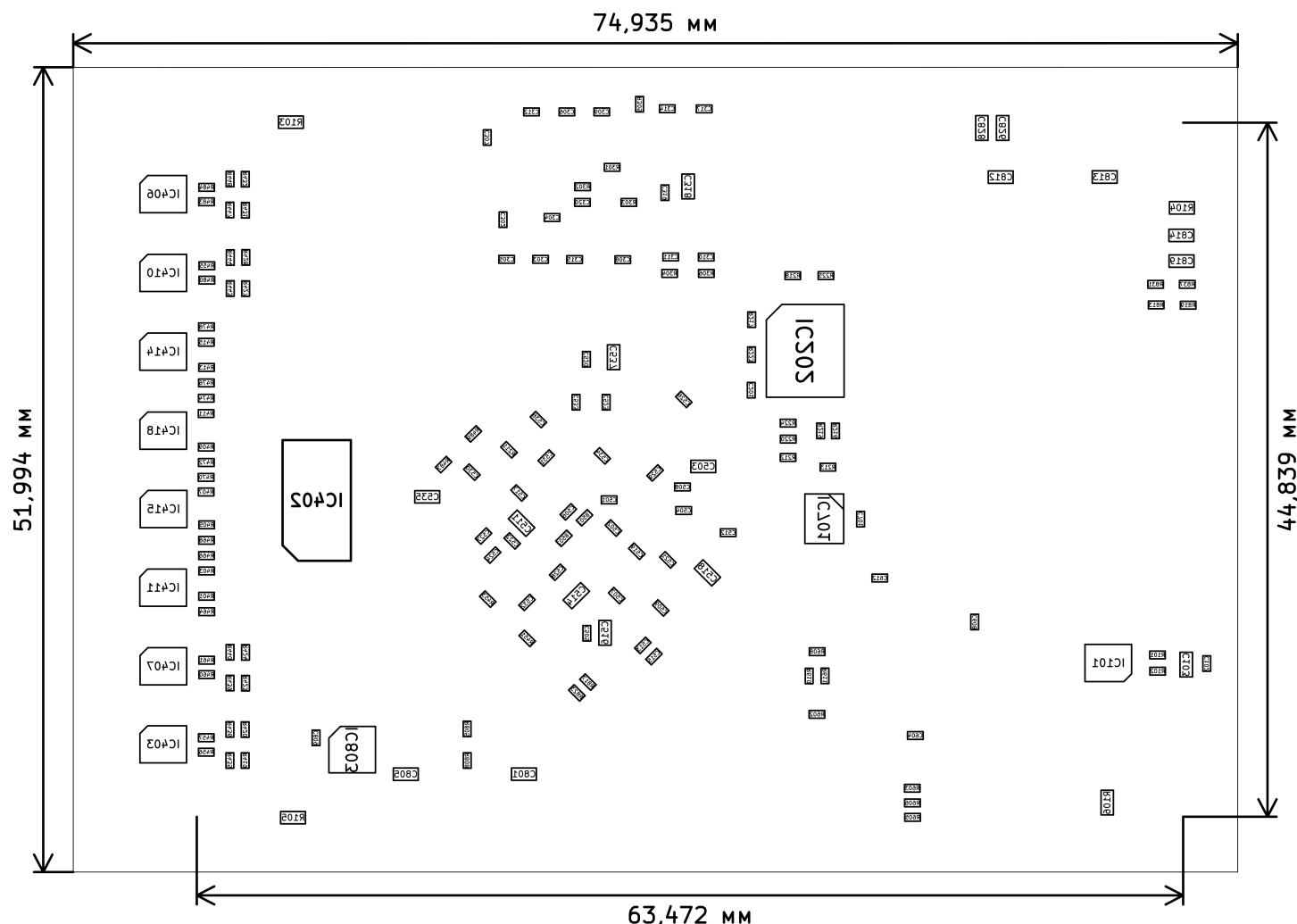
Analizator
stanów logicznych
wykorzystujący
układ FPGA

Status
Zakończony

Praca magisterska

Rew.	Data	Język	Ark.
1	2020-11-01		1/1

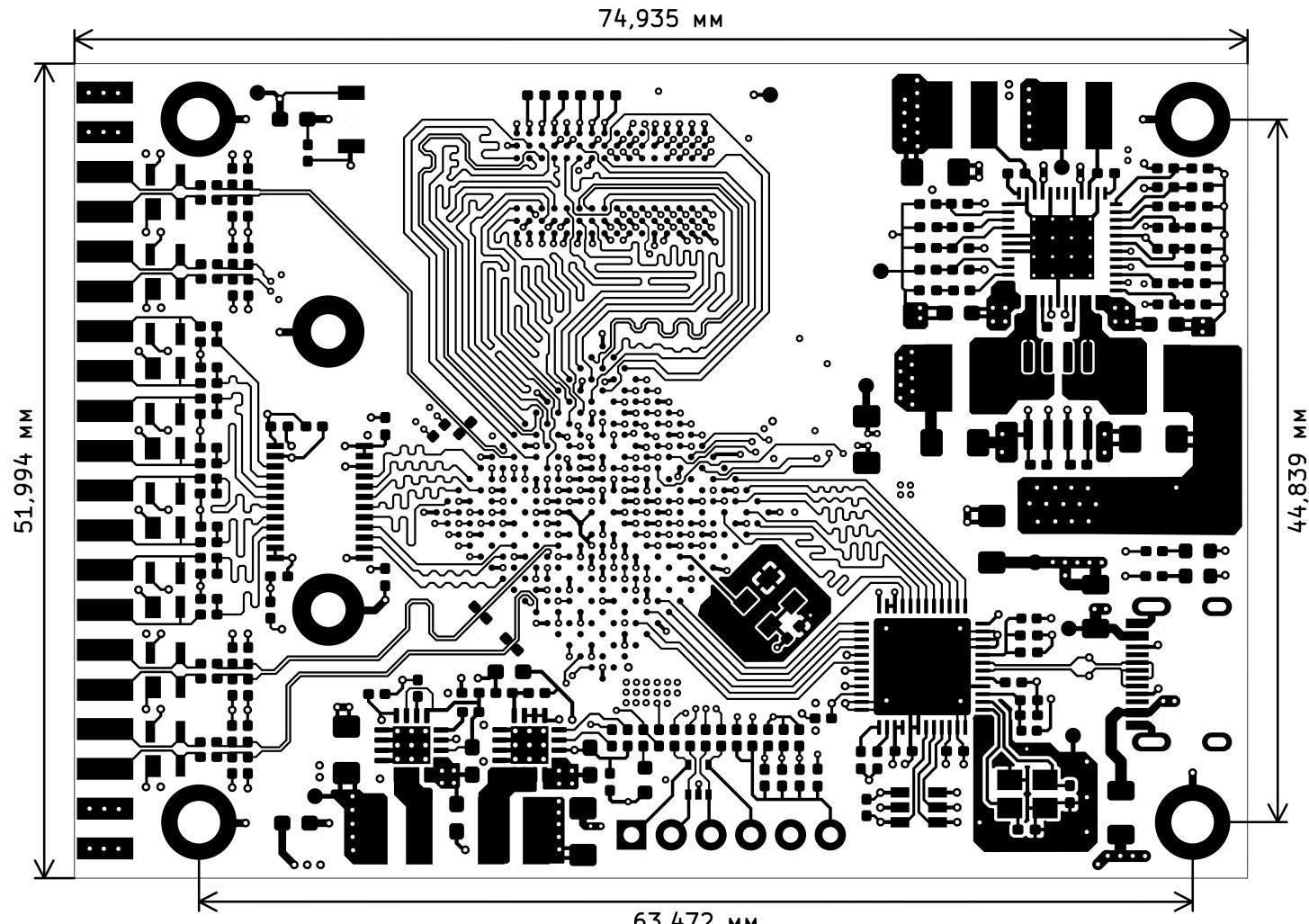
A4



Politechnika Poznańska

 Politechnika Poznańska	Nazwa dokumentu	Rodzaj Dokumentu	Status
	Montaż BOT	Rysunek Płyty Drukowanej	Zakończony
	Rysował Ivan Perehiniak	Analizator stanów logicznych wykorzystujący układ FPGA	Praca magisterska
	Zatwierdził		Rew. Data Język Ark. 1 2020-11-01 1/1
			A4

1 2 3 4 5 6



Politechnika Poznańska

Nazwa dokumentu
TOP

Rysował
Ivan Perehiniak

Zatwierdził

Rodzaj Dokumentu
Rysunek Płyty Drukowanej

Analizator
stanów logicznych
wykorzystujący
układ FPGA

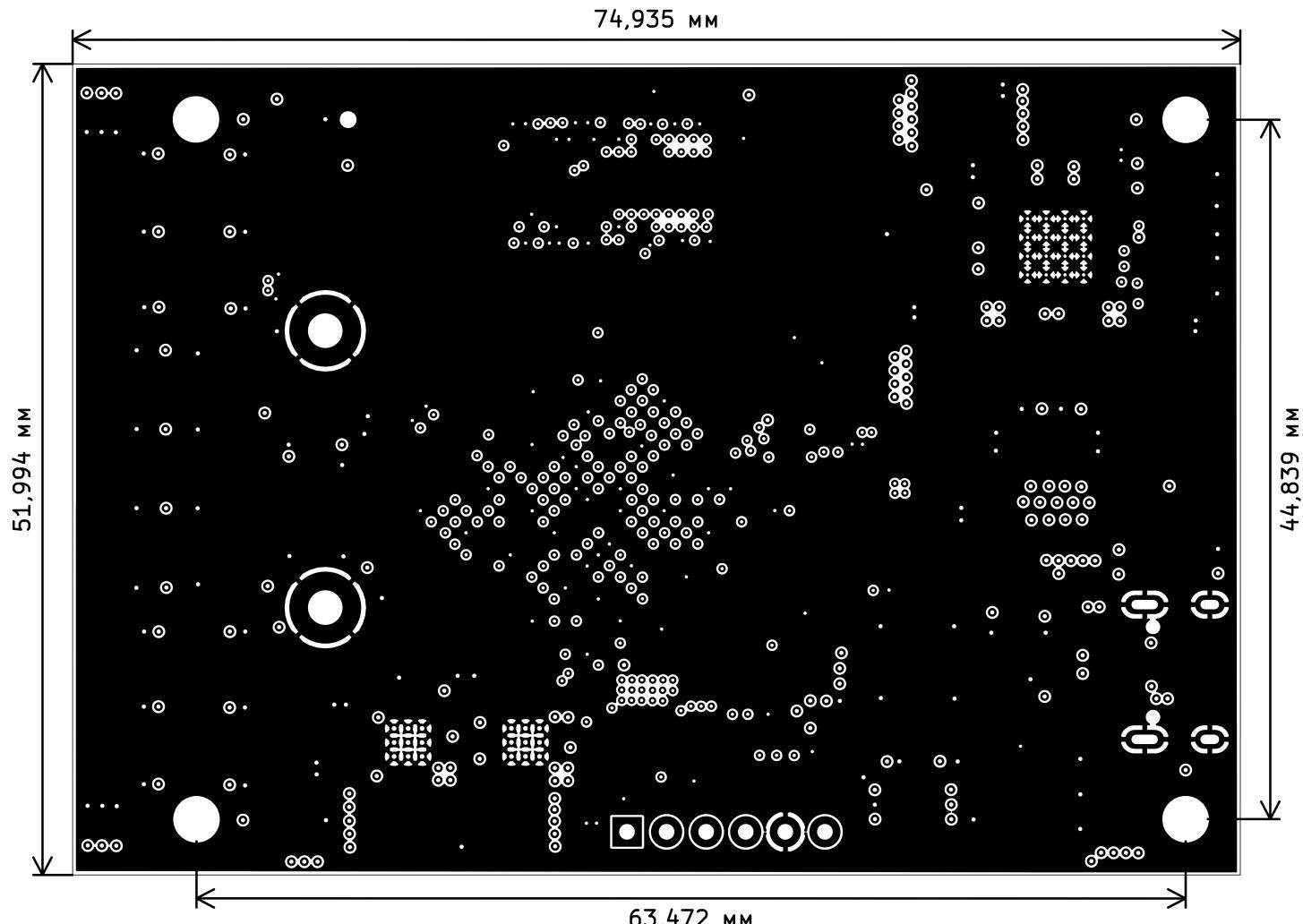
Status
Zakończony

Praca magisterska

Rew. 1 Data 2020-11-01 Język Ark. 1/1

A4

1 2 3 4 5 6



A

B

C

D



Politechnika Poznańska

Nazwa dokumentu
IN1

Rysował
Ivan Perehiniak

Zatwierdził

Rodzaj Dokumentu
Rysunek Płyty Drukowanej

Analizator
stanów logicznych
wykorzystujący
układ FPGA

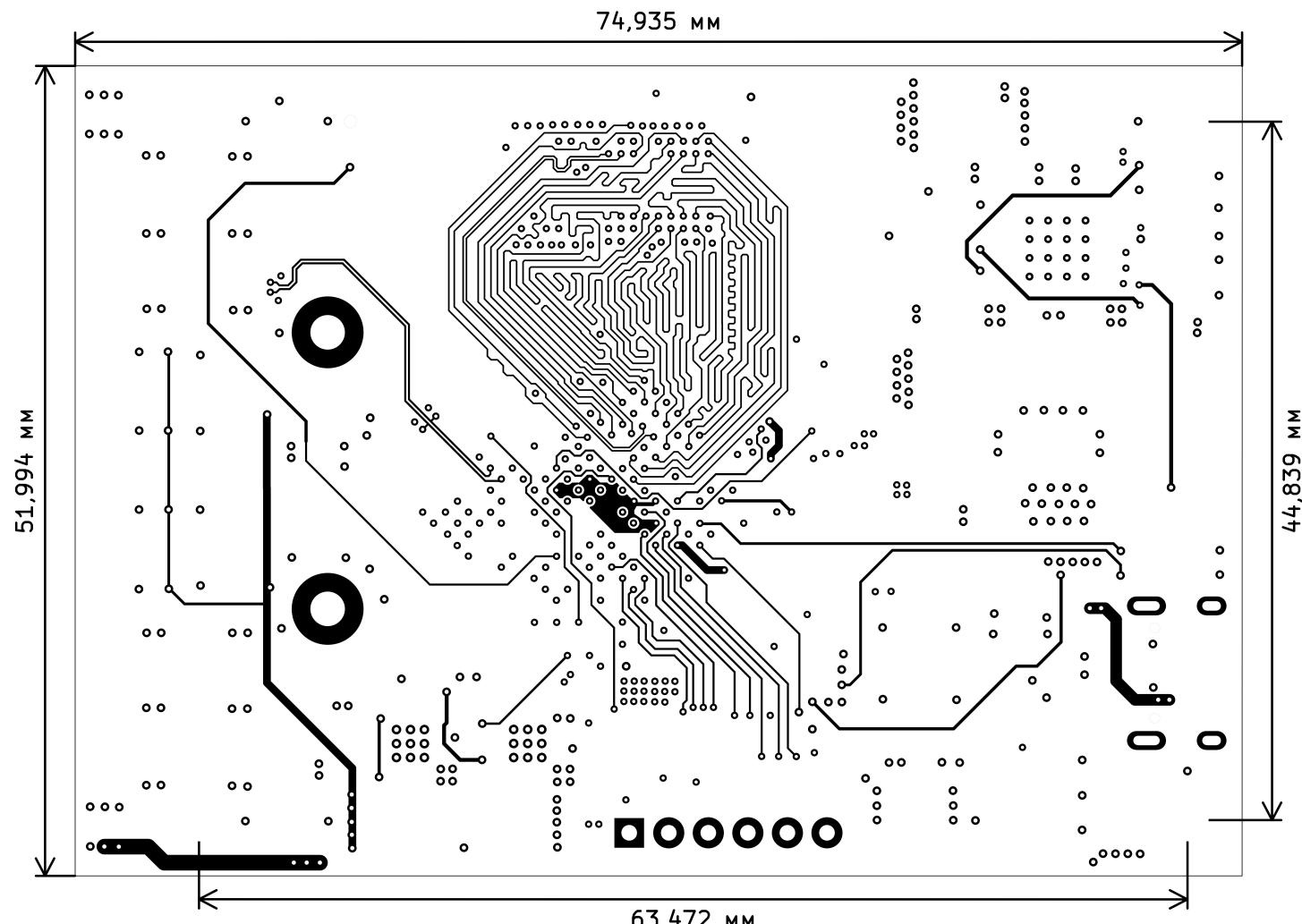
Status
Zakończony

Praca magisterska

Rew.	Data	Język	Ark.
1	2020-11-01		1/1

A4

1 2 3 4 5 6



Politechnika Poznańska

Nazwa dokumentu
IN2

Rysował
Ivan Perehiniak

Zatwierdził

Rodzaj Dokumentu
Rysunek Płyty Drukowanej

Analizator
stanów logicznych
wykorzystujący
układ FPGA

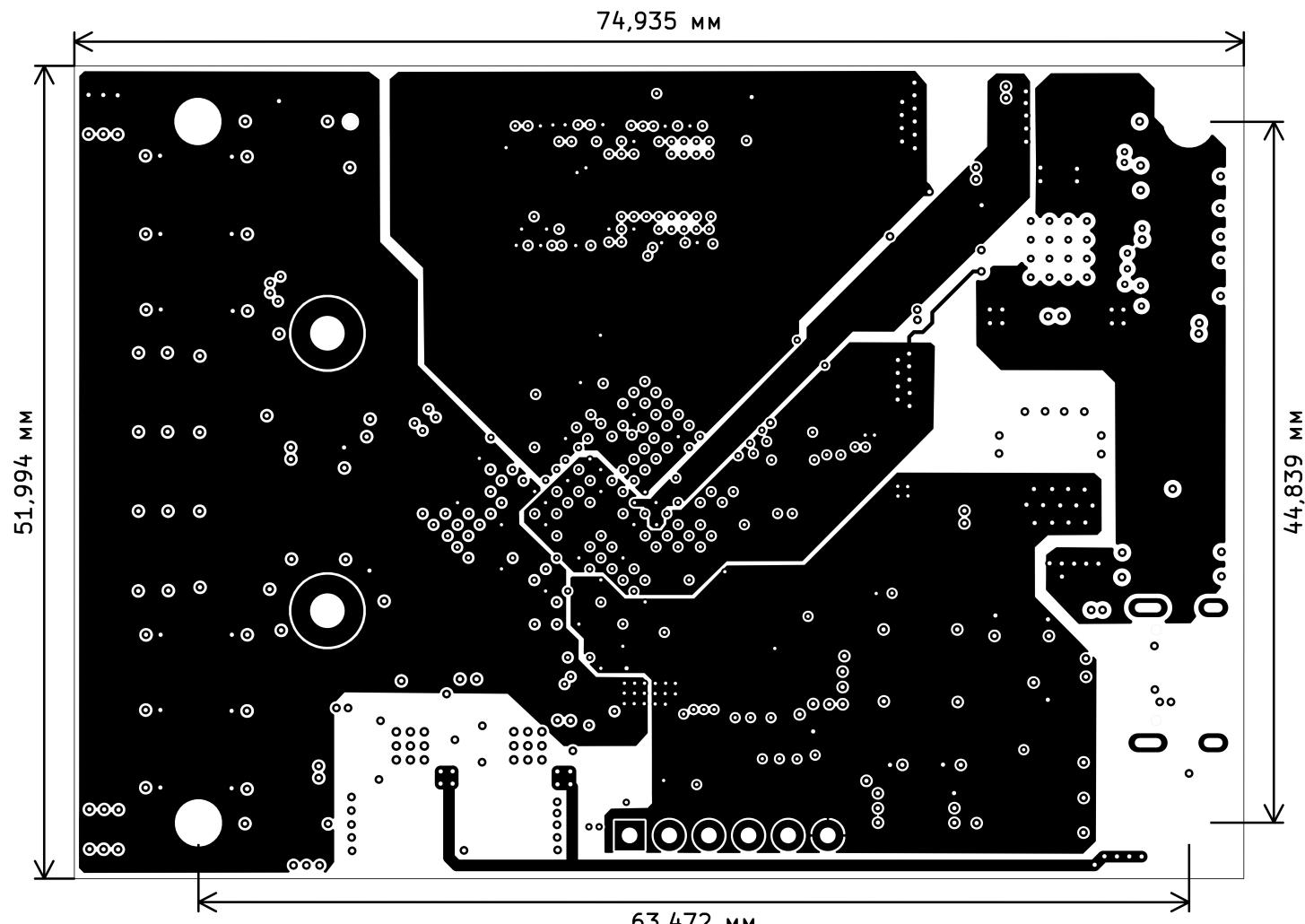
Status
Zakończony

Praca magisterska

Rew. 1 Data 2020-11-01 Język Ark. 1/1

A4

1 2 3 4 5 6



A

B

C

D



Politechnika Poznańska

Nazwa dokumentu
IN3

Rysował
Ivan Perehiniak

Zatwierdził

Rodzaj Dokumentu
Rysunek Płyty Drukowanej

Analizator
stanów logicznych
wykorzystujący
układ FPGA

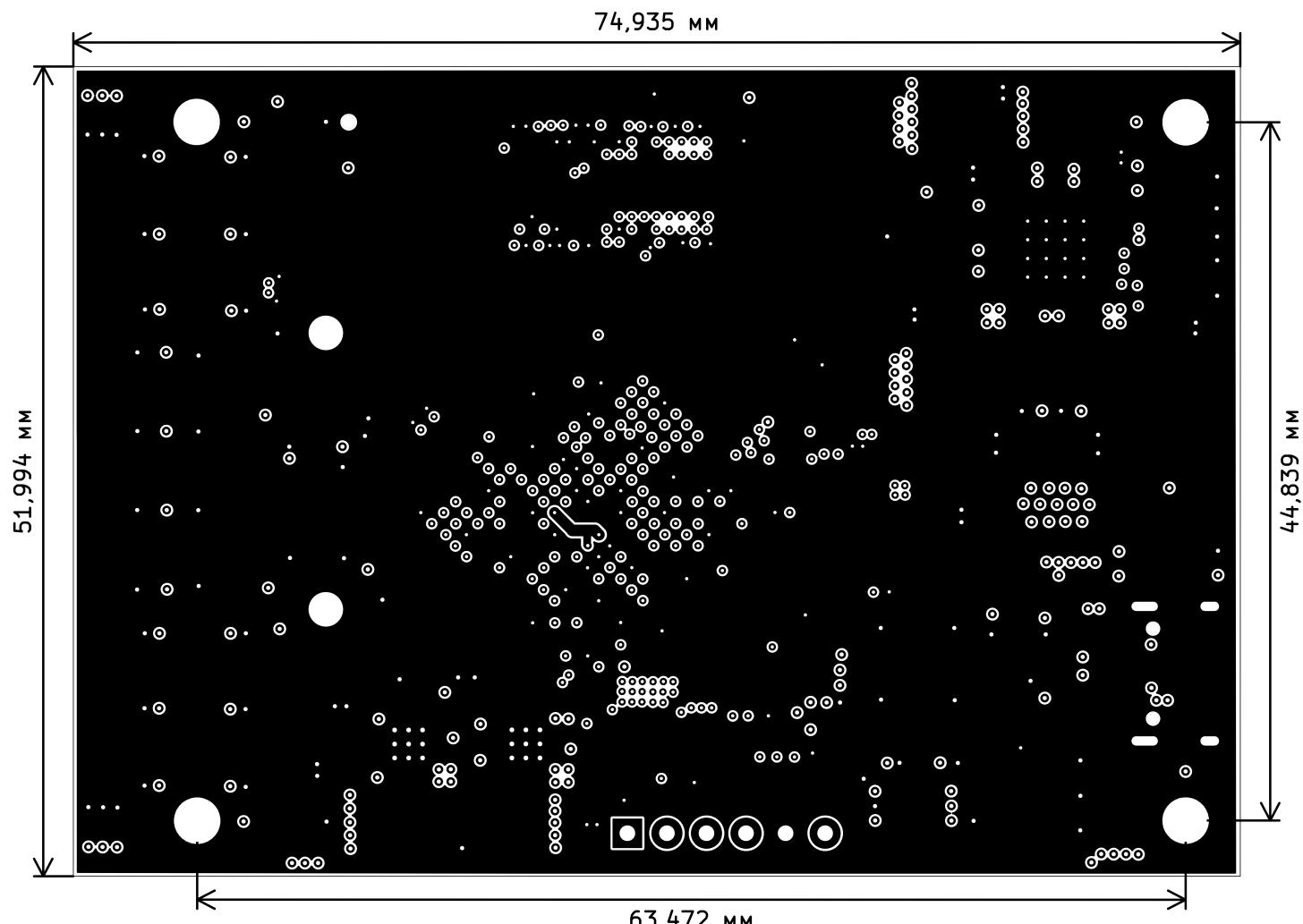
Status
Zakończony

Praca magisterska

Rew.	Data	Język	Ark.
1	2020-11-01		1/1

A4

1 2 3 4 5 6



A

B

C

D



Politechnika Poznańska

Nazwa dokumentu
IN4

Rysował
Ivan Perehiniak

Zatwierdził

Rodzaj Dokumentu
Rysunek Płyty Drukowanej

Analizator
stanów logicznych
wykorzystujący
układ FPGA

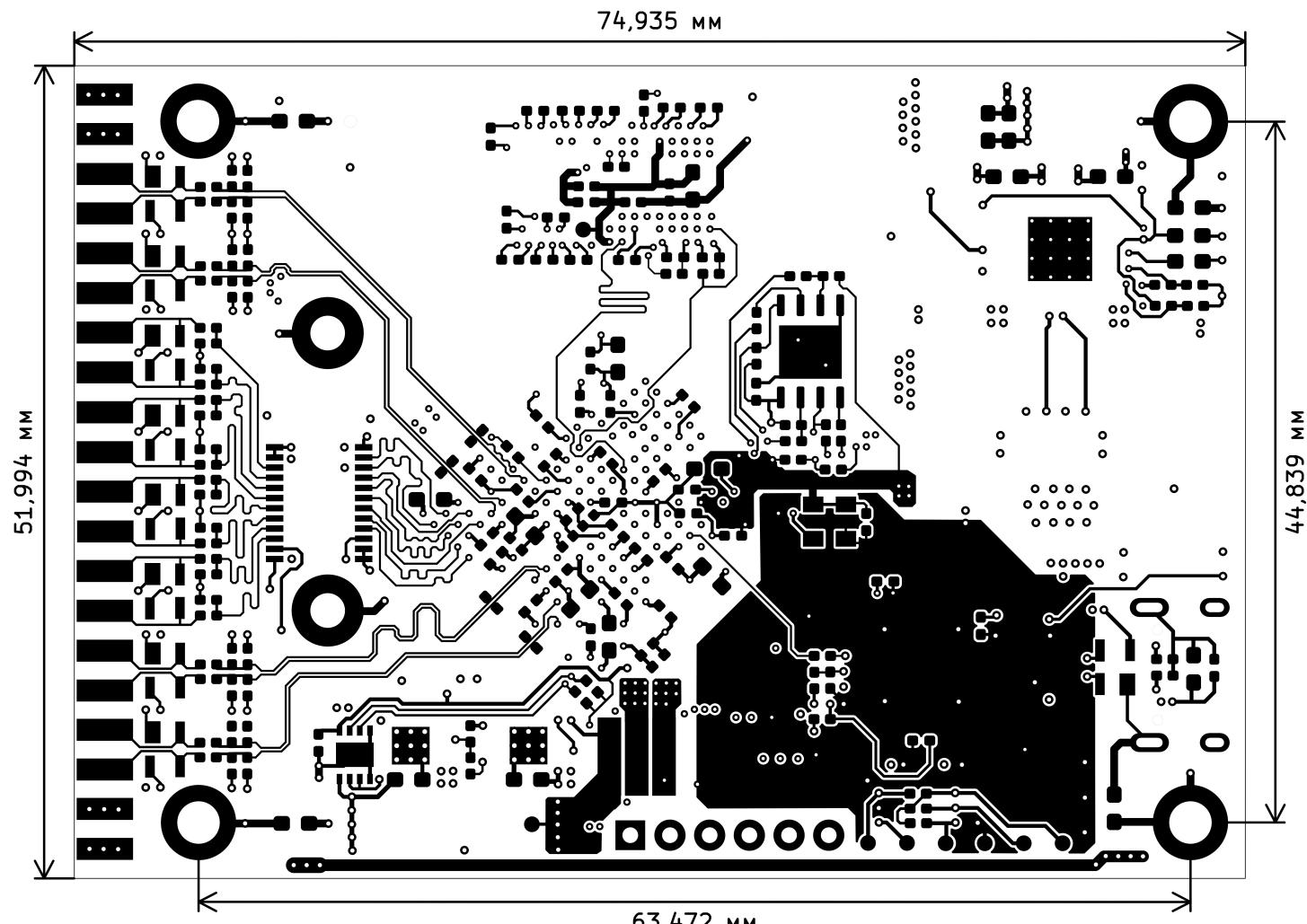
Status
Zakończony

Praca magisterska

Rew.	Data	Język	Ark.
1	2020-11-01		

A4

1 2 3 4 5 6



Politechnika Poznańska

Nazwa dokumentu
BOT

Rysował
Ivan Perehiniak

Zatwierdził

Rodzaj Dokumentu
Rysunek Płyty Drukowanej

Analizator
stanów logicznych
wykorzystujący
układ FPGA

Status
Zakończony

Praca magisterska

Rew. 1	Data 2020-11-01	Język	Ark. 1/1
--------	-----------------	-------	----------

A4