

UFRGS / Instituto de Informática / Departamento de Informática Aplicada
INF 01 107 - INTRODUÇÃO À ARQUITETURA DE COMPUTADORES
Segunda Verificação de Aproveitamento - 16/05/2007 - Turma A

Nome: _____ Número.: _____

PROVA SEM CONSULTA

Planilha de Avaliação

Item	1	2	3	4	5	6	7	8	9	10	Total
%	5	15	10	10	10	10	10	10	10	10	100
Nota											

Questão 1:

Comparando-se as arquiteturas de 4, 3, 2 e 1 endereços, verifica-se que algumas necessitam de registradores especiais. A partir de quais arquiteturas são utilizados o Program Counter (PC) e o Acumulador (AC)?

- a) PC em 2 (ou menos) endereços, e AC em 3 (ou menos) endereços.
- b) PC em 2 (ou menos) endereços, e AC em 1 (ou menos) endereço.
- c) PC em 3 (ou menos) endereços, e AC em 1 (ou menos) endereço.
- d) PC em 1 (ou menos) endereço, e AC em 2 (ou menos) endereços.
- e) PC em 3 (ou menos) endereços, e AC em 2 (ou menos) endereços.

Questão 2:

Para o trecho de programa Neander mostrado a seguir, indique o conteúdo do acumulador (**em decimal**) após a execução de cada uma das instruções. Considere para isto a seguinte ocupação de memória:

Endereço	Dado (decimal)	Dado (binário)
128	0	00000000
129	+1	00000001
130	-1	11111111
131	10	00001010
132	7	00000111

Instrução	AC
LDA 131	_____
ADD 130	_____
ADD 132	_____
ADD 128	_____
ADD 129	_____
STA 133	_____
LDA 128	_____
NOT	_____
ADD 129	_____
STA 134	_____
LDA 131	_____
AND 132	_____
OR 129	_____
AND 130	_____
STA 135	_____

Para as duas questões a seguir sobre o computador Neander, considere a seguinte ocupação de memória:

Após uma operação de soma no computador AHMES, quais códigos de condição indicam estouro de representação quando os operandos são representados, respectivamente, em **complemento de dois** e em **inteiros sem sinal**? (Assinale a alternativa que satisfaz a questão):

- a) C para complemento de dois e também C para inteiros sem sinal (x)
- b) V para complemento de dois e N para inteiros sem sinal (x)
- c) **V para complemento de dois e C para inteiros sem sinal**
- d) V para complemento de dois e também V para inteiros sem sinal
- e) C para complemento de dois e N para inteiros sem sinal (x)

Questão 6:

Dois operandos, A e B, são comparados no computador AHMES através da operação de subtração SUB ($A \leftarrow A - B$). Qual das condições indica que garantidamente $A < B$, quando os operandos são representados, respectivamente, em **complemento de dois** e em **inteiros sem sinal**? (Assinale a alternativa que satisfaz a questão):

- a) N=1 para complemento de dois e também N=1 para inteiros sem sinal (x)
- b) N=1 e V=1 para complemento de dois e B=0 para inteiros sem sinal (x)
- c) N=1 e V=0 para complemento de dois e B=1 para inteiros sem sinal
- d) N=1 para complemento de dois e B=1 para inteiros sem sinal
- e) B=1 para complemento de dois e também B=1 para inteiros sem sinal

Questão 7:

Dois operandos representados em complemento de dois são comparados através de uma operação de subtração SUB ($A \leftarrow A - B$). Depois desta subtração, verificou-se que $Z=1$, $N=1$, $V=0$ e $B=1$. Qual a relação que garantidamente existe entre os dois operandos? (Assinale a alternativa que satisfaz a questão)

- a) A é maior que B
- b) A é menor que B
- c) A é igual a B
- d) A é diferente de B
- e) Impossível ocorrer esta combinação de códigos de condição

Questão 8:

Deseja-se contar a quantidade de bits em '1' de um valor armazenado na posição 128 da memória do AHMES, armazenando o resultado da posição 129 de memória. Supondo que o endereço 129 contenha zero (0), o endereço 130 contenha 1 e o endereço 131 contenha 8, qual (ou quais) das seqüências de instruções abaixo pode ser usada? (assinale com 'V' as seqüências corretas e com 'F' as seqüências incorretas)

a) ()	d) ()	b) ()	c) ()	e) ()
inicio: LDA 128 SHL STA 128 JNC zero LDA 129 ADD 130 STA 129 zero: LDA 128 JNZ inicio	inicio: LDA 128 ROR STA 128 JNC zero LDA 129 ADD 130 STA 129 zero: LDA 128 JNZ inicio	inicio: LDA 128 ROL STA 128 JNC zero LDA 129 ADD 130 STA 129 zero: LDA 131 SUB 130 STA 131 JNZ inicio	inicio: LDA 128 SHL STA 128 JNC zero LDA 129 ADD 130 STA 129 zero: LDA 131 SUB 130 STA 131 JNZ inicio	inicio: LDA 128 JZ fim SHR STA 128 JNC inicio LDA 129 ADD 130 STA 129 JMP inicio fim:

Questão 9:

Na multiplicação de dois números de 8 bits, representados em complemento de dois, obteve-se os resultados de 16 bits abaixo. Indique em quais ocorre estouro na representação quando da redução para 8 bits e quais podem ser reduzidos para 8 bits sem que ocorra estouro e, neste caso, qual o valor reduzido:

- a) 1111 1111 1110 1010 ☐ Estouro ou ☐ Pode ser reduzido para _____
- b) 1000 0000 1000 1110 ☐ Estouro ou ☐ Pode ser reduzido para _____
- c) 0000 0000 0111 1011 ☐ Estouro ou ☐ Pode ser reduzido para _____
- d) 1111 1111 0001 0001 ☐ Estouro ou ☐ Pode ser reduzido para _____
- e) 1111 1111 0001 1100 ☐ Estouro ou ☐ Pode ser reduzido para _____

Questão 10:

Deseja-se realizara a divisão de valores representados em 8 bits, na notação de inteiros sem sinal (inteiros positivos). Para tanto, os valores de dividendo representados abaixo devem ser expandidos para 16 bits. Realize esta expansão, indicando os valores resultantes:

- a) 0110 1110 Valor expandido: _____
- b) 1000 1010 Valor expandido: _____
- c) 0001 1100 Valor expandido: _____
- d) 1111 1111 Valor expandido: _____
- e) 1000 0001 Valor expandido: _____

Conjunto de instruções do computador NEANDER.

Instrução	Significado	Códigos alterados
NOP	Nenhuma operação	–
STA endereço	$MEM(endereço) \leftarrow AC$	–
LDA endereço	$AC \leftarrow MEM(endereço)$	N,Z
ADD endereço	$AC \leftarrow AC + MEM(endereço)$	N,Z
OR endereço	$AC \leftarrow AC \text{ or } MEM(endereço)$	N,Z
AND endereço	$AC \leftarrow AC \text{ and } MEM(endereço)$	N,Z
NOT	$AC \leftarrow NOT(AC)$	N,Z
JMP endereço	$PC \leftarrow endereço$	–
JN endereço	se $N=1$ então $PC \leftarrow endereço$	–
JZ endereço	se $Z=1$ então $PC \leftarrow endereço$	–
HLT	Parar	–

Conjunto de instruções do computador AHMES

Instrução	Execução	Códigos afetados
NOP	nenhuma operação	nenhum
STA end	$MEM(end) \leftarrow AC$	nenhum
LDA end	$AC \leftarrow MEM(end)$	N, Z
ADD end	$AC \leftarrow AC + MEM(end)$	N, Z, V, C
OR end	$AC \leftarrow AC \text{ or } MEM(end)$	N, Z
AND end	$AC \leftarrow AC \text{ and } MEM(end)$	N, Z
NOT	$AC \leftarrow NOT AC$	N, Z
SUB end	$AC \leftarrow AC - MEM(end)$	N, Z, V, B
JMP end	$PC \leftarrow end$	nenhum
JN end	IF $N=1$ THEN $PC \leftarrow end$	nenhum
JP end	IF $N=0$ THEN $PC \leftarrow end$	nenhum
JV end	IF $V=1$ THEN $PC \leftarrow end$	nenhum
JNV end	IF $V=0$ THEN $PC \leftarrow end$	nenhum
JZ end	IF $Z=1$ THEN $PC \leftarrow end$	nenhum
JNZ end	IF $Z=0$ THEN $PC \leftarrow end$	nenhum
JC end	IF $C=1$ THEN $PC \leftarrow end$	nenhum
JNC end	IF $C=0$ THEN $PC \leftarrow end$	nenhum
JB end	IF $B=1$ THEN $PC \leftarrow end$	nenhum
JNB end	IF $B=0$ THEN $PC \leftarrow end$	nenhum
SHR	$C \leftarrow AC(0); AC(i-1) \leftarrow AC(i); AC(7) \leftarrow 0$	N, Z, C
SHL	$C \leftarrow AC(7); AC(i) \leftarrow AC(i-1); AC(0) \leftarrow 0$	N, Z, C
ROR	$C \leftarrow AC(0); AC(i-1) \leftarrow AC(i); AC(7) \leftarrow C$	N, Z, C
ROL	$C \leftarrow AC(7); AC(i) \leftarrow AC(i-1); AC(0) \leftarrow C$	N, Z, C
HLT	Interrompe o processamento	nenhum