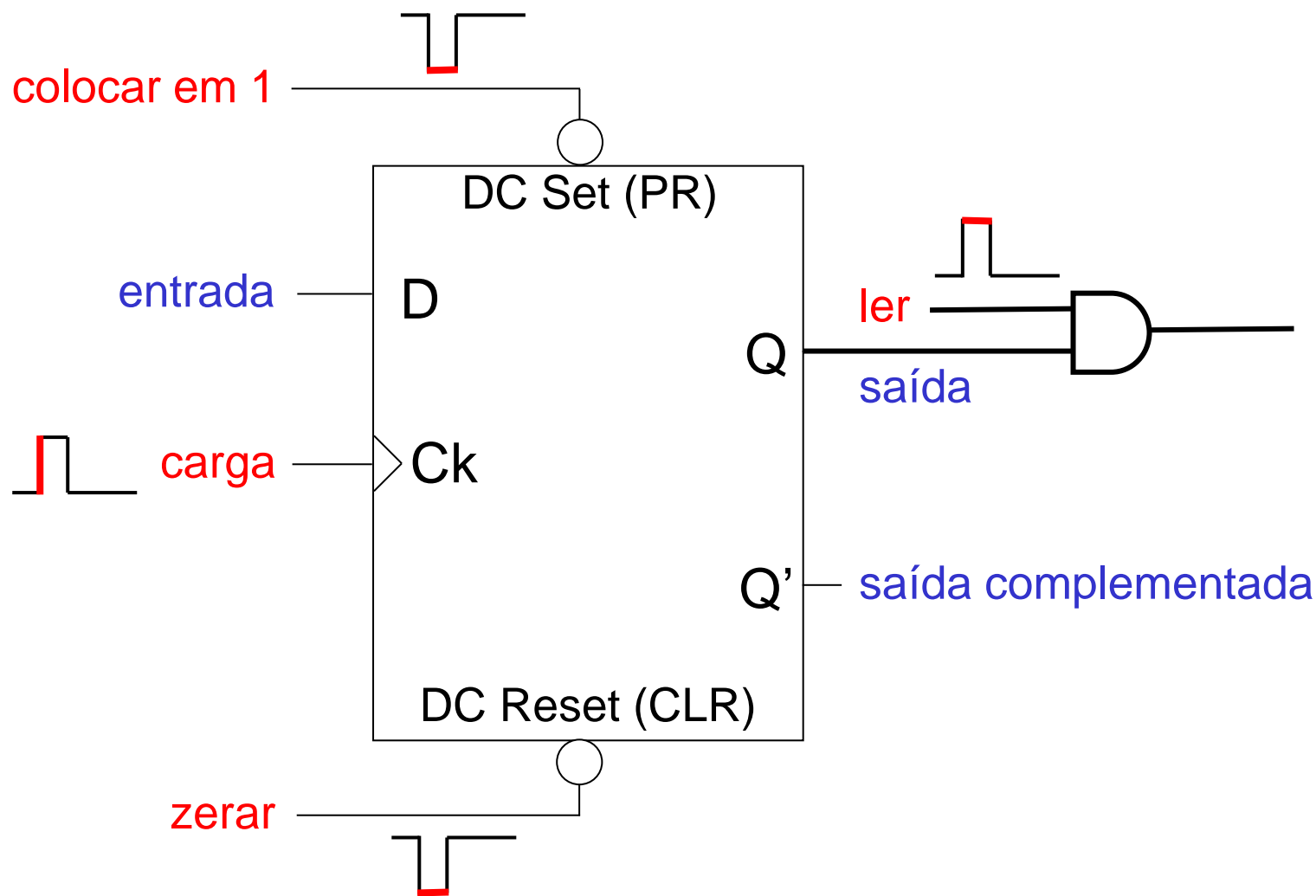


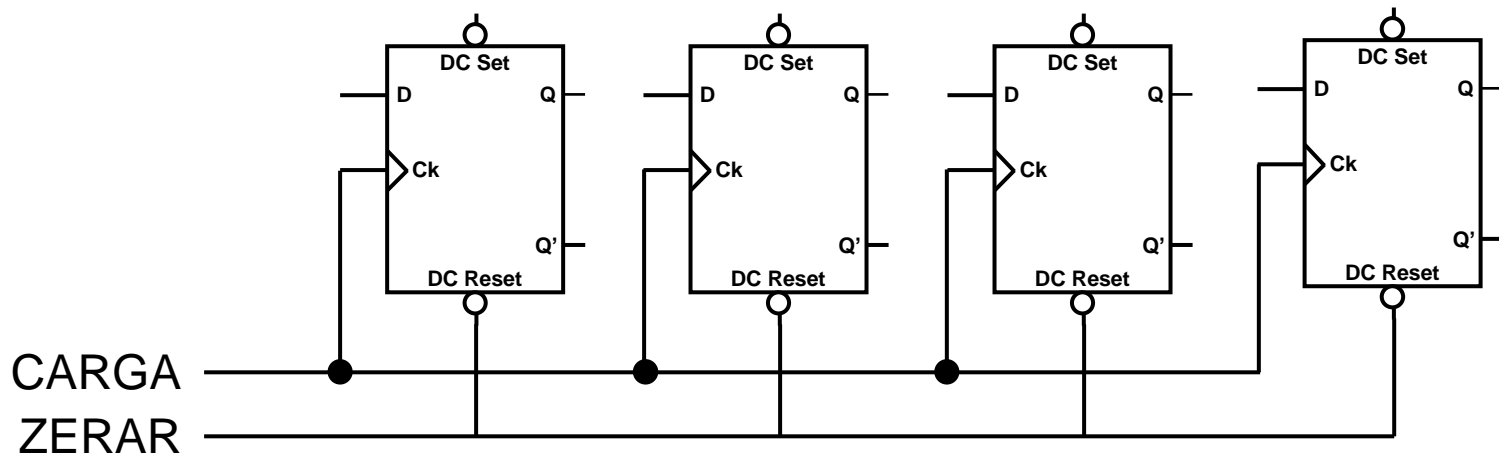
Agrupando flip-flops e portas
para criar registradores

Registadores de 1 bit



Registadores de vários bits

- um flip-flop por bit
- sinais de controle comuns a todos os flip-flops



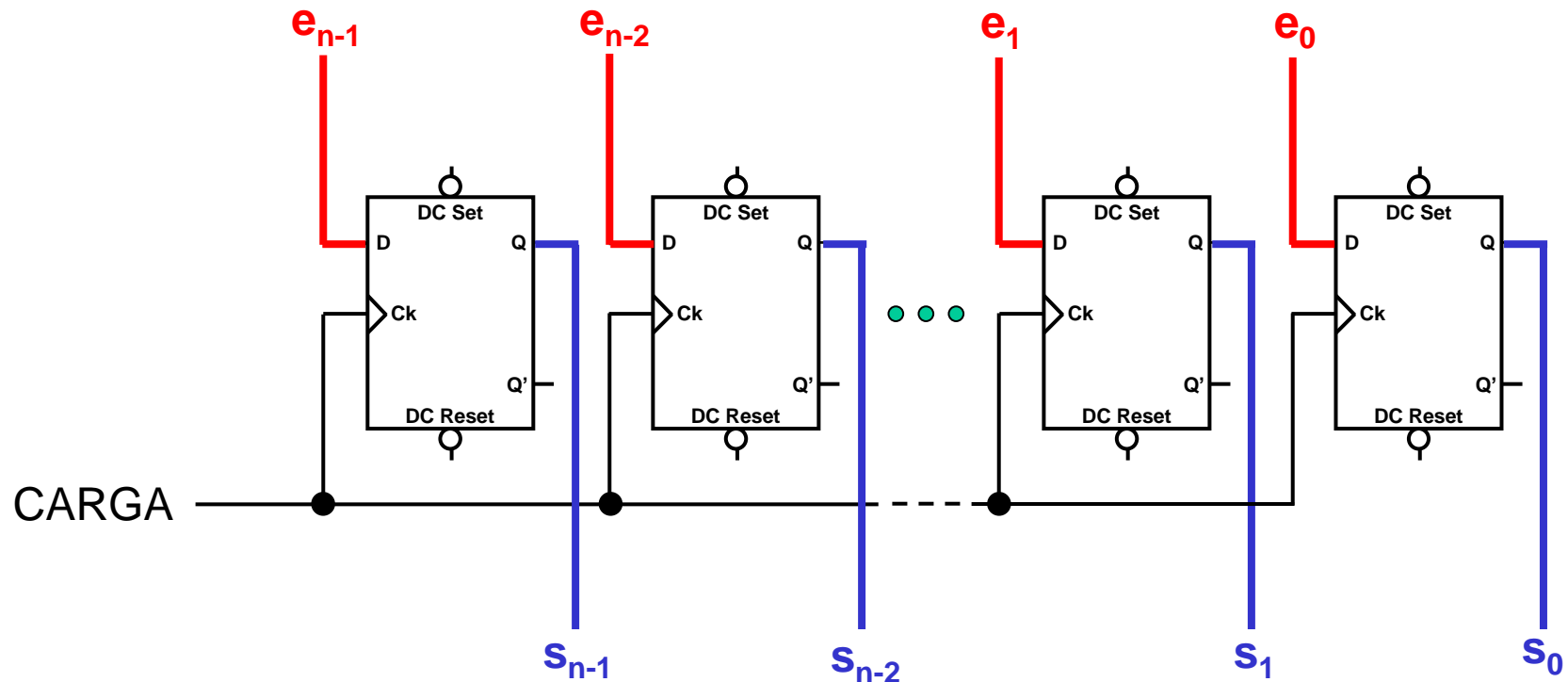
Quando lê as entradas ?

- nas bordas positivas do sinal **CARGA**

Quando zera todos os bits ?

- quando o sinal **ZERAR** passa de 1 para 0

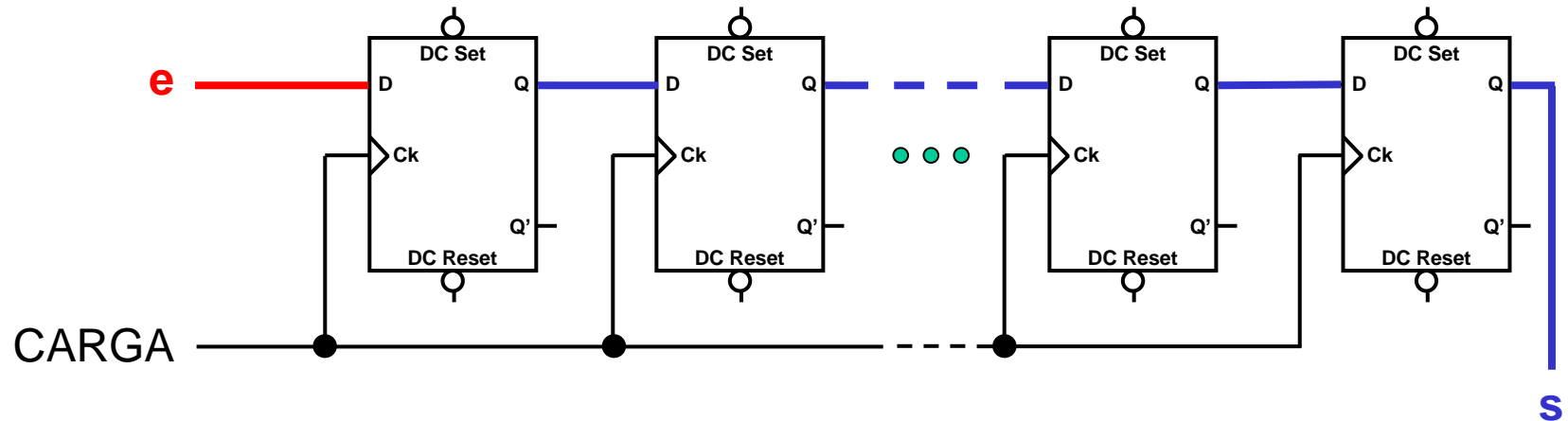
Registrador com carga e saída paralelas



- entradas D lidas simultaneamente, na borda do sinal de CARGA
- saídas disponíveis continuamente (esperar terminar as cargas)

Registrador com carga e saída seriais

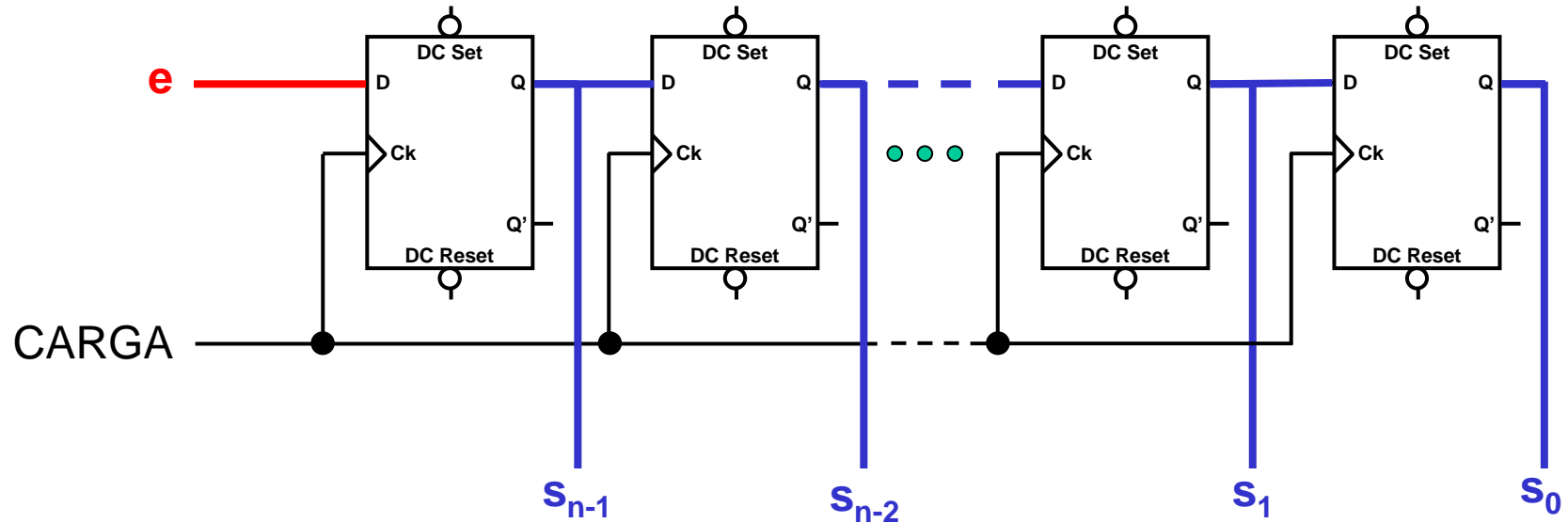
(registrador de deslocamento)



- entradas D lidas simultaneamente, na borda do sinal de CARGA
- valor de **e** armazenado no FF da “esquerda”
- demais FFs deslocam para a “direita” seu conteúdo
- valor do FF mais à “direita” sai do registrador
- somente o bit mais à “direita” fica disponível na saída **s**

Registrador com carga serial e saída paralela

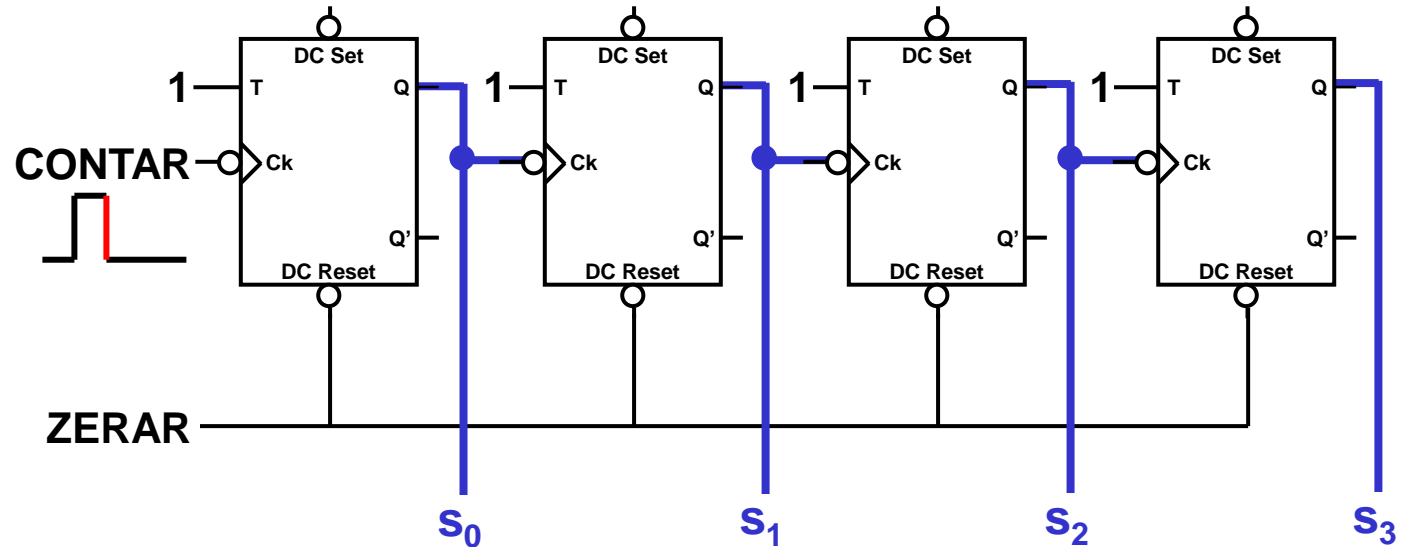
(aplicação: recepção de dados em linhas seriais)



- entradas D lidas simultaneamente, na borda do sinal de CARGA
- valor de **e** armazenado no FF da “esquerda”
- demais FFs deslocam para a “direita” seu conteúdo
- valor do FF mais à “direita” sai do registrador
- saídas disponíveis continuamente (esperar terminar as cargas)

Contador binário de 4 bits

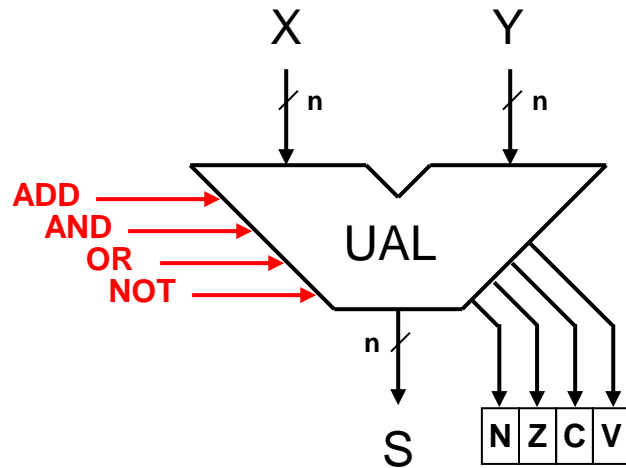
S_3	S_2	S_1	S_0
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1
1	1	1	0
1	1	1	1
0	0	0	0



- contar = somar 1 ao registrador a cada borda negativa do sinal de **CONTAR**
- conta de 0000_2 a 1111_2 e depois volta a 0000_2
- FF da esquerda é o bit menos significativo
- pode ser zerado no meio da contagem (**ZERAR**)

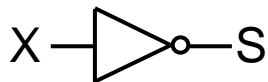
Unidade de Aritmética e Lógica

(circuito combinacional)

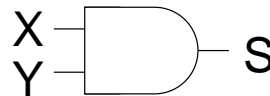


- os valores de S, N, Z, C e V dependem apenas dos valores das entradas X, Y e dos sinais de controle
- contém um circuito para cada operação
- o valor que vai para as saídas é selecionado de acordo com os sinais de controle

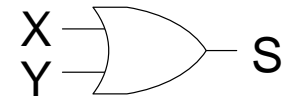
Instrução NOT



Instrução AND

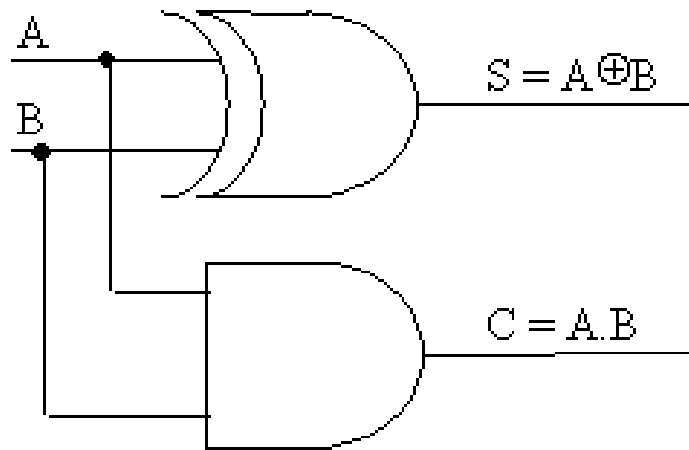


Instrução OR



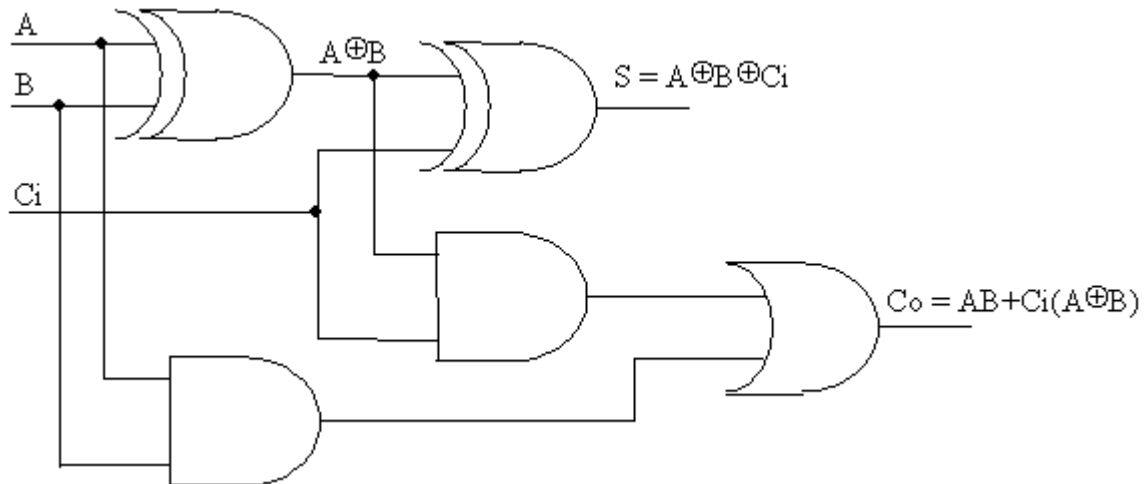
Meio Somador (Half Adder)

A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



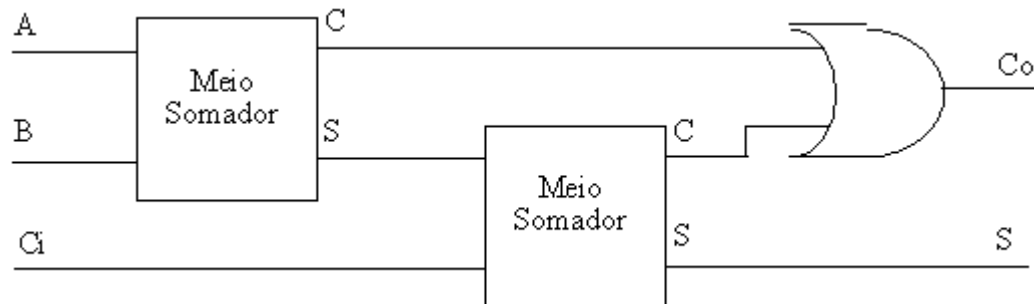
Somador Completo (Full Adder)

A	B	Ci	S	Co
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

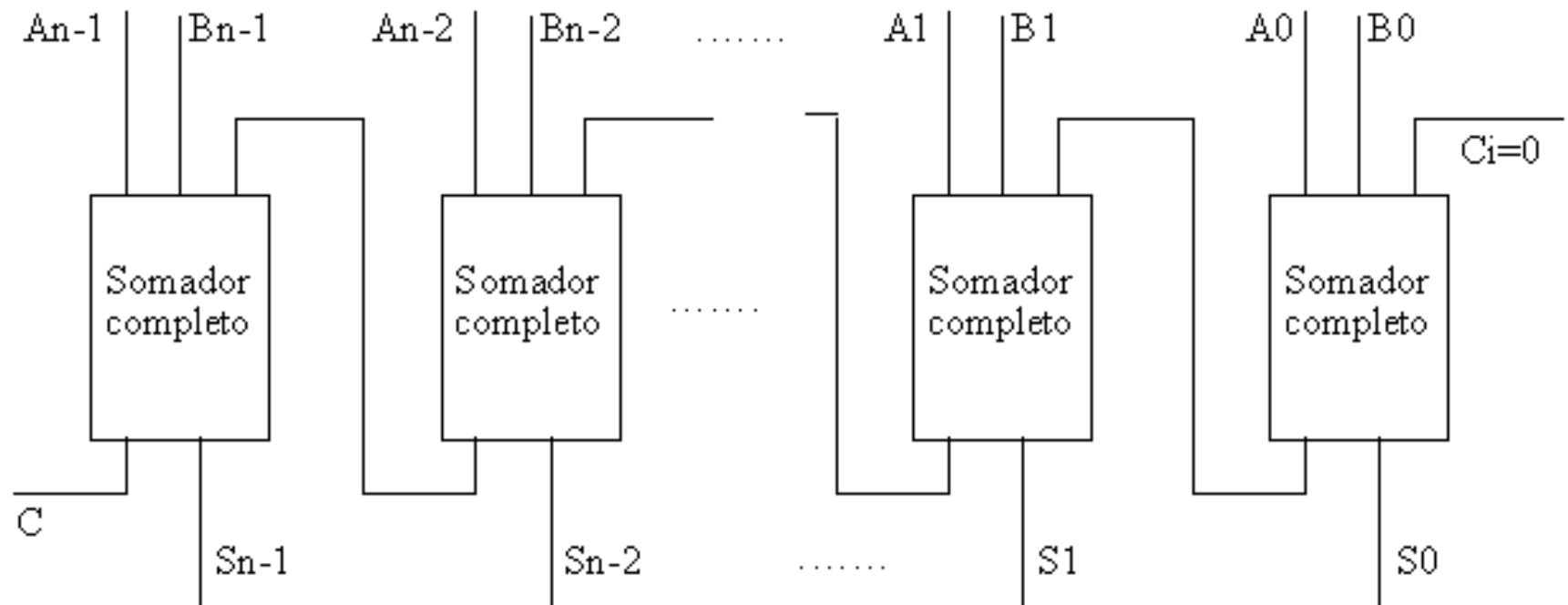


Somador Completo (Full Adder)

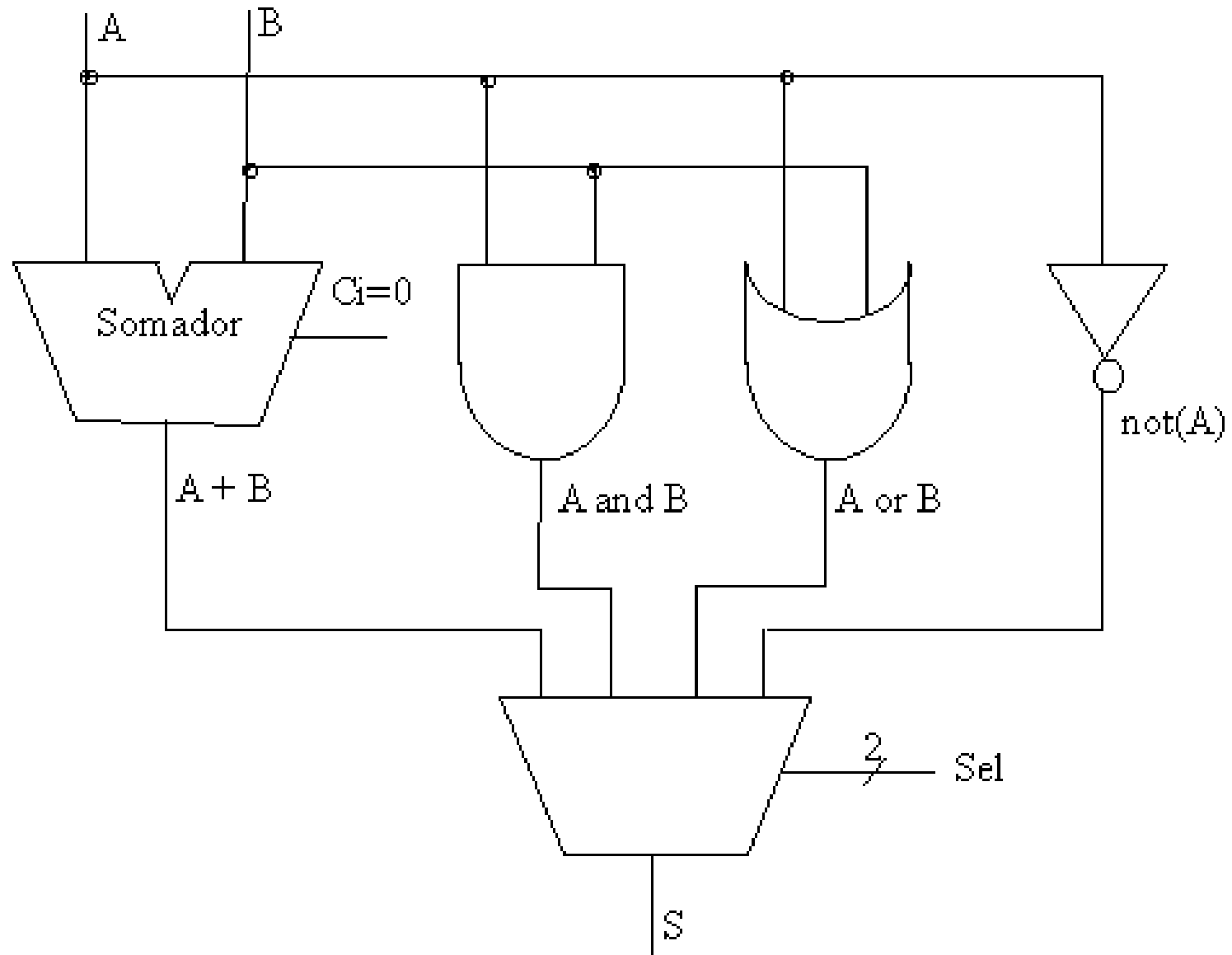
A	B	Ci	S	Co
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



Somador binário (paralelo) de n bits

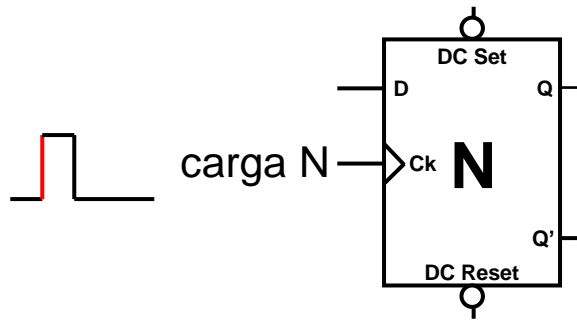


UAL: reunindo todos os circuitos

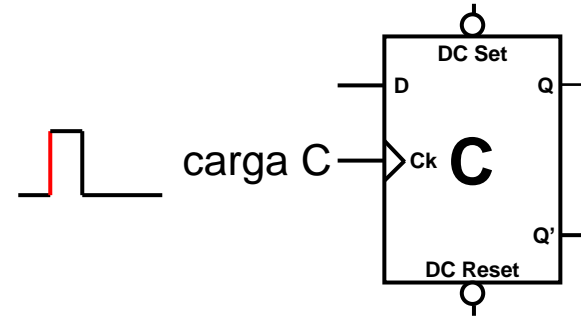


Códigos de Condição

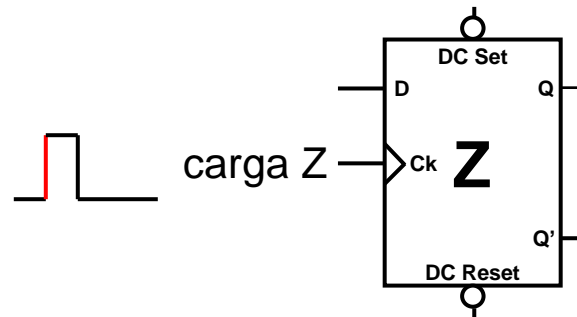
(registradores de 1 bit)



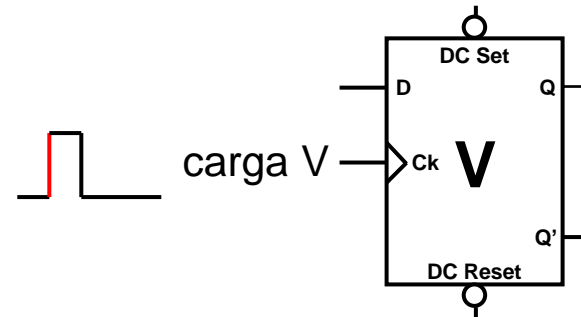
D = bit 7 da saída da ULA



D = C_{out} do msbit do somador

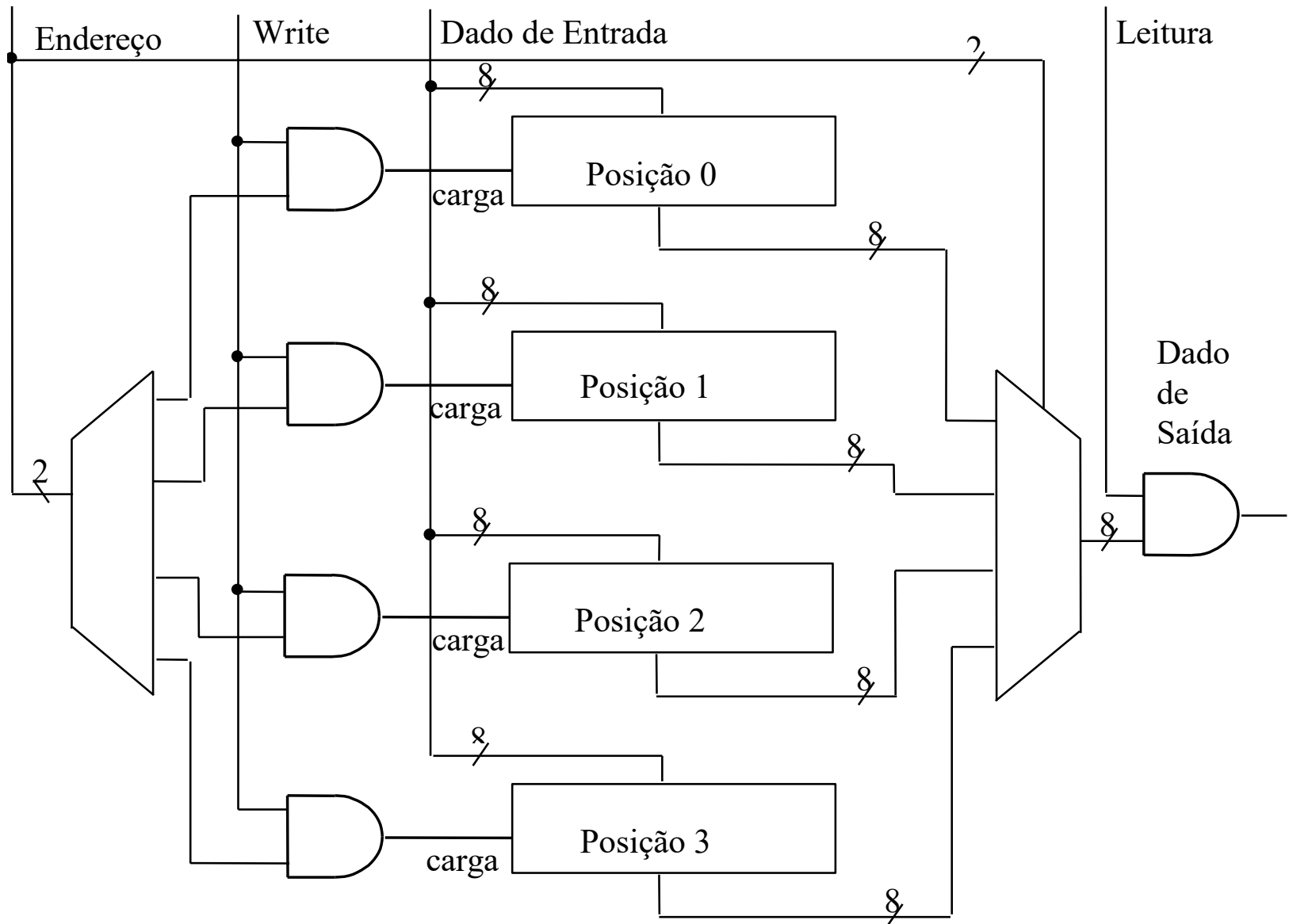


D = NOR dos 8 bits da saída da ULA

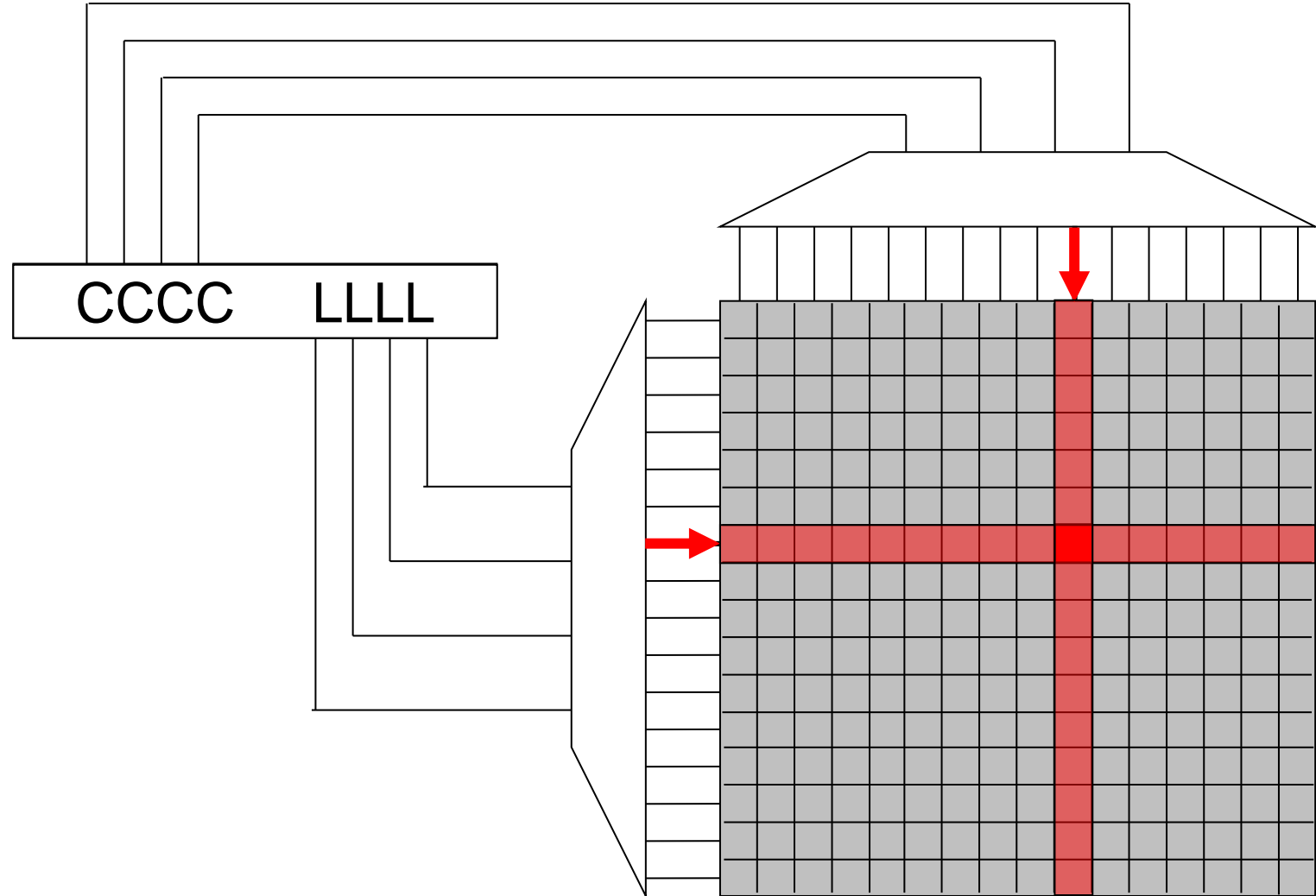


D = XOR do C_{in} e C_{out}
do msbit do somador

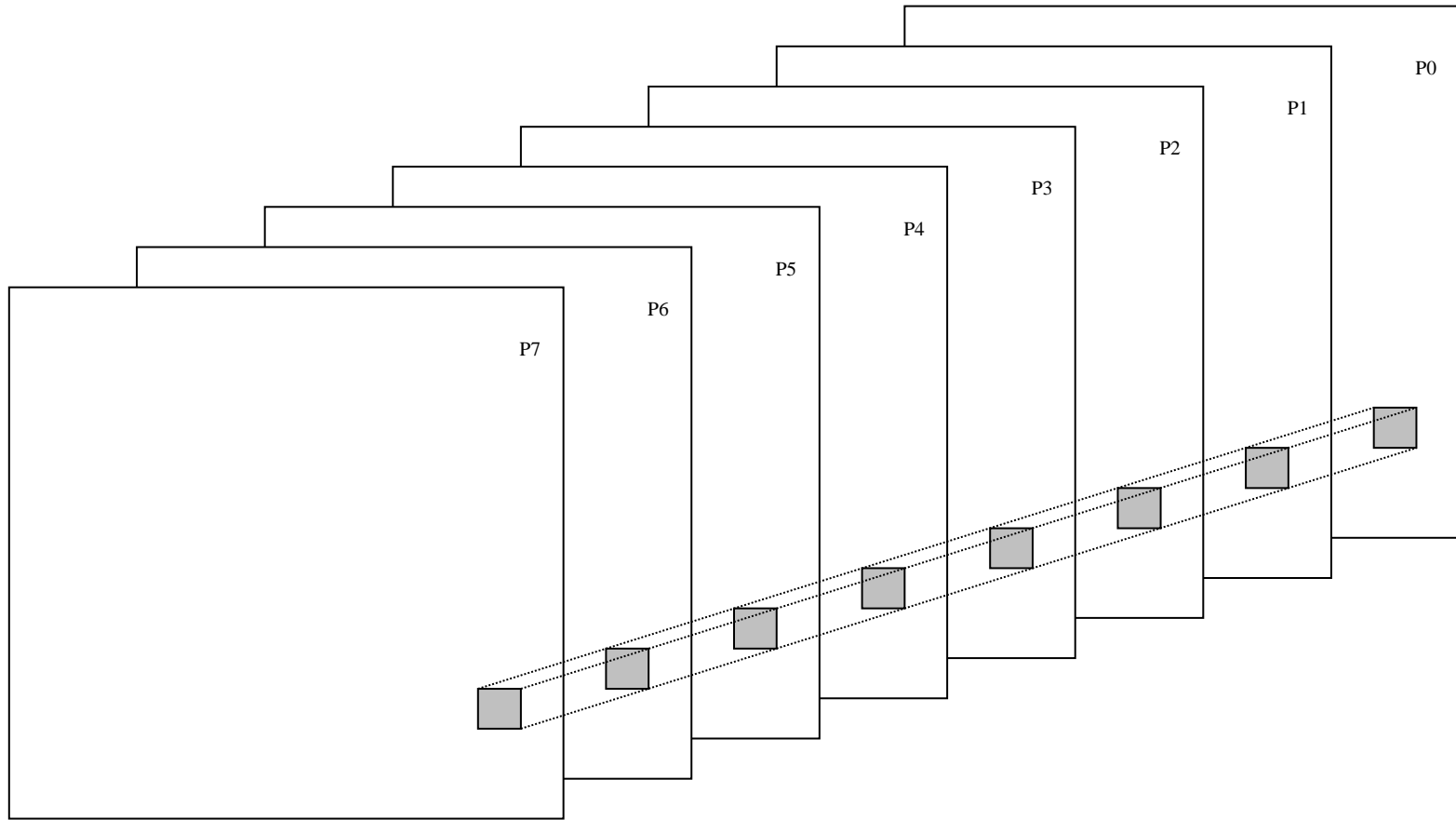
Memória com seleção linear



Memória com seleção matricial (um “plano”)



Uma palavra: 1 bit em cada “plano”



(1 “plano” pode ser 1 circuito integrado de memória “ $nk \times 1$ bit”)

Seleção linear x matricial

Tamanho da memória (em palavras)	Tamanho do REM (em bits)	Linhas de seleção (linear)	Linhas de seleção (matricial)
256 (Neander, Ahmes)	8	256	$2 \times 2^4 = 32$
1.024	10	1.024	$2 \times 2^5 = 64$
65.536 (Cesar, PDP 11)	16	65.536	$2 \times 2^8 = 512$
1.048.576 (Intel 8086)	20	1.048.576	$2 \times 2^{10} = 2.048$
16.777.216 (Motorola 68000)	24	16.777.216	$2 \times 2^{12} = 8.192$
4.294.967.296 (I486, Pentium)	32	4.294.967.296	$2 \times 2^{16} = 131.072$