EDA於工業控制器

PCB設計之應用

**作者姓名: 林財興、陳漢平**

**服務機構: 盟立自動化股份有限公司**

**日 期 : August 19, 2011**

**內容目錄**

[1. 摘要 4](#_Toc301450395)

[2. 關鍵字 4](#_Toc301450396)

[3. 前言 4](#_Toc301450397)

[4. 本文 5](#_Toc301450398)

[5. 邏輯設計 6](#_Toc301450399)

[6. 實體設計 8](#_Toc301450400)

[7. 信號完整性 9](#_Toc301450401)

[8. 電磁相容 10](#_Toc301450402)

[9. 案例說明 12](#_Toc301450403)

[10. 結語 13](#_Toc301450404)

[11. 參考資料 14](#_Toc301450405)

**圖表目錄**

[圖 1. 傳統PCB之設計流程 6](file:///D:\Work\Company\Mirle\Paper\2011_0818_EDA於工業控制器_02.docx#_Toc301450385)

[圖 2. 加入EDA後之PCB設計流程 7](file:///D:\Work\Company\Mirle\Paper\2011_0818_EDA於工業控制器_02.docx#_Toc301450386)

[圖 3. 使用LineSim 做板層模擬及參數分析 8](file:///D:\Work\Company\Mirle\Paper\2011_0818_EDA於工業控制器_02.docx#_Toc301450387)

[圖 4. 使用BoardSim/DDR Wizard對66MHz SDRAM的模擬與分析 9](file:///D:\Work\Company\Mirle\Paper\2011_0818_EDA於工業控制器_02.docx#_Toc301450388)

[圖 5. 位於I/O附近的雜訊藕合 10](file:///D:\Work\Company\Mirle\Paper\2011_0818_EDA於工業控制器_02.docx#_Toc301450389)

[圖 6. 改善走線前D16及D30訊號完整性報告 11](file:///D:\Work\Company\Mirle\Paper\2011_0818_EDA於工業控制器_02.docx#_Toc301450390)

[圖 7. 改善前之走線D16, $$$10, 及N19861112 12](file:///D:\Work\Company\Mirle\Paper\2011_0818_EDA於工業控制器_02.docx#_Toc301450391)

[圖 8. 改善後之走線D16, $$$10及N19861112 13](file:///D:\Work\Company\Mirle\Paper\2011_0818_EDA於工業控制器_02.docx#_Toc301450392)

[圖 9. 改善後之走線D16及D30之信號完整性報告 14](file:///D:\Work\Company\Mirle\Paper\2011_0818_EDA於工業控制器_02.docx#_Toc301450393)

# 摘要

本文就盟立自動化股份有限公司導入Mentor Graphic EDA (Electronic Design Automation) 工具軟體, 以提升工業控制器的設計效率與可靠度, 逐一提出實務性的專業介紹, 期能對讀者有所助益。全世界EDA 軟體預計2015達US$9.85 Billion (約280億台幣), 由 ASIC (Application Specific IC), PCB (Print Circuit Board), 與FPGA (Field Programmable Gate Array)三大領域大致瓜分, 而設計PCB的工業控制器廠商採用EDA工具軟體的比例卻遠低於設計ASIC的廠商, 原因何在? 本文也將提出看法。

對一般傳統控制器的廠商來說, 在未採用EDA工具軟體之前, 從規格的訂定、扁平式邏輯設計、零件佈局、手動拉線、洗板、打件到功能測試, 往往要等樣品產出後, 才能用試誤法與割跳線完成功能測試, 接著再重新佈局、拉線、洗板、打件, 如此周而復始直到皆通過功能與安規為止。 而今採用EDA自動化設計方法後, 從規格的訂定、階層式邏輯設計、功能模擬、轉扁平化線路、零件佈局、自動拉線、信號與電源完整性分析、溫度分析、EMC模擬、洗板、打件到樣品功能測試等, 借助EDA工具的事先模擬與自動化拉線, 不但功能可一步到位且產品的可靠度也得到保障。

而依作者經驗採EDA輔助PCB設計後, 一片PCB控制用電路板, 從原來4~6個月縮短為1~3個月, 且安規中的ESD、EFT與CS實測也幾乎一次到位通過測試, 甚至以往1.2V的電路易受干擾的問題也獲得了解決。[1-51]

# 關鍵字

* 電子自動化設計 (EDA)
* 工業控制器 (Industrial Controller)
* 印刷電路板 (PCB)
* 邏輯設計 (Logical Design)
* 實體設計 (Physical Design)
* 信號完整性 (Signal Integrity)
* 電源完整性 (Power Integrity)
* 溫度分析 (Thermal Analysis)
* 電磁相容性 (EMC)

# 前言

通常工業控制器的要求比商用電腦高, 主要包括: 一、可靠度要高, 二、須耐嚴苛環境, 三、生命週期要長, 四、客製化 (少量多樣)。 然而隨著科技的加速演進與MPU/CPU不斷地整合週邊功能成單一SOC (系統晶片), IC晶片設計基本上仍跟隨著摩爾定律的腳步走, 即平均每隔約18個月晶片的電晶體數量將倍增, 也使得產品更輕薄短小並得到熱賣, 但相反地晶片與PCB面積變小, 也使得線距與使用電壓 (5V -> 3.3V-> 1.2V -> 0.8V) 跟著變小, 雜訊免疫力也跟著降低; 尤有甚者, 因隨著MPU/CPU的速度也越來越高, 電源與信號的完整性也跟著複雜起來。 因此, 為了提高控制器的可靠度與設計效率, 藉用EDA工具軟體來設計分析PCB電路與LAYOUT, 已成為必要的手段。

話說EDA工具軟體為數位電路半導體設計帶來了革命性變化, 一點也不為過。而許多公司在1990年代中期推出的自動佈局和佈線工具也徹底改變了數位電路佈局設計, 其所造就的生產效率提升至今仍持續推動著大規模的晶片設計。 特別是EDA最初除了使用在ASIC與SOC的輔助設計外, 現今也應用在PCB的自動化模擬與設計。

至於, 設計工業控制器廠商較ASIC廠商少用EDA模擬工具的原因, 主為西元2000年以前, 因為一般控制器的應用, 主要著眼在穩定性與耐環境能力, 故往往採用較低頻(通常< 40MHz)無風扇的CPU/MPU設計, 且PCB的空間要求也不如設計ASIC般嚴苛, 所以對於雜訊敏感度較低, 而依一般經驗來設計電路、LAYOUT與加濾波器, 大致即可完成功能與EMC測試, 故較無使用EDA的迫切需求。

# 本文

西元2000年後, 由於受眼球革命與精品主義抬頭的影響, 即使是設計工業控制器的廠商也無法抵擋此潮流, 例如在人機板的設計朝3D畫面邁進(即CPU/MPU需具備3D引擎, 其頻率 一般500MHz以上), 而控制板的即時控制 (Real Time Control) 則要求掃瞄時間 (Scan Time) <= 1ms (甚至為了搭配伺服驅動有的要求 <= 0.1ms)。 因此, 未來藉助EDA工具軟體來設計工業控制器已成為必經的過程, 而目前EDA的軟體工具大廠, 主要包括有新思 (Synopsys), 明導 (Mentor Graphic), 益華電腦 (Cadence), 捷碼 (Magma), 安派科技 (Apache Design Solution)等, 而每家各擅其長, 各領風騷。

以下本文就EDA 工具模擬軟體, 對設計PCB板之四個主要設計重點所產生的助益, 分別提出供讀者參考:

1. 邏輯設計 (Logical Design): 這個部份屬電路圖的設計 (Schematic Design), 而藉助EDA除可進行溫度, 雜訊, 富立葉 (Fourier, 可設計濾波器的頻寬與參數), 參數掃描(可找出參數的範圍), 蒙地卡羅 (Monde Carlo, 可分析零件的常態分佈)等分析, Worst Case模擬, 參數優化 (Circuit Parameter Optimization), 組合邏輯及序向邏輯電路模擬, 數位電路的錯誤自動偵測, 以及產生Bill of Material (BOM) 表與Enterprise Resource Planning (ERP) 系統的結合。
2. 實體設計 (Physical Design): 實體性的設計, 可分Pre-layout與Post-layout兩種模擬, 其中Pre-layout利用LineSim進行板層疊構模擬設計, 阻抗匹配 (走線寬度設計) 模擬, 串擾模擬 (走線間距設計), 零件佈局與走線的拓樸形態, 地反彈 (Ground Bounce)與時序等分析, 亦即先找出Layout的限制範圍值 (Constraints), 以得到系統多電源區域的零件佈局策略與電源濾波電容的各種參數。而Post-layout則利用BoardSim進行信號的完整性 (Signal Integrity or SI)、電源的完整性 (Power Integrity or PI)、溫度 (Temperature Analysis or TA) 與 EMC (電磁相容性) 等模擬與分析。
3. 信號完整性 (Signal Integrity or SI): 信號完整性主要著眼於分析串擾 (Crosstalk), 延遲 (Delay), 振鈴(Ringing), 信號反射 (Signal Reflection), 地反彈 (Ground Bounce) 等異常干擾, 對信號影響的程度。 而進行SI分析時, 通過LineSim和BoardSim的互動式使用, 可以分析PCB疊層設計及實際的佈局佈線, 以及分析信號的傳輸性與串擾, 來保證系統電路的高速傳輸特性。其中, BoardSim還可進行多板模擬和接插件模擬，從系統整體角度考慮串擾強度、阻抗連續性與整個信號網路的完整性問題。
4. 電磁相容 (Electromagnetic Compatible or EMC): EMC是指當電機與電子裝置彼此所產生之雜訊不干擾其他裝置之相容性, 主要分EMI (Electromagnetic Interference) 與EMS (Electromagnetic Susceptibility) 兩大類別, 而藉助EDA工具軟體, 可及早發現EMC的問題並採取對策, 以降低除錯成本, 其中EMI主要是使用了高頻波能量和訊號調製 (一般為GHz級的3C產品), 從傳輸媒介中洩露出的輻射, 需採用適當的遮罩來降低電磁的干擾。 而EMS則是受外部裝置干擾時, 須提高其耐受性的處理, 一般工業控制器都得通過的EMS測試包括 Electro-Static Discharge (ESD), Electrical Fast Transient (EFT), Conductive Susceptibility (CS), Surge, …等等。 其中EFT 則包括從電源端及I/O端輸入干擾源測試。

# 邏輯設計

一般傳統PCB的邏輯設計程序如1左半邊流程所示, 即產品單位提出規格 (Specification In), 經研發單位確認整理產出規格 (Specification Out)後, 即直接採扁平式設計的方式, 經零件佈局→手動拉線→產生Netlist檔後, 再進入實體設計階段, 但如此做法往往在MPU/CPU的頻率 ≧ 100MHz後, 因信號的複雜或互擾, 即很難再利用經驗法則處理, 即使產出樣品後再採試誤法與割跳線也很難保證Re-Layout修改後一次完成。

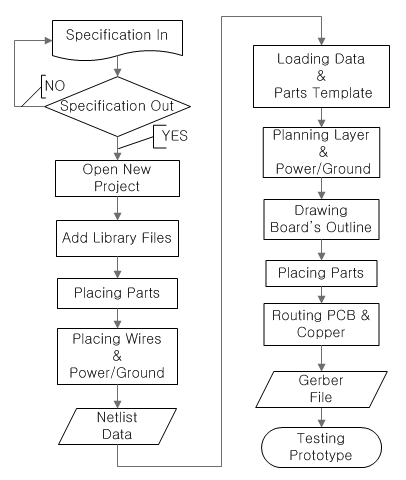


圖 1. 傳統PCB之設計流程

而今採用電子設計自動化 (EDA)工具軟體後, 採階層式與模組化的邏輯設計方式, 並運用廠商提供的IBIS或SPICE Model進行功能模擬, 以及藉助EDA幫忙分析信號的完整性 (SI, 如Clock Skew、Rise Time、Worst Case)、電源的完整性 (PI)、溫度 (分佈狀況或最高溫)、雜訊的處理 (濾波器的設計)、… 等等, 並進行組合或序向邏輯電路的模擬與數位電路錯誤之自動偵測, 甚至可產生BOM表與ERP系統的結合。 2是加入EDA 工具軟體後之PCB設計流程圖, 由圖中可看出其實際上是一種閉環的設計方法, 即透過 EDA工具軟體的模擬, 如發現錯誤隨時可回到前面程序並修正錯誤。其中ERC (Electrical Rule Checking)係指電路與符號的規則檢查, 而Packaging (打包) 則指將前段邏輯設計的資料格式扁平化後, 轉為後段實體設計可接收的資料格式。



圖 2. 加入EDA後之PCB設計流程

[註: Mentor Graphics PCB前端設計軟體有DxDesigner, HyperLynx Analog, AMS (Eldo, ModelSim, 及Fast-SPICE ADiT), HyperLynx SI/PI/EMI Analysis, HyperLynx Thermal Analysis。]

# 實體設計

一般傳統的實體設計, 主要是執行如1右半邊流程所示: Layout的程序, 即先執行Layout軟體並載入邏輯設計階段所產出的Netlist檔, 接著規劃板層數目與電源分佈 (Planning Layer & Power/Ground), 再進行零件的佈局與佈線 (Routing PCB & Copper), 最後才產出Gerber檔案來製造樣品。而上述傳統的作法, 往往須藉由經驗與試誤法, 重覆數回程序與試作品之後, 才能產出正確的樣品, 所以在這個階段更需要藉助EDA的工具軟體, 才能提升PCB設計的品質與效率。

現說明EDA加入實體佈建階段後(如2右半邊流程圖所示), 對整個PCB設計的影響, EDA在這個階段重點在於SI, PI, TA, EMS (產品對外界干擾的承受能力)與EMI (產品對外產生的電磁干擾)等問題的分析, 其中PI著眼於電源區電壓與電流分佈的分析, 而TA則著眼於PCB板層與電子電路零件的溫度分佈與梯度的分析, 藉以得到零件功率與位置擺放的正確性。

而在執行Auto Routing Signal之前, 須先行設定Physical Constraints (Layout的限制範圍)的數值, 並使用LineSim進行板層模擬及參數分析 (如3所示), 而LineSim的模擬, 可得到系統多電源區域零件放置 (Placement)的策略, 以及電源濾波電容的參數, 進而提供電源設計與雜訊問題的分析。

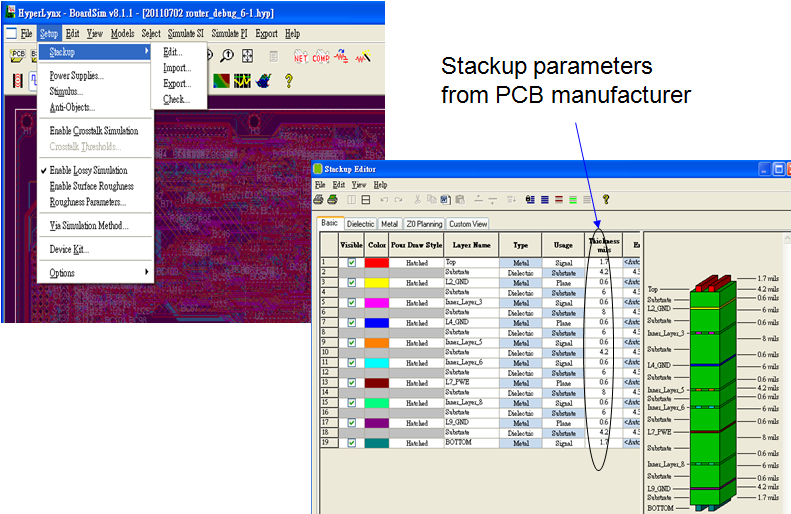


圖 3. 使用LineSim 做板層模擬及參數分析

至於Auto Routing Signal後, 可使

用BoardSim進行SI的分析; 同時, 通

過LineSim和BoardSim的互動 (可從BoardSim的電路中, 選取局部電路進行個別深入LineSim的分析) 使用,

來分析PCB疊層設計、實際的佈局/

佈線、信號的傳輸特性與串擾, 使能

保證系統電路高速的傳輸特性。此外 , BoardSim還可進行多板模擬和接插件模擬, 從系統整體角度考慮串擾強度、阻抗連續性、整個信號網路的完整性等問題。

(註: Mentor Graphics PCB後段, 常用

的軟體有 Expedition, PADS Layout, PADS Router, HyperLynx SI/PI/EMI Analysis, HyperLynx Thermal Analysis 及Quiet Expert等。)

# 信號完整性

信號完整性行(SI)主要著眼於分析串擾 (Crosstalk, 即因相鄰線路電場與磁場的藕合, 引入雜訊干擾的現象),延遲 (Delay, 信號不正常的滯後), 振鈴 (Ringing, 即不希望有的振盪), 信號反射 (Signal Reflection, 即因線路的阻抗不一造成信號反彈的現象), 地反彈 (Ground Bounce , 即晶體切換時發生電位比地還低, 進而造成Logic Gate不穩定的現象), 而在做SI分析之前, 必須到製造商網站下載IBIS (Input/ Output Buffer Information

Specification) 模型, 實際上IBIS模型就是反映晶片驅動和接收電氣特性的一種國際標準。它基於 I－V曲線, 對I/O Buffer快速建立模型, 並提供一種標準的檔案格式來記錄諸如激勵源輸出阻抗、上升/下降時間及輸入負載等參數, 非常適合做振盪和串擾等高頻效應的系統級計算與模擬, 而在進行訊號完整性分析之前, 必須先將要模擬的元件, 先載入IBIS Model (有些元件如果沒有IBIS Model, 就必須指定其他類似Model或自行設定)。其中, BoardSim有Batch Mode Simulation (即採用預設模型值做整個PCB的快速掃瞄模擬與分析)與Interactive Mode Simulation (即選擇單一走線並可設定精確的模型值來進行模擬與分析)兩種供使用者選擇。

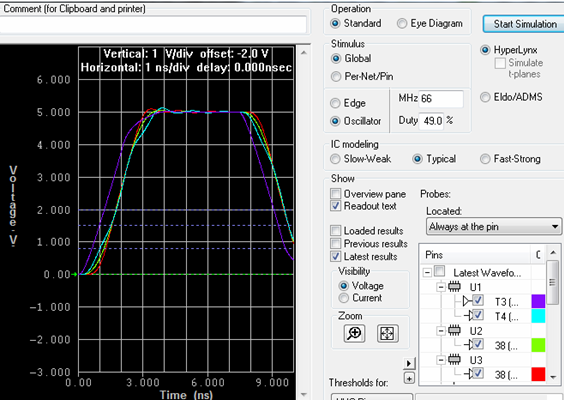


圖 4. 使用BoardSim/DDR Wizard對66MHz SDRAM的模擬與分析

此外, BoardSim 還有DDR Wizard (如圖4)及Fast-Eye Simulation Wizard等工具, 其中DDR Wizard可用來分析CPU與Memory 的運作情形, 而Fast-Eye Simulation Wizard則可用來做SerDes (Serial/Deserial, 串並轉換所產生的抖動)、串/並列匯流排 (Serial/Parallel Bus) 與眼圖 (Eye Diagram, 接收端信號完整性的圖形)的模擬及分析。

# 電磁相容

PCB電磁相容設計要能正確的完成, 須先進行PCB安規的模擬, 以確保產品符合銷售區域的相關安全法規。 否則, 樣品出來再經安規儀器測試與試誤法修正, 來來回回往往要經很多次修改才能竟其功, 故如能事先利用EDA的EMC模擬軟體, 瞭解濾波器的設計、Placement的位置、走線的安排、接地的規劃、去藕合電容的位置、板層的屏蔽…等等抑制雜訊的措施是否恰當後, 再製作樣品即可得事半功倍之效, 從而通過一般PCB設計最難處理的EMC階段。 [4-19]

而EMC的內容主要包括有EMI (電磁干擾性) 與EMS (電磁耐受性)兩個部份, 其中EMI包括傳導干擾(CE)、輻射干擾 (RE)、輻射功率干擾、諧波電流干擾、電壓變動與閃爍干擾等安規測試, 而PCB板中的Clock線與高頻信號的排線則是造成EMI最主要的來源。 另EMS則包括靜電放電 (ESD)、輻射耐受 (RS)、電性快速脈衝 (EFT)、突波/雷擊 (Surge)、傳導耐受度 (CS)、電壓變動耐受、磁場耐受等安規測試, 而Vcc與Ground處理的良窳則關係到設計EMS的成敗。



圖 5. 位於I/O附近的雜訊藕合

至於, 上述所提EMC的干擾源頭或安規測試項目, 我們可藉助Mentor Graphics的Quiet Expert工具軟體來進行模擬與預防, 而Quiet Expert 則設計了25條規則來進行PCB的檢查, 即用來偵測佈局中有可能產生EMI及EMS的情況。 如圖5所示, 即為一個I/O的藕合佈建, 其由於藕合距離太長或線距太小, 導至從外面進來的大雜訊, 還未進到濾波器 (Filter) 的IC前, 就已將雜訊感染到另一條機殼的接地(Frame Ground or FG), 再由FG跑到信號地 (Signal Ground or SG), 使得SG的準位提高進而造成CPU系統的當機。

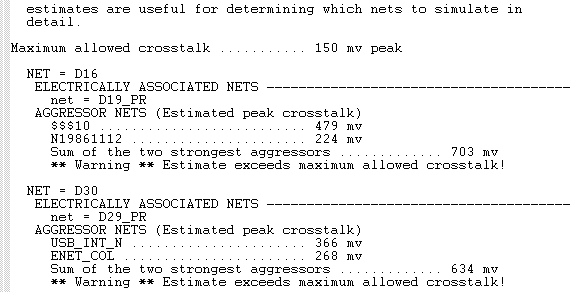


圖 6. 改善走線前D16及D30訊號完整性報告

# 案例說明

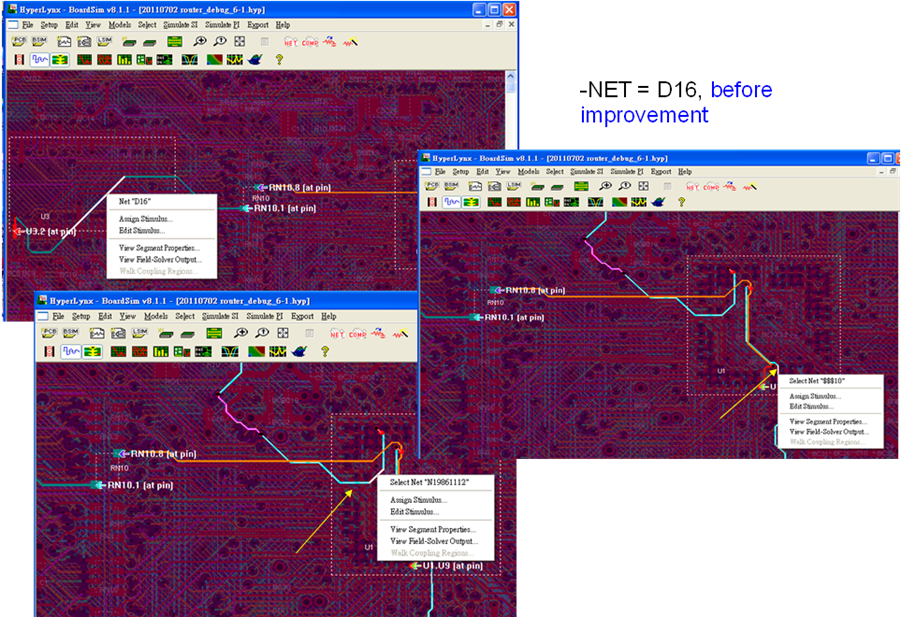


圖 7. 改善前之走線D16, $$$10, 及N19861112

本案例將說明如何處理串擾的問題, 如6所示為SI模擬分析ARM9人機板之信號完整性的報告, 其中串擾的設定上限條件為150mV, 而超過此值就算不合格, 對本案例來說總共違反數達20個。當中最嚴重的串擾為D16 (受到走線$$$10及走線N19861112的影響, 其中Crosstalk = 703mV) 與D30 (Crosstalk = 634mV)。 如圖 7所示為D16 (左上方)、 $$$10 (右方) 及N19861112 (左下方) 改善前的走線, 而圖 8則為改善後的走線。如圖 9則為改善走線D16及D30後, 信號完整性的報告, 從報告中可知D16與Ｄ30 已移除且總違反數剩18個。 而重複上述步驟, 最後我們可清除所有的串擾。



圖 8. 改善後之走線D16, $$$10及N19861112

# 結語

盟立藉助EDA工具模擬軟體於工業控制器PCB的設計, 其所產生的綜效, 今整理如下:

1. 藉助EDA工具中的SI/PI來分析信號/電源的完整度, TA來分析零件與PCB的溫度,減少PCB re-layout的次數, 從而可提升設計PCB的效率與品質。
2. 藉助EDA工具中的Quiet Expert來檢驗符合EMC的程度, 使得設計PCB板的可靠度與EMC相容性, 皆可得到明顯的提升與保障。
3. EDA所產生的BOM表, 能與公司的ERP系統結合, 並將目前人工輸入 BOM表變為自動化, 以進一步節省研發與製造單位所建立BOM表的時間。

4. 預估導入 EDA工具軟體後, 開發一片PCB控制板, 將由通常4~6個月降到1~3個月以內。

而對於PCBs設計來說, Mentor Graphics EDA的前端設計(Front-End), 有AMS (Advanced Mixed Signal Simulation Environment), HyperLynx Analog做類比模擬, 並可擴充成AMS做混合信號模擬, 其含有 ModelSim (做數位Verilog行為模擬)及Eldo (可做類比及Verilog-A模擬), 還可驗證數位IC元件與電路功能設計的正確性。

目前Cadence EDA的前端設計OrCAD / pSpice擁有較多的使用者, 且免費提供展示樣本 (Demo Version)使用, 從學校教學教科書到業界支援, 皆有較好的使用說明文件及強大的使用者支援, 可惜Cadence混合信號 (Mixed Signal) 模擬功能, Verilog-A (數位的類比行為模式) 及純數位 (Verilog HDL) 模擬功能, 只支援在Linux 環境下的使用者, 而在視窗 (Windows) 環境下, 目前卻只有OrCAD/pSpice, 沒有數位及混合信號模擬功能, 這是比較可惜的地方。

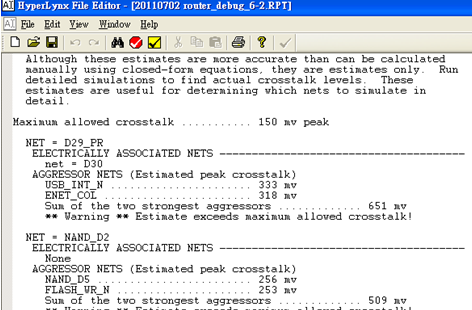


圖 9. 改善後之走線D16及D30之信號完整性報告

另外, Mentor Graphics的後端設計Auto-routing, SI, PI與TA非常強大, 其中 TA是Mentor Graphics 買入的一家公司, 可做散熱片, 風扇, 不同型狀鑽孔與環境等熱傳導模擬及分析, 從而確保PCB電路板在正常狀態下的品質。至於, Quiet Expert則利用IBIS Model及導入25條專家系統來修正Layout , 以保證產品在異常狀態下, 使用ESD, EFT, CS, Surge (雷擊)等安規模擬信號]的EMC品質。

故不論是SI, PI, TA或EMC分析, 皆是PCB電路板在送洗前應經過的模擬分析步驟, 而唯有只有如此才能保證工業控制器的設計品質與效率。

# 參考資料

1. 王俞允, 「PADS Logic高速電路設計: 電路篇」, 基峯 (2006)。
2. 王俞允, 「PADS PCB高速電路設計: 電路板篇」, 基峯 (2007)。
3. 尤芳寬, 「信號完整性寄生效應影響,”」, 電子檢測與品管, Pp. 47-51 (July, 2006)。
4. 林宗清, 「PCB Layout安規與符合EMC之最佳化設計」, 工業技術研究院 (April, 2011)。
5. 袁世一及林銘昱, 「應用於EMC之程是EMI模型」,電子檢測與品管, 台灣電子檢驗中心, Pp. 44-53 (April, 2008)。
6. 姚啟元, 「LCD TV電磁相容 (EMC) 對策與設計介紹」, 同上, Pp. 29-38 (April, 2007)。
7. 姚啟元, 「資訊產品電磁耐受性測試介紹」, 同上*,* Pp. 12-19 (January, 2009)。
8. 郝晓冬, 「電磁兼容技术指南」,電磁相容的測試方法與對策技術 (July, 2011)。
9. 陳家鵬, 「電磁相容PCB Layout設計案例介紹」, 同上*,* Pp. 57-62 (October, 2010)。
10. 陳漢平 (Peter H. Chen), 林進村, 許紹哲, 邱坤德, 及林財興, 「射出控制器ARM 開發平台(ME-3000S)」, 盟立自動化有限公司 (June, 2011)。
11. 張義和, 「OrCAD Unison: 電路板設計」, 基峯 (2008)。
12. CEI/IEC,「電源高低電壓測試(PQF)」, International Standard IEC 61000-4-11 (2001)。
13. CEI/IEC, 「電源電流諧波測試」, International Standard IEC 1000-3-2 (2001)。
14. CEI/IEC, 「電源電壓變動」, 法」, International Standard 1000-3-3 (2001)。
15. CEI/IEC, 「溫濕度環境試驗方法」, International Standard IEC 68-2-XX (2001)。
16. CEI/IEC, 「靜電抗擾測試 (Electro-Static Discharge, ESD)」, International Standard IEC 61000-4-2 (2001)。
17. CEI/IEC, 「快速暫泰脈衝抗擾測試 (Electrical Fast Transient, FET)」, International Standard IEC 61000-4-5 (2001)。
18. CEI/IEC,「雷擊突波抗擾測試 (Surge)」, International Standard IEC 61000-4-5 (2001)。
19. CEI/IEC, 「傳導抗擾測試 (Conductive Susceptibility, CS)」, International Standard IEC 61000-4-6 (2001)。
20. Global Industry Analysis Group, “Gloal EDA Tool Market to Reach $9.85 Billion by 2015,”  Global Industry Analysis, Inc., San Jose, California, USA. (July, 2011)
21. Eric Bogatin, “Signal Integrity - Simplified,” Pearson Education, Inc. (2004).
22. Pong P. Chu, “FPG A Prototyping by Verilog Examples - Xilinx Spartan-3 Version,” Wiley and Sons, Inc. (2008).
23. *ibid.*, “FPG A Prototyping by VHDL Examples - Xilinx Spartan-3 Version,” Wiley and Sons, Inc. (2008).
24. Michael D. Ciletti, “Advanced Digital Design with the Verilog HDL,” Pearson (2011).
25. Roy W. Goody, “OrCAD PSpice for Windows: Vol. (I-III),” Third Edition, Prentice Hall (2001).
26. R.S. Khandpur, “Printed Circuit Board: Design, Fabrication, and Assembly,” Prentice Hall (2006).
27. Kraig Mitzner, “Complete PCB Design Using OrCAD Capture and PCB Editor,” Elsevier, Inc. (2009).
28. Henry W. Ott, “Electromagnetic Compatibility Engineering, “Wiley & Sons (2009).
29. Gordon W. Roberts and Adel S. Sedra, “SPICE,” Second Edition, Oxford University Press (1997).
30. Vikas Shukla, “Signal Integrity for PCB Designers,” Reference Design , Inc. (2009).
31. Chris Spear, “SystemVerilog for Verification,” Second Edition, Springer (2008).
32. Steven H. Voldman, “ESD: Circuits and Devices,” Wiley & Sons, Ltd (2006).
33. Steven H. Voldman, “ESD: RF Technology and Circuits,” Wiley & Sons, Ltd (2006).
34. Mentor Graphics, “PADS Logic User Manual and Reference Manual,” Mentor Graphics, Inc. (2011).
35. *ibid*, “DxDesigner User Manual and Reference Manual,” Mentor Graphics, Inc. (2011).
36. *ibid*, “HyperLynx Analog Simulator User Manual and Reference Manual,” Mentor Graphics, Inc. (2011).
37. *ibid*, “DxDatabook User Manual and Reference Manual,” Mentor Graphics, Inc. (2011).
38. *ibid*, “PADS Layout User Manual and Reference Manual,” Mentor Graphics, Inc. (2011).
39. *ibid*, “PADS Router User Manual and Reference Manual,” Mentor Graphics, Inc. (2011).
40. *ibid*, “HyperLynx SI (LineSim and BoarSim) User Manual and Reference Manual,” Mentor Graphics, Inc. (2011).
41. *ibid*, “HyperLynx Wizard DDRx User Manual and Reference Manual,” Mentor Graphics, Inc. (2011).
42. *ibid*, “HyperLynx Wizard SerDes User Manual and Reference Manual,” Mentor Graphics, Inc. (2011).
43. *ibid*, “HyperLynx PI User Manual and Reference Manual,” Mentor Graphics, Inc. (2011).
44. *ibid*, “HyperLynx Thermal Analysis User Manual and Reference Manual,” Mentor Graphics, Inc. (2011).
45. *ibid*, “Quiet Expert for EMC User Manual and Reference Manual,” Mentor Graphics, Inc. (2011).
46. *ibid*, “ModelSim User Manual and Reference Manual,” Mentor Graphics, Inc. (2011).
47. *ibid*, “Advanced Mixed Signal Simulation Environment (AMS) User Manual and Reference Manual,” Mentor Graphics, Inc. (2011).
48. *ibid*, “Basic Eldo User Manual and Reference Manual,” Mentor Graphics, Inc. (2011).
49. *ibid*, “Eldo/RF User Manual and Reference Manual,” Mentor Graphics, Inc. (2011).
50. *ibid*, “EZwave User Manual and Reference Manual,” Mentor Graphics, Inc. (2011).
51. *ibid*, “PADS Evaluation Guide,” Mentor Graphics, Inc. (2011).

作者簡介

林財興現任職盟立自動化(股)公司協理

專長：

* 機電整合
* 控制器設計

陳漢平, PhDEE/EMBA

現任職盟立自動化(股)公司副處長

專長：

* 混合信號及類比模擬設計
* EDA 研發應用
* IEEE-TCAD/TVLSI 論文審核委員
* 南加大/柏客來加大/交大校友