



RISC-V MIKROKONTROLERIS UZ SPARTAN6 FPGA

Darba autors: **Pēteris Račinskis**
pr13001@edu.lu.lv

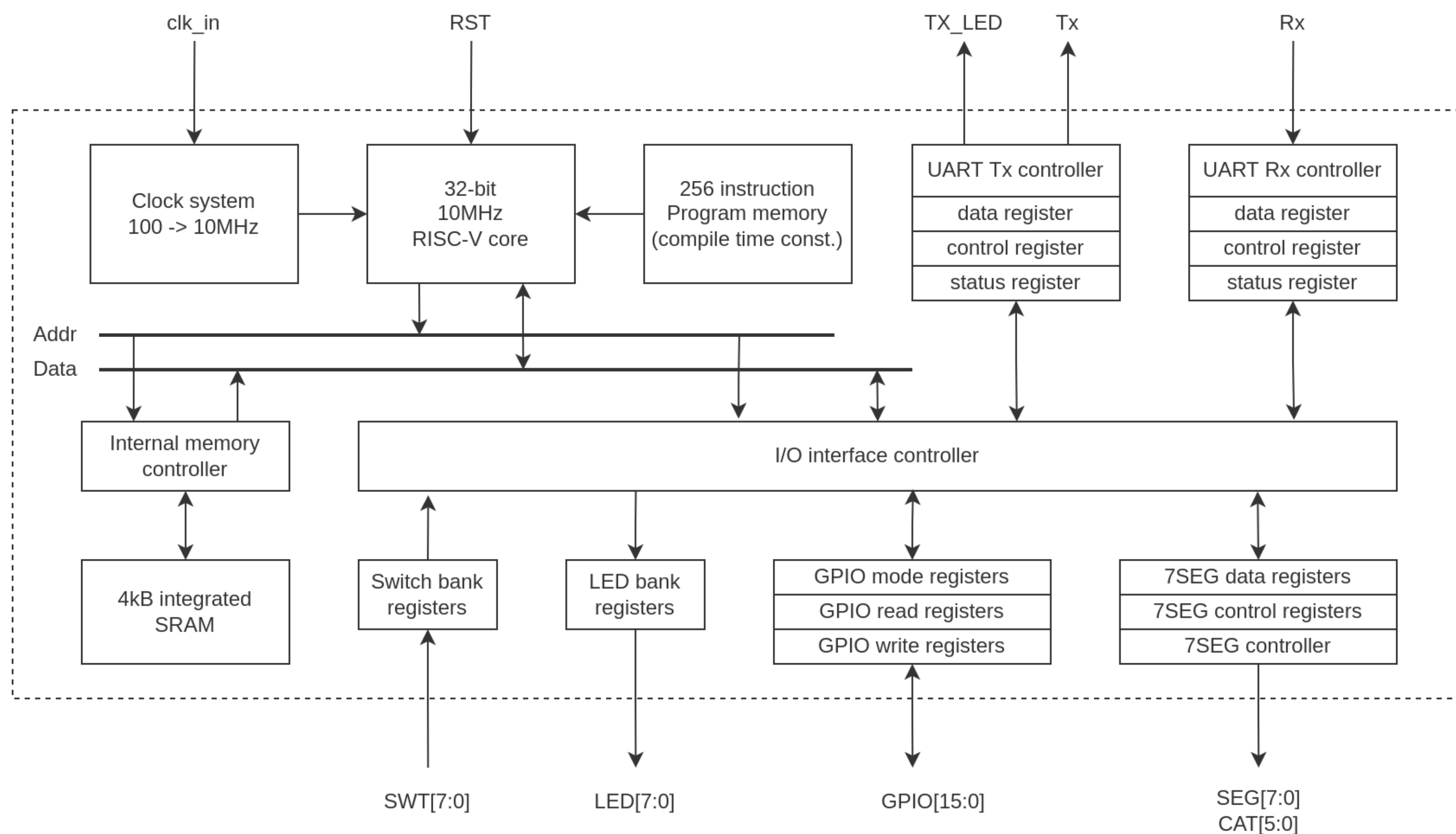
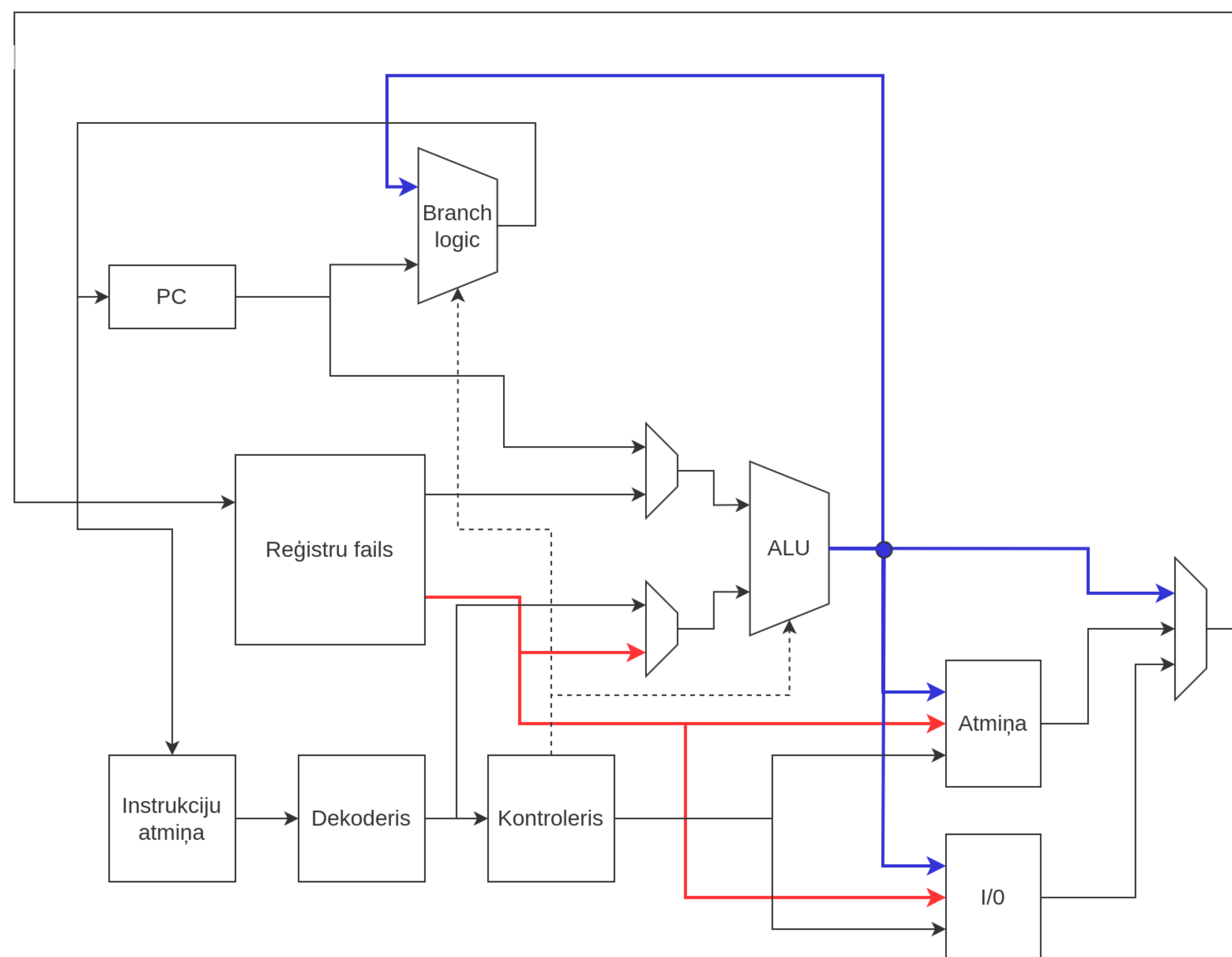
KURSA DARBS DIGITĀLO IEKĀRTU PROJEKTĒŠANĀ

DARBA MĒRĶIS

Izstrādāt mikroprocesoru RISC-V instrukciju kopas arhitektūrā. Apgūt procesoru uzbūves pamatus, digitālo iekārtu projektēšanas praktiskas iemaņas.

IZVĒLĒTĀ PIEEJA

Vientakts procesors, ārējā saskarne caur LED, slēdžiem, 7-segmentu displeju, UART. *Memory-mapped IO.*



REALIZĀCIJA

HDL izstrāde: Xilinx ISE WebPack izstrādes rīks, augstākā līmeņa modulis shēmtēhnikā bet pārējie - Verilog.

Programmas kods: RISC-V assembly language, gnu-as kompilators, izpildfailu pārveidošana ielasei caur Verilog, izmantojot Python skriptu.

REZULTĀTI

Izdevies: Izveidot strādājošu mikroprocesoru un papildināt to ar ievades-izvades elementiem (sk. demonstrāciju).

Vieta tālākai darbībai: kešatmiņas kontroleris nav pabeigts un pārveidots baitu adresācijai. Laika aiztures neļauj darboties pie 100MHz