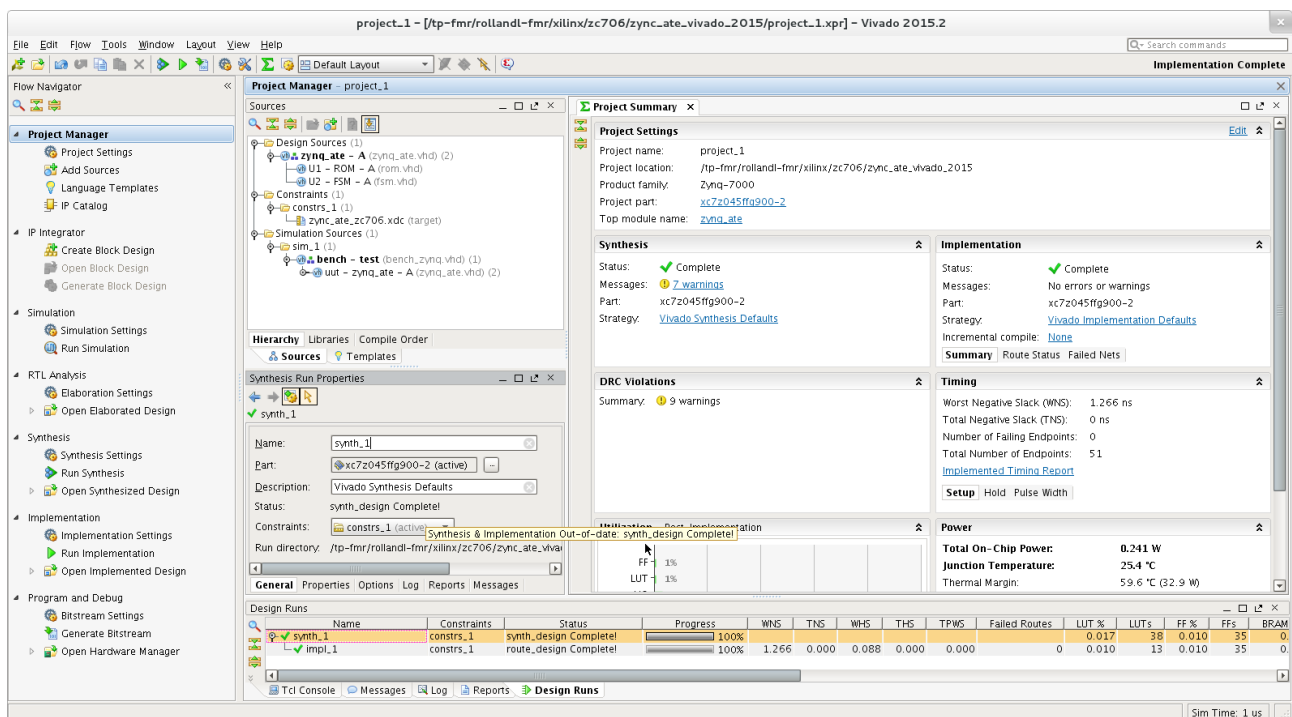


Simulation avec Vivado

Exemple de projet (top cell : test_cna.vhd) :

Ce projet peut être implémenté sur la carte Zybo (circuit Zynq xc7z010 -clg400), les contraintes de PINOUT figurent après le mot clé architecture.



Créer un fichier de test (nom : bench_tst_cna.vhd) en utilisant la syntaxe vhdl classique pour une description de stimuli de test.

Dans vivado :

simulation sources → **Add sources...** → **add or create sim sources** → **Next** → **Add or create source files** → **Create Files** : bench_tst_cna.vhd → OK → Finish → OK

Rééditer le fichier depuis vivado, et le compléter tel que bench_zynq.vhd fournit en annexe.
Redéfinir les stimulis en fin de fichier, ex ci-dessous:

.....

--Inputs

```
signal CLK: std_logic := '0';  
signal reset : std_logic := '0';
```

.....

```
CLK<= not CLK after 5 ns;
```

```
stim_proc: process
begin
    reset <='1', '0' after 20ns;
wait;
end process;
end;
```

Nota: exemple d'une entrée horloge à 200 MHz avec reset de 20ns
 Cliquer sur “Simulation settings” et choisir “Vivado Simulator”, les bibliothèques sont déjà compilées pour ce simulateur.

Définir bench comme “Simulation top module name”

Les fichiers “Design” et “Simulation” doivent être organisés comme ci-dessous:

Design Sources

test_cna.vhd

Constraints (rien à mettre ici)

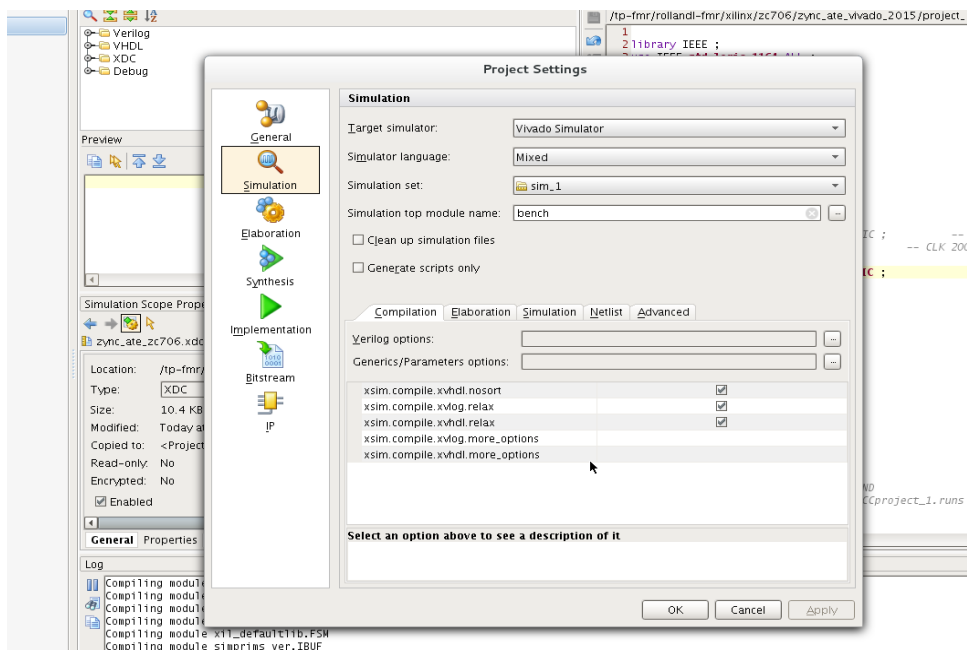
Simulation Sources

Sim

bench_tst_cna.vhd

test_cna.vhd

Ci-dessous le simulateur intégré à vivado est utilisé, il est également possible d'utiliser le simulateur modelsim SE 10.5, /softslin/modelsim10_5c/modeltech/bin
 A spécifier dans le paramètre “**Tools Settings** . 3rd party Simulator”



Pour simuler avec Modelsim, bien spécifier (“**Project Settings** . Simulation. Compiled library location”) le chemin des bibliothèques recompilées pour Modelsim 10.5, soit:
/softslin/simlib/simlib_modsim10_5_vivado17

Pour lancer la simulation (modelsim ou autre) , dans vivado :

Run Simulation → **Run Behavioral/Post synthesis....** : Simulation fonctionnelle ou temporelle

Organisation des fichiers du projet:

project.srcs/sources/imports/test_cna.vhd

project.srcs/sim/bench_tst_cna.vhd