

# Лабораторная работа №1 «Комбинационная логика, начало работы с ПЛИС»

Обязательные к выполнению (макс. 6 баллов)				Опциональные к выполнению		
Задание 1	Задание 2	Задание 3	Задание 4	Задание 5*	Задание 6*	Задание 7*
1 балл	1 балл	2 балла	2 балла	1 балл	1 балл	2 балла

## Задание 1.

- Согласно вашему варианту (1-30) из таблицы 1 выберите число  $K$ .
- Представьте число  $K$  в формате двоичного кода, сколько бит необходимо для записи числа  $K$  в двоичном представлении? (назовём это значение -  $N$ ).
- При помощи САПР Vivado и языка описания аппаратуры VHDL опишите блок led\_const, имеющий  $N$  разрядный выходной порт led\_o, которому присвоено значение числа  $K$  в двоичном представлении.
- При помощи САПР Vivado подготовьте описание физических ограничений размещения и трассировки описанного ранее блока led\_const на кристалле ПЛИС серии Artix-7 в составе платы быстрого прототипирования Digilent Basys 3.
- При помощи САПР Vivado произведите операцию синтеза, имплементации и генерации битстрима разработанного модуля. Проанализируйте полученную в результате синтеза схему при помощи schematic инструмента.
- При помощи Vivado Hardware Manager установите соединение с отладочной платой и загрузите в неё полученную (шаг 1.5) прошивку ПЛИС. Объясните полученные вами эмпирические результаты работы платы.

## Задание 2.

- При помощи САПР Vivado и языка описания аппаратуры VHDL опишите блок sw\_led\_unit, имеющий  $N$  разрядный выходной порт led\_o и  $N$  разрядный входной порт sw\_i. При этом необходимо обеспечить коммутацию значений из порта sw\_i в порт led\_o.
- При помощи САПР Vivado подготовьте описание физических ограничений размещения и трассировки описанного ранее блока led\_const на кристалле ПЛИС серии Artix-7 в составе платы быстрого прототипирования Digilent Basys 3.
- При помощи САПР Vivado произведите операцию синтеза, имплементации и генерации битстрима разработанного модуля. Проанализируйте полученную в результате синтеза схему при помощи schematic инструмента.
- При помощи Vivado Hardware Manager установите соединение с отладочной платой и загрузите в неё полученную (шаг 1.3) прошивку ПЛИС. Объясните полученные вами эмпирические результаты работы платы.

## Задание 3.

- Согласно вашему варианту (1-30) из таблицы 1 выберите числа  $I$ ,  $J$  и представьте их в двоичной форме.
- На основе разработанного ранее блока sw\_led\_unit опишите блок comb\_led\_unit, который выполняет над входным портом sw\_i[7:0] и числом  $I$  такую булеву операцию, которая способна породить двоичный вектор равный числу  $J$ . Выведите число  $J$  на led-индикаторы (led\_o[15:0]) задействуя при этом все светодиоды. Значение sw\_i[7:0] выберите произвольно.
- При помощи САПР Vivado произведите операцию синтеза, имплементации и генерации битстрима разработанного модуля. Проанализируйте полученную в результате синтеза схему при помощи schematic инструмента.
- При помощи Vivado Hardware Manager установите соединение с отладочной платой и загрузите в неё полученную (шаг 1.3) прошивку ПЛИС. Объясните полученные вами эмпирические результаты работы платы. Нарисуйте структурную схему разработанного аппаратного обеспечения. Объясните выбор преобразующей булевой функции.

#### **Задание 4.**

- Согласно вашему варианту (1-30) из таблицы 1 выберите логическую функцию четырех переменных  $F$  и разработайте на языке описания аппаратуры VHDL – комбинационный узел для её реализации с минимальным количеством вентилей. При разработке используйте метод структурного описания схемы.
- При помощи САПР Vivado произведите операцию синтеза, имплементации и генерации битстрима разработанного модуля. Проанализируйте полученную в результате синтеза схему при помощи schematic инструмента.
- При помощи Vivado Hardware Manager установите соединение с отладочной платой и загрузите в неё полученную (шаг 1.3) прошивку ПЛИС. Объясните полученные вами эмпирические результаты работы платы. Нарисуйте структурную схему разработанного аппаратного обеспечения.

#### **Задание 5.**

- Согласно вашему варианту (1-30) из таблицы 1 выберите операции ( $A, B, C, D$ ) для реализации на языке описания аппаратуры VHDL.
- На основе разработанного ранее блока  $sw\_led\_unit$  опишите блок  $alu\_unit$ , который:
  - При  $sw\_i[0] = '1'$  реализует преобразование  $led\_o[5:0] = sw[15:10] A sw[9:4]$
  - При  $sw\_i[1] = '1'$  реализует преобразование  $led\_o[5:0] = sw[15:10] B sw[9:4]$
  - При  $sw\_i[2] = '1'$  реализует преобразование  $led\_o[5:0] = sw[15:10] C sw[9:4]$
  - При  $sw\_i[3] = '1'$  реализует преобразование  $led\_o[5:0] = sw[15:10] D sw[9:4]$
- При помощи САПР Vivado произведите операцию синтеза, имплементации и генерации битстрима разработанного модуля. Проанализируйте полученную в результате синтеза схему при помощи schematic инструмента.
- При помощи Vivado Hardware Manager установите соединение с отладочной платой и загрузите в неё полученную (шаг 1.3) прошивку ПЛИС. Объясните полученные вами эмпирические результаты работы платы. Нарисуйте структурную схему разработанного аппаратного обеспечения.

#### **Задание 6.**

- Согласно вашему варианту (1-30) и используя таблицу 1 постройте преобразователь кодов, из кода  $G$  в код  $L$ . Опишите преобразователь кодов на языке VHDL используя функциональный метод описания схем.
- При помощи САПР Vivado произведите операцию синтеза, имплементации и генерации битстрима разработанного модуля. Проанализируйте полученную в результате синтеза схему при помощи schematic инструмента.
- При помощи Vivado Hardware Manager установите соединение с отладочной платой и загрузите в неё полученную (шаг 1.3) прошивку ПЛИС. Объясните полученные вами эмпирические результаты работы платы. Нарисуйте структурную схему разработанного аппаратного обеспечения. Покажите на этой схеме критический путь.

#### **Задание 7.**

- Согласно вашему варианту (1-30) и используя таблицу 1 постройте преобразователь кодов, из кода  $G$  в код  $L$ . При минимизации учтите избыточные наборы, оптимизируйте схему по количеству вентилей. Опишите преобразователь кодов на языке VHDL используя структурный метод описания схем, разрешено использовать только вентили  $tanh2$  и инверторы.
- При помощи САПР Vivado произведите операцию синтеза, имплементации и генерации битстрима разработанного модуля. Проанализируйте полученную в результате синтеза схему при помощи schematic инструмента.
- При помощи Vivado Hardware Manager установите соединение с отладочной платой и загрузите в неё полученную прошивку ПЛИС. Объясните полученные вами эмпирические

результаты работы платы. Нарисуйте структурную схему разработанного аппаратного обеспечения. Покажите на этой схеме критический путь.

Таблица 1.

<i>Вариант</i>	<i>K</i>	<i>I</i>	<i>J</i>	<i>F</i>	<i>A, B, C, D</i>	<i>G</i>	<i>L</i>
1	A3F1	E2	C9	149F	and, xor, +, nor	8421	7210
2	7C4E	B1	80	7C4E	or, and, +, nand	7421	Бергера
3	9B22	23	B3	F1AA	nor, >>3, -, and	5421	Бегущая 1 (4 бит)
4	E8D5	42	9F	2FBC	<<<2, and, nand, +	2421	8421
5	31B6	D5	7A	31B6	and, +, >>3, nor	Грея (7 бит)	6420
6	C0F9	4C	1D	5A8D	nand, +, <<<2, xor	С избытком 3	6321
7	5A8D	A4	45	83D0	and, +, >>1, nor	Бикварный (2 из 5)	5421
8	D723	3A	6E	D723	nor, >>2, and, -	О'Брайена	Бегущая 1 (4 бит)
9	8E41	D7	55	9B22	+, xor, <<<3, nand	Петерсона	2421
10	2FBC	2B	D2	F609	xor, <<<1, nand, -	6321	7210
11	F609	83	FA	F1AA	nor, >>1, -, and	Айкена	6321
12	4D7A	6F	8C	2FBC	xor, <<<2, nand, -	Бергера	6321
13	B15E	C0	12	9E73	and, -, >>2, nor	5211	4321
14	68C3	22	DB	D723	and, -, >>1, nor	7210	6321
15	93AF	2B	E8	47E9	nand, -, <<<1, xor	8422	7210
16	0E54	5E	6A	A42B	xor, -, >>3, nand	9321	Айкена
17	7FD1	8D	3B	B15E	nor, >>3, and, -	6420	2421
18	A42B	4D	74	93AF	+, xor, <<<1, nand	4321	С избытком 3
19	3698	E9	FD	149F	nor, +, <<<3, and	Бегущая 1 (4 бит)	О'Брайена
20	E175	4E	74	E8D5	+, nand, <<<2, xor	Бегущий 0 (5 бит)	Бикварный (2 из 5)
21	C9A2	D8	C9	0E54	+, nand, <<<3, xor	Джонсона (5 бит)	Бегущая 1 (4 бит)
22	5C6F	AA	D0	7C4E	nand, >>2, -, xor	5421	6321
23	83D0	54	0B	C0F9	and, -, >>3, nor	Грея (4 бит)	5421
24	2B4C	68	BE	2B4C	nand, -, <<<3, xor	7421	С избытком 3
25	9E73	23	F3	F1AA	+, nor, and, <<<1	Петерсона	Бергера
26	F1AA	5C	47	C0F9	xor, <<<3, nand, -	Бегущая 1 (4 бит)	Айкена
27	47E9	0E	A6	31B6	and, <<<2, nor, -	6321	Бегущая 1 (4 бит)
28	D85C	9F	51	7FD1	nor, >>2, +, and	7210	8421
29	6B25	B6	8C	93AF	and, -, >>2, nor	8422	5421
30	149F	C4	2B	149F	+, nor, and, >>3	С избытком 3	8422