

ΠΡΟΕΡΓΑΣΙΑ - ΕΡΓΑΣΤΗΡΙΟ 1

Φραγγιάς Γιώργος - Πέτρου Δημήτρης

2018030086 - 2018030070

1. Συναρτήσεις και Θεωρία Σχεδίασης

- Κύκλωμα 1

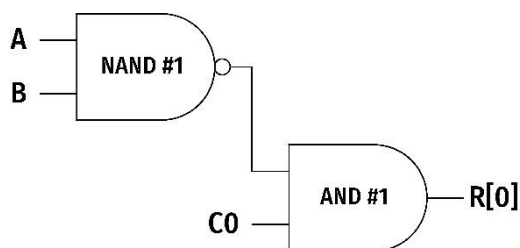
Για την υλοποίηση των απαιτήσεων του κυκλώματος 1 χρησιμοποιήθηκαν η άλγεβρα Boole και τα θεωρήμαата της. Σύμφωνα με τις προδιαγραφές το ζητούμενο κύκλωμα έχει 8 εισόδους, πλάτους 1 bit η κάθε μια και μια έξοδο bus πλάτους 6 bit. Το κύκλωμα είναι συνδυαστικό οπότε η διαδικασία σχεδίασης είναι σχετικά απλή.

α) RESULT [0]

A	B	C0	RESULT [0]
0	0	0	0
0	1	0	0
1	0	0	0
1	1	0	0
0	0	1	1
0	1	1	1
1	0	1	1
1	1	1	0

Εξίσωση που προκύπτει: $RESULT[0] = \overline{A \times B} \times C0$

Μεταφράζεται σε πύλες: $RESULT[0] = (A \text{ NAND } B) \text{ AND } C0$

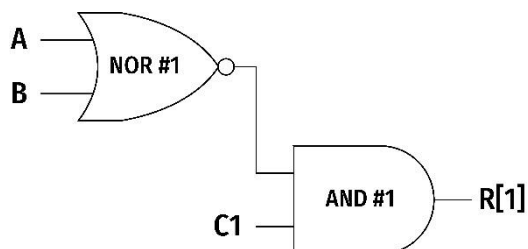


b) RESULT [1]

A	B	C1	RESULT [1]
0	0	0	0
0	1	0	0
1	0	0	0
1	1	0	0
0	0	1	1
0	1	1	0
1	0	1	0
1	1	1	0

Εξίσωση που προκύπτει: $RESULT[1] = \overline{A + B} \times C1$

Μεταφράζεται σε πύλες: $RESULT[1] = (A \text{ NOR } B) \text{ AND } C1$

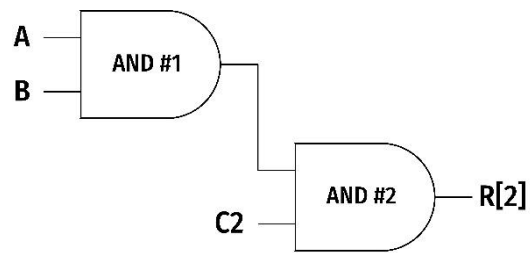


c) **RESULT [2]**

A	B	C2	RESULT [2]
0	0	0	0
0	1	0	0
1	0	0	0
1	1	0	0
0	0	1	0
0	1	1	0
1	0	1	0
1	1	1	1

Εξίσωση που προκύπτει: **RESULT [2] = (A×B) × C2**

Μεταφράζεται σε πύλες: **RESULT [2] = (A AND B) AND C2**

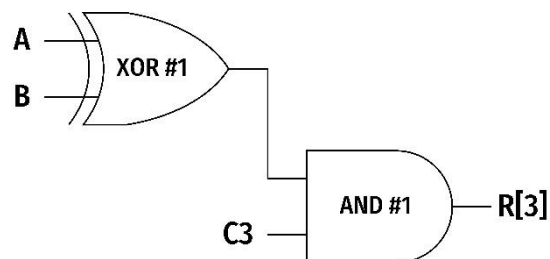


d) **RESULT [3]**

A	B	C3	RESULT [3]
0	0	0	0
0	1	0	0
1	0	0	0
1	1	0	0
0	0	1	0
0	1	1	1
1	0	1	1
1	1	1	0

Εξίσωση που προκύπτει: **RESULT [3] = (A ⊕ B) × C3**

Μεταφράζεται σε πύλες: **RESULT [3] = (A XOR B) AND C3**

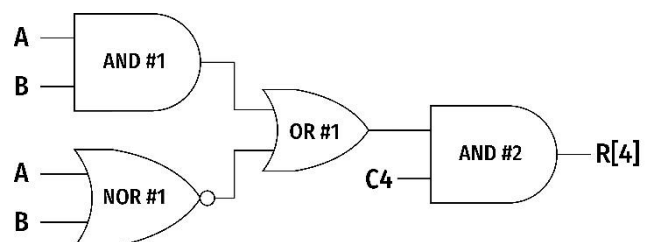


e) **RESULT [4]**

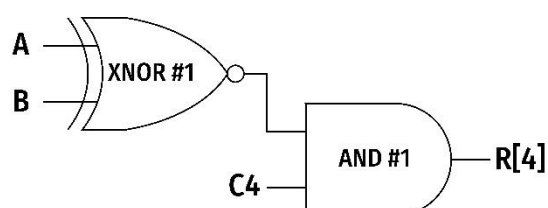
A	B	C4	RESULT [4]
0	0	0	0
0	1	0	0
1	0	0	0
1	1	0	0
0	0	1	1
0	1	1	0
1	0	1	0
1	1	1	1

Εξίσωση που προκύπτει: **RESULT [4] = ((A × B) + (A̅ × B̅)) × C4**

Μεταφράζεται σε πύλες: **RESULT [4] = ((A AND B) OR (A NOR B)) AND C4**



ή **RESULT[4] = (A ⊙ B) × C4** που μεταφράζεται σε πύλες: **RESULT[4] = (A XNOR B) AND C4**

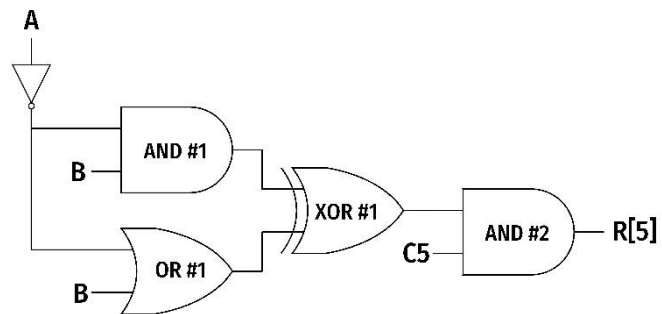


f) **RESULT [5]**

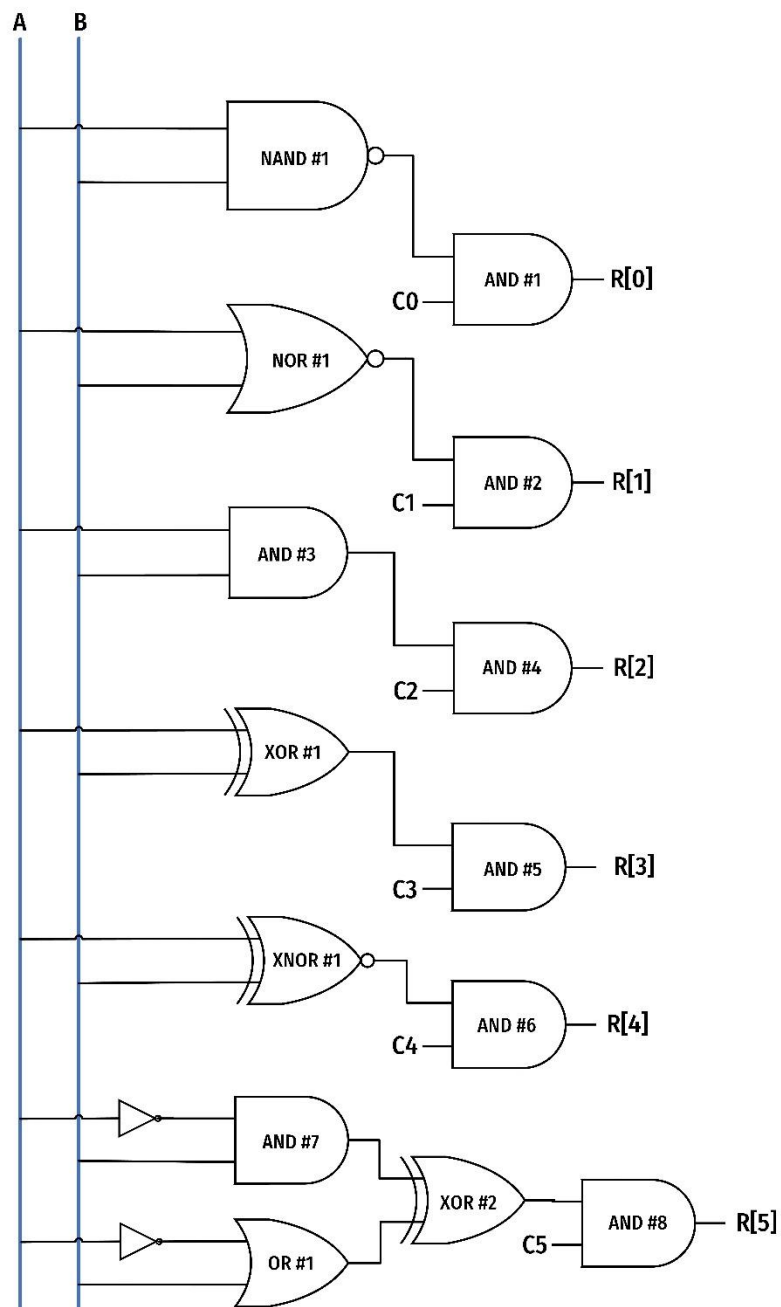
A	B	C5	RESULT [5]
0	0	0	0
0	1	0	0
1	0	0	0
1	1	0	0
0	0	1	1
0	1	1	0
1	0	1	0
1	1	1	1

Εξίσωση που προκύπτει: $\text{RESULT}[5] = ((\bar{A} \times B) \oplus (\bar{A} + B)) \times C5$

Μεταφράζεται σε πύλες: $\text{RESULT}[5] = ((\text{NOT}(A) \text{ AND } B) \text{ XOR } (\text{NOT}(A) \text{ OR } B)) \text{ AND } C5$



Συγκεντρωτικό block diagram



- Κύκλωμα 2

Το δεύτερο κύκλωμα αποτελείται από δύο επιμέρους κομμάτια. Σε πρώτη φάση υλοποιήθηκε ένας half adder σε επίπεδο θεωρητικής σχεδίασης αλλά και σε επίπεδο υλοποίησης κώδικα. Παρακάτω παρατίθεται ο πίνακας αληθείας του half adder καθώς και το block diagram με λογικές πύλες.

Ο half adder αθροίζει δύο προσθετέους x και y, παράγει το άθροισμα τους και σε περίπτωση υπερχείλισης παράγει και το Carry-Out κρατούμενό τους.

A	B	OUT	C-OUT
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Εξισώσεις που προκύπτουν:

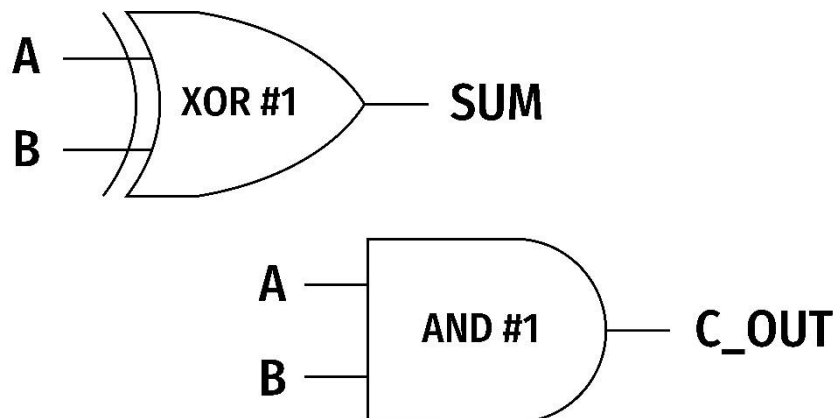
$$\text{OUT} = X \oplus Y$$

$$\text{C_OUT} = X \times Y$$

Μεταφράζεται σε πύλες:

$$\text{OUT} = X \text{ XOR } Y$$

$$\text{C_OUT} = X \text{ AND } Y$$



Στο δεύτερο μέρος σχεδιάζεται και υλοποιείται ένας full adder που αποτελείται από δύο half adders και μία πύλη OR. Αθροίζει δύο προσθετέους x και y λαμβάνοντας υπόψιν ένα κρατούμενό τους Carry-In. Παράγει ένα κρατούμενο Carry-Out και το άθροισμα. Παρατίθεται η θεωρητική σχεδιάσή του με χρήση δύο half adders και μια OR.

A	B	C_in	OUT	C_out
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Εξισώσεις που προκύπτουν:

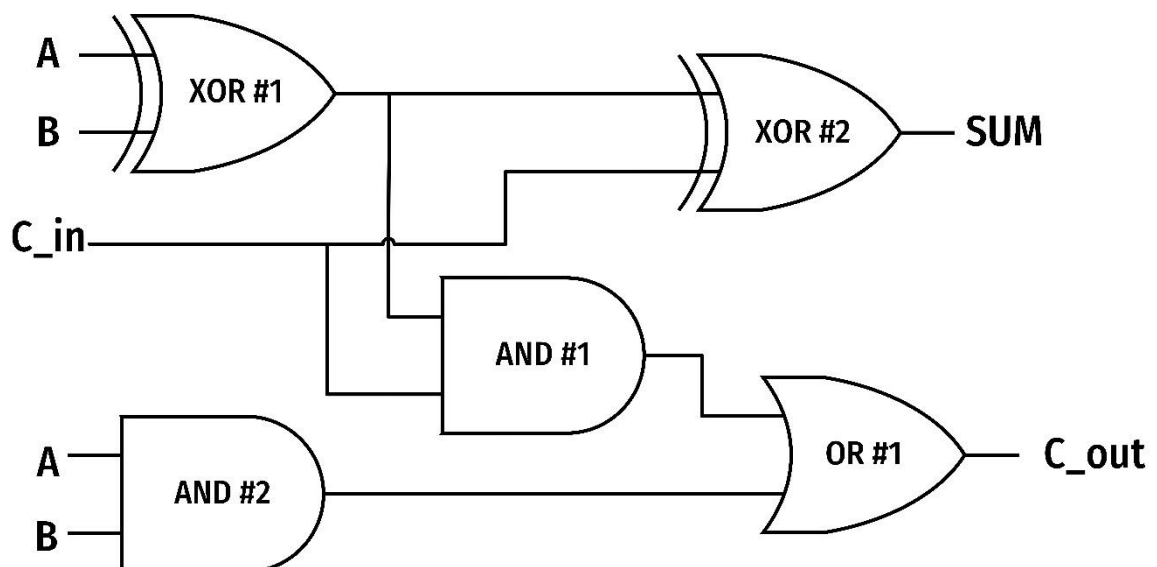
$$\text{OUT} = A \oplus B \oplus C_{\text{in}}$$

$$C_{\text{OUT}} = A \times B + (B \times C_{\text{in}} + C_{\text{in}} \times A)$$

Μεταφράζεται σε πύλες:

$$\text{OUT} = X \text{ XOR } Y \text{ XOR } C_{\text{in}}$$

$$C_{\text{OUT}} = (X \text{ AND } Y) \text{ OR } ((Y \text{ AND } C_{\text{in}}) \text{ OR } (C_{\text{in}} \text{ AND } X))$$

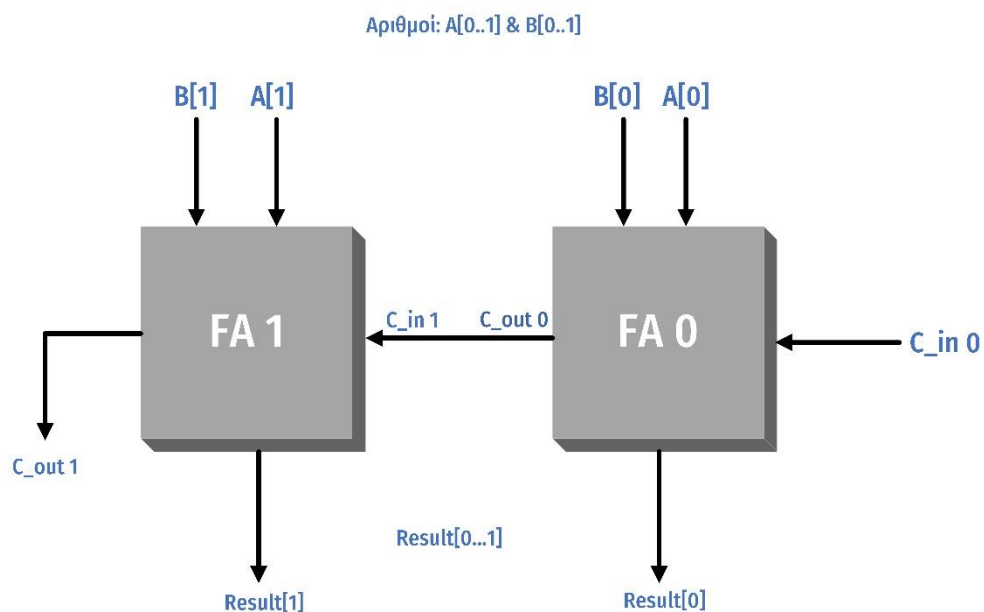


Ως επέκταση της σχεδίασης του Full Adder σχεδιάστηκε και υλοποιήθηκε ένας Full Adder ο οποίος προσθέτει δυαδικούς αριθμούς των 2 bit πλάτους. Υλοποιήθηκε τελικά με δύο full adders στη σειρά.

Παρατίθεται ο πίνακας αληθείας:

A (2bit)	B (2bit)	C_in (1bit)	RESULT (2bit)	C_out(1bit)
00	00	0 / 1	00 / 01	0 / 0
00	01	0 / 1	01 / 10	0 / 0
00	10	0 / 1	10 / 11	0 / 0
00	11	0 / 1	11 / 00	0 / 1
01	00	0 / 1	01 / 10	0 / 0
01	01	0 / 1	10 / 11	0 / 0
01	10	0 / 1	11 / 00	0 / 1
01	11	0 / 1	00 / 01	1 / 1
10	00	0 / 1	10 / 11	0 / 0
10	01	0 / 1	11 / 00	0 / 1
10	10	0 / 1	00 / 01	1 / 1
10	11	0 / 1	01 / 10	1 / 1
11	00	0 / 1	11 / 00	0 / 1
11	01	0 / 1	00 / 01	1 / 1
11	10	0 / 1	01 / 10	1 / 1
11	11	0 / 1	10 / 11	1 / 1

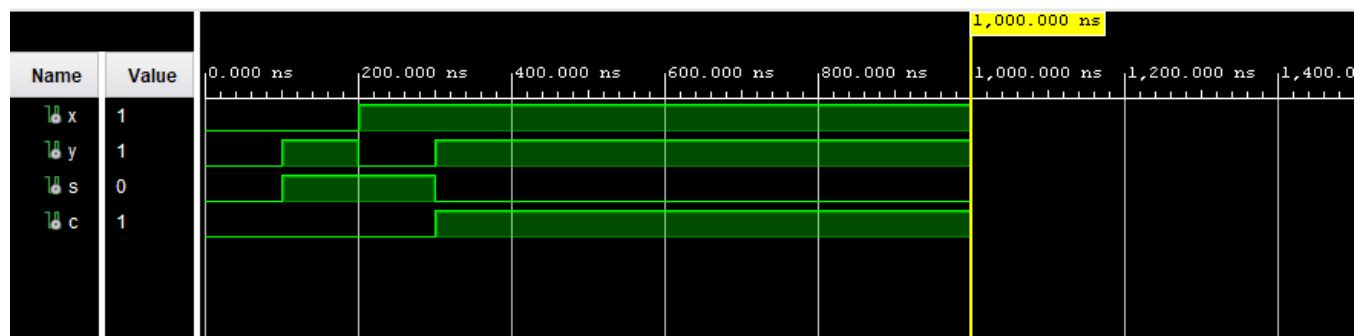
Εξισώσεις δεν υπολογίστηκαν καθώς η υλοποίηση πραγματοποιήθηκε με την σειριακή σύνδεση δύο full adders.



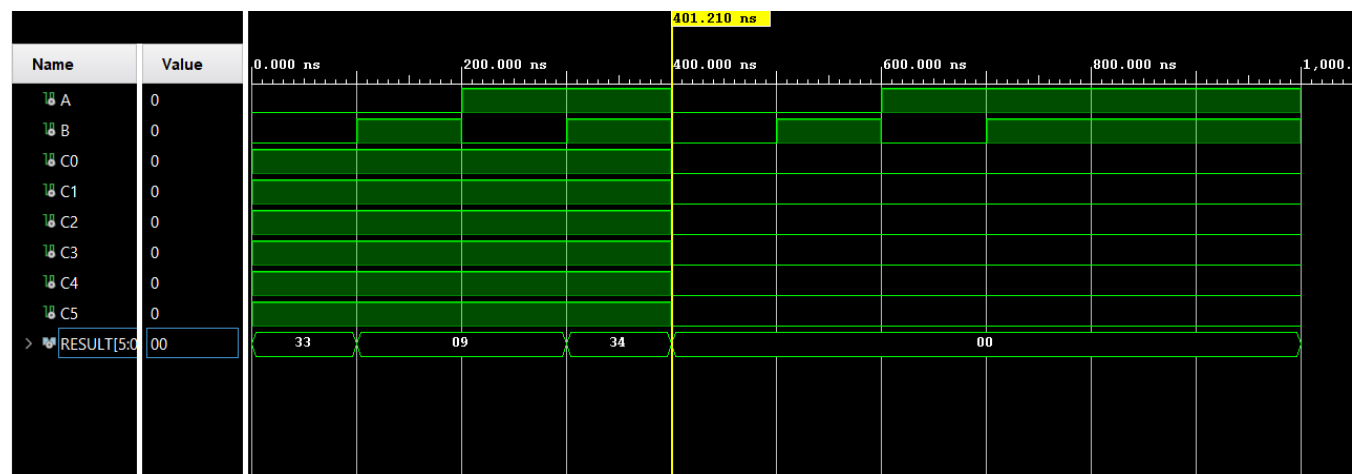
2) Κυματομορφές testbench

Παρατιθενται τα αποτελέσματα της προσομοίωσης του κάθε κυκλώματος μετά την εκτέλεση του εκάστοτε testbench.

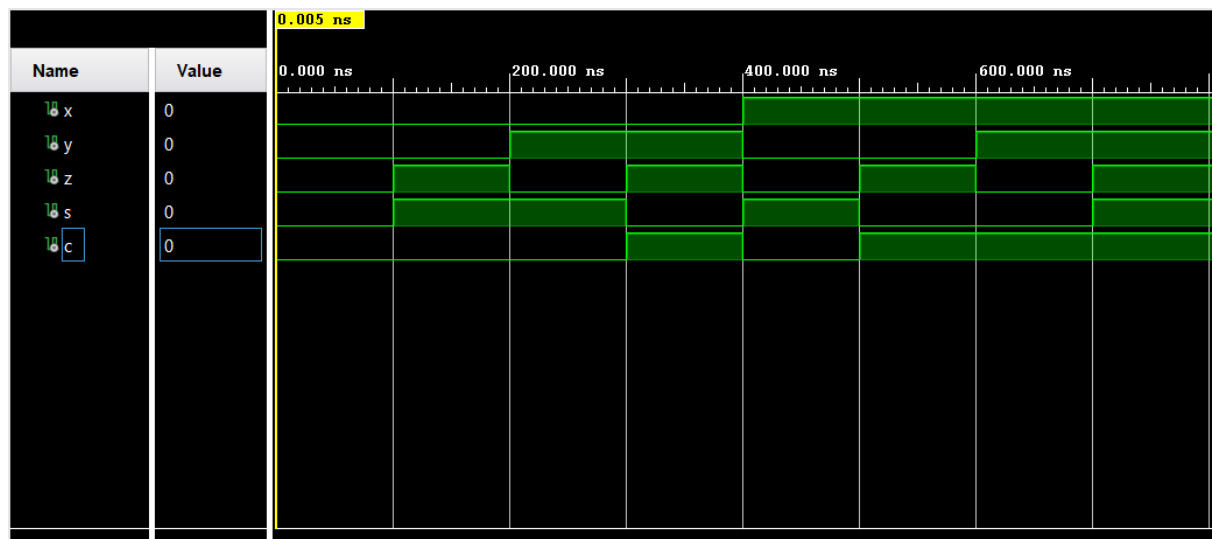
- Half Adder



- Equations



- Full Adder



- Double-Bit adder

