



**ČESKÉ VYSOKÉ UČENÍ TECHNICKÉ V PRAZE**

**Fakulta elektrotechnická**

**Katedra elektrických pohonů a trakce**

**Možnosti využití FPGA pro řízení pohonů**

**Usage of FPGA for controlling electric drives**

Diplomová práce

Studijní program: Elektrotechnika, Energetika a Management

Studijní obor: Elektrické pohony

Vedoucí práce: Ing. Jan Bauer, Ph.D.

**Petr Zakopal**  
**Praha 2023**



## I. OSOBNÍ A STUDIJNÍ ÚDAJE

Příjmení: **Zakopal** Jméno: **Petr** Osobní číslo: **483802**  
Fakulta/ústav: **Fakulta elektrotechnická**  
Zadávající katedra/ústav: **Katedra elektrických pohonů a trakce**  
Studijní program: **Elektrotechnika, energetika a management**  
Specializace: **Aplikovaná elektrotechnika**

## II. ÚDAJE K BAKALÁŘSKÉ PRÁCI

Název bakalářské práce:

**Oživení pracoviště s měničem DCM a PLC SIMATIC**

Název bakalářské práce anglicky:

**Workpalce with Rectifier DCM and PLC SIMATIC**

Pokyny pro vypracování:

- 1) Seznamte se s měničem řady DCM firmy SIEMENS
- 2) Oživte základní regulační smyčky měniče (otáčkovou, proudovou)
- 3) Prostudujte možnosti záznamu průběhů z měniče pomocí PLC nebo dotykového panelu
- 4) Pomocí PLC SIMATIC S1200 a dotykového panelu realizujte vzdálené ovládání a monitoring měniče
- 5) Na dotykovém panelu vytvořte obrazovku pro nastavování otáček nebo momentu motoru napájeného měničem

Seznam doporučené literatury:

- [1] Weidauer J., Messer R. Electrical Drives, Publics Erlangen, 2014
- [2] SCE Training Curriculum. Siemens AG, 2016
- [3] Durry B. The Control Techniques Drives and Controls Handbook 2nd ed., IeT, 2009
- [4] Pavelka J., Koblík P. Elektrické pohony a jejich řízení. 3. přepracované vydání. Praha: České vysoké učení technické v Praze, 2016. ISBN 978-80-01-06007-0.

Jméno a pracoviště vedoucí(ho) bakalářské práce:

**Ing. Jan Bauer, Ph.D., katedra elektrických pohonů a trakce FEL**

Jméno a pracoviště druhé(ho) vedoucí(ho) nebo konzultanta(ky) bakalářské práce:

Datum zadání bakalářské práce: **24.01.2021**

Termín odevzdání bakalářské práce: **21.05.2021**

Platnost zadání bakalářské práce: **30.09.2022**

Ing. Jan Bauer, Ph.D.  
podpis vedoucí(ho) práce

podpis vedoucí(ho) ústavu/katedry

prof. Mgr. Petr Páta, Ph.D.  
podpis děkana(ky)

## III. PŘEVZETÍ ZADÁNÍ

Student bere na vědomí, že je povinen vypracovat bakalářskou práci samostatně, bez cizí pomoci, s výjimkou poskytnutých konzultací. Seznam použité literatury, jiných pramenů a jmen konzultantů je třeba uvést v bakalářské práci.

Datum převzetí zadání

Podpis studenta



## PROHLÁŠENÍ

Prohlašuji, že jsem předloženou práci vypracoval samostatně a že jsem uvedl veškeré použité informační zdroje v souladu s Metodickým pokynem o dodržování etických principů při přípravě vysokoškolských závěrečných prací.

V Praze dne \_\_\_\_\_

\_\_\_\_\_  
Petr Zakopal

## PODĚKOVÁNÍ

Tímto bych rád poděkoval vedoucímu této práce doc. Ing. Janu Bauerovi, Ph.D. za skvělé vedení práce a cenné rady při vytváření. Dále bych rád poděkoval všem, kteří mě v mých dosavadních studijních aktivitách podporovali.

## ABSTRAKT

Cílem této práce je realizovat pracoviště s měničem DCM ovládaným pomocí PLC a představit relevantní teorii k řešené problematice stejnosměrných cize buzených motorů, jejich řízení a základním schémátům pro řízení těchto motorů pomocí usměrňovačů. Výsledky této práce popisují konfiguraci DCM měniče a vytvořený PLC a HMI program, potřebný pro ovládání pracoviště, a umožňují čtenáři získat základní teoretické vědomosti potřebné k možnému přístupu na realizované pracoviště s DCM.

**Klíčová slova:** ČVUT FEL, katedra elektrických pohonů a trakce, stejnosměrný cize buzený motor, čtyřkvadrantový reverzační usměrňovač, pracoviště s měničem DCM, PLC Siemens S-1200, HMI, zápis a čtení dat pomocí PLC, SINA\_PARA komunikace

## ABSTRACT

The goal of this thesis is to explain basic theory of direct current separately excited motors and their control with rectifiers. It aims to introduce the reader to a PLC program controlling Siemens DCM drive. Ending purpose of this text is to explain how to control motor with a Siemens DCM rectifier in a conjunction with PLC and HMI programs. Reading this text may equip reader with fundamental knowledge which can be used at workplace with DCM drive. This text explains configuration of DCM drive and creation of PLC and HMI programs used for controlling the drive.

**Keywords:** CTU FEE, Department of Electric Drives and Traction, direct current motor, four quadrant reverse rectifier, workplace with DCM Siemens Rectifier, PLC Siemens S-1200, HMI, reading and data writing via PLC, SINA\_PARA block communication

## OBSAH

<b>1</b>	<b>Úvod.....</b>	<b>1</b>
<b>2</b>	<b>Teoretický základ .....</b>	<b>2</b>
2.1	Application Specified Hardware.....	2
2.2	Hardware Accelerated Applications.....	2
2.2.1	Spolupráce CPU a FPGA .....	2
2.3	Optimalizace aplikace pro maximální propustnost .....	2
2.4	Logické programovatelné pole – FPGA.....	2
2.4.1	Popis funkce .....	2
2.4.2	Programování.....	2
2.5	Využití .....	2
2.6	Spotřeba.....	2
2.7	Výpočetní výkon a propustnost .....	2
2.7.1	Aplikace v elektrických pohonech.....	2
2.8	Vývojová deska Digilent Zybo .....	2
2.8.1	Parametry a složení.....	2
2.8.2	Možné alternativy .....	2
<b>3</b>	<b>Matematický model stroje .....</b>	<b>2</b>
3.1	Představení stroje .....	2
3.2	Odvození modelu .....	2
3.3	Optimalizace modelu.....	2
<b>4</b>	<b>Program pro FPGA a CPU .....</b>	<b>2</b>
4.1	Použité nástroje.....	2
4.1.1	Xilinx Vivado.....	2
4.1.2	Xilinx Vitis .....	2
4.1.3	Petalinux .....	2
4.1.4	Programovací prostředí – operační systém Linux .....	2
4.2	Tvorba HW architektury Xilinx Vivado .....	2
4.3	Tvorba Petalinux .....	2
4.4	Tvorba SW pro CPU a FPGA .....	2
<b>5</b>	<b>Představení pracoviště .....</b>	<b>2</b>
<b>6</b>	<b>Dosažené výsledky .....</b>	<b>2</b>
	<b>Závěr.....</b>	<b>3</b>
	<b>Literatura.....</b>	<b>4</b>
<b>Příloha A</b>	<b>Seznam symbolů a zkratk .....</b>	<b>5</b>
A.1	Seznam symbolů .....	5

A.2	Seznam zkratek .....	5
-----	----------------------	---



## SEZNAM OBRÁZKŮ

## SEZNAM TABULEK





# 1 Úvod

V době, kdy byla od elektrických pohonů požadována spolehlivost, vysoká účinnost a kvalitní řízení, nastupují k řízení digitální signálové procesory. Postupem času dochází ke zjištění, že výkon DSP není dostatečný a na některé aplikace, kde je vyžadováno provedení značné množství náročných výpočtů za co nejkratší čas, nejsou vhodné. Proto nastupuje éra logických programovatelných polí (FPGA), které jsou schopny tyto výpočty provést s velmi nízkými nároky na energii za velmi krátký čas.

V mnoha odvětvích se již začíná využívat embedded systém s Application Specified Hardware, který je určen pouze na předem danou aplikaci. Tento hardware slouží v dané aplikaci k jedinému účelu, který vykonává a na který je optimalizován. Tím se liší od procesoru, který vykonává mnoho instrukcí a využít ho pouze jako samostatnou výpočetní jednotku může být z hlediska energetické i finanční náročnosti nevýhodné. Implementace hradlových polí přináší nejen v řízení elektrických pohonů zvýšení výpočetního výkonu, ale také snižování energetických náročností.

Tato práce se zajímá o aplikace a možné využití FPGA při řízení elektrických pohonů. Autor v ní představuje základní principy Hardware Accelerated Applications, z jakého důvodu je tento přístup perspektivní a proč je vhodné se orientovat tímto směrem.

Perspektiva logických programovatelných polí a hardwarově urychlovaných aplikací je podpořena jejich využíváním i mimo obor elektrických pohonů a trakce. Z důvodu jejich veliké propustnosti, vysokých výpočetních výkonů a nízké energetické náročnosti jsou využívány v AI, machine learningu, zpracování obrazu a jiných nepohonářských aplikacích.

Nevýhodou problematiky FPGA je jejich složitější programovatelnost z hlediska tvoření aplikace. Aplikace je tvořena určitým postupem (workflow), který obsahuje některé nezbytné kroky pro jejich správnou funkci. Většina FPGA je programována pomocí jazyků Verilog či VHDL, které mohou pro softwarově orientované programátory představovat značnou překážku. Proto bylo vyvinuto tvoření aplikací pomocí vyšší úrovně syntézy (HLS), kdy je možné tvořit programy ve vyšších programovacích jazycích jako je například C, C++, Python. HLS umožnilo rapidní rozšíření a využití Embedded FPGA Accelerated Applications do mnoha aplikací a značně vylepšilo vývojářský požitek (developer experience, DX) při tvorbě aplikací.

Protože může být náročné vytvořit vlastní architekturu, složenou z CPU a spolupracujícího FPGA, je vhodné využít dostupné vývojové desky obsahující již předpřipravené propojení jednotlivých komponent. Součástí těchto vývojových desek bývá také mnoho vstupů a výstupů (I/O) pro snadnější využití při lazení a tvoření aplikace. V této práci je využívána vývojová deska Zybo od firmy Digilent. Ovšem autor v textu představuje další možnosti, které mohou být pro konkrétní aplikace a využití vhodnější.

<b>2</b>	<b>Teoretický základ</b>
<b>2.1</b>	<b>Application Specified Hardware</b>
<b>2.2</b>	<b>Hardware Accelerated Applications</b>
<b>2.2.1</b>	<b>Spolupráce CPU a FPGA</b>
<b>2.3</b>	<b>Optimalizace aplikace pro maximální propustnost</b>
<b>2.4</b>	<b>Logické programovatelné pole – FPGA</b>
<b>2.4.1</b>	<b>Popis funkce</b>
<b>2.4.2</b>	<b>Programování</b>
<b>2.5</b>	<b>Využití</b>
<b>2.6</b>	<b>Spotřeba</b>
<b>2.7</b>	<b>Výpočetní výkon a propustnost</b>
<b>2.7.1</b>	<b>Aplikace v elektrických pohonech</b>
<b>2.8</b>	<b>Vývojová deska Digilent Zybo</b>
<b>2.8.1</b>	<b>Parametry a složení</b>
<b>2.8.2</b>	<b>Možné alternativy</b>
<b>3</b>	<b>Matematický model stroje</b>
<b>3.1</b>	<b>Představení stroje</b>
<b>3.2</b>	<b>Odvození modelu</b>
<b>3.3</b>	<b>Optimalizace modelu</b>
<b>4</b>	<b>Program pro FPGA a CPU</b>
<b>4.1</b>	<b>Použité nástroje</b>
<b>4.1.1</b>	<b>Xilinx Vivado</b>
<b>4.1.2</b>	<b>Xilinx Vitis</b>
<b>4.1.3</b>	<b>Petalinux</b>
<b>4.1.4</b>	<b>Programovací prostředí – operační systém Linux</b>
<b>4.2</b>	<b>Tvorba HW architektury Xilinx Vivado</b>
<b>4.3</b>	<b>Tvorba Petalinux</b>
<b>4.4</b>	<b>Tvorba SW pro CPU a FPGA</b>
<b>5</b>	<b>Představení pracoviště</b>
<b>6</b>	<b>Dosažené výsledky</b>

## Závěr

Aliquam dapibus leo velit, ultrices eleifend mi feugiat eget. Aliquam euismod facilisis turpis, nec lobortis libero aliquet sit amet. Aenean suscipit ante eget ipsum viverra hendrerit. Ut sed massa sed nisi tempus dapibus in eu enim. Nullam vitae odio laoreet, malesuada purus non, faucibus orci. Lorem ipsum dolor sit amet, consectetur adipiscing elit. Etiam eget odio quis enim laoreet imperdiet nec eu nunc. Maecenas ut consequat purus. Duis faucibus risus nec metus cursus placerat. Phasellus sapien justo, laoreet in pulvinar ut, maximus nec velit.

## Literatura

- [1] BERSANI, Antonio. *Switch Mode Power Supply (SMPS) Topologies (Part II)* [online]. Microchip Technology Inc., 2009 [cit. 2022-04-06]. Dostupné z: <https://www.microchip.com/content/dam/mchp/documents/OTH/ApplicationNotes/ApplicationNotes/01207B.pdf>.
- [2] Space Vector PWM 2 | SVPWM Technique | MATLAB Simulation | Step by Step, 2020. In: *YouTube* [online]. 21. 06. 2020 [cit. 2022-10-27]. Dostupné z: <https://www.youtube.com/watch?v=oq868piQ9Q4>. Kanál uživatele Tech TALKS.



## **Příloha A: Seznam symbolů a zkratk**

### **A.1 Seznam symbolů**

$\vec{F}$  (N) vektor síly

### **A.2 Seznam zkratk**

DCM DC Master