

MOŽNOSTI VYUŽITÍ SOC PLATFORMY PROCESORŮ PRO ŘÍZENÍ ELEKTRICKÝCH POHONŮ

*POSSIBILITIES OF USING SOC PLATFORM PROCESSORS FOR CONTROLLING
ELECTRIC DRIVES*

Petr Zakopal

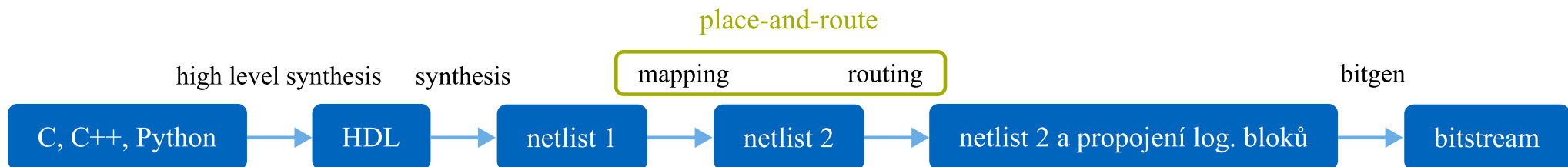
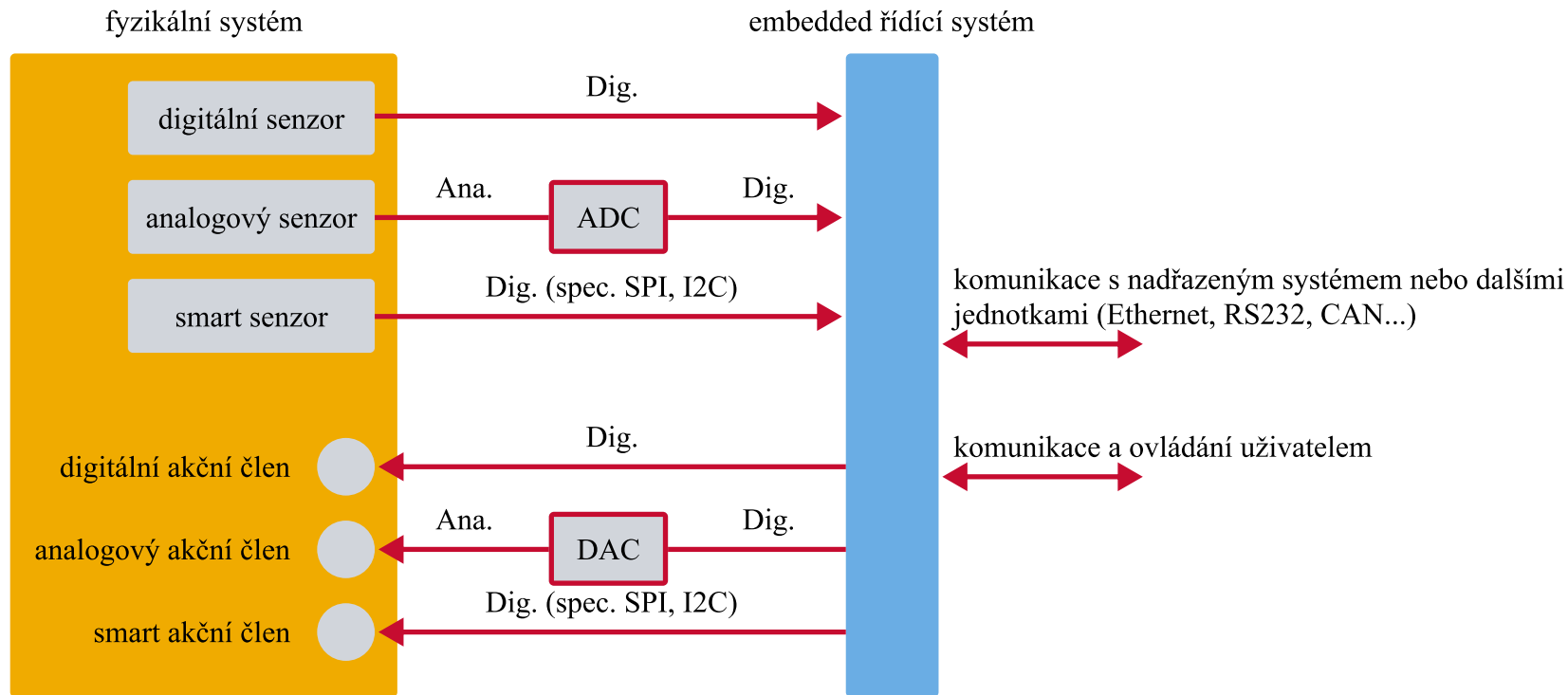
Vedoucí práce:

doc. Ing. Jan Bauer, Ph.D.

Oponent práce:

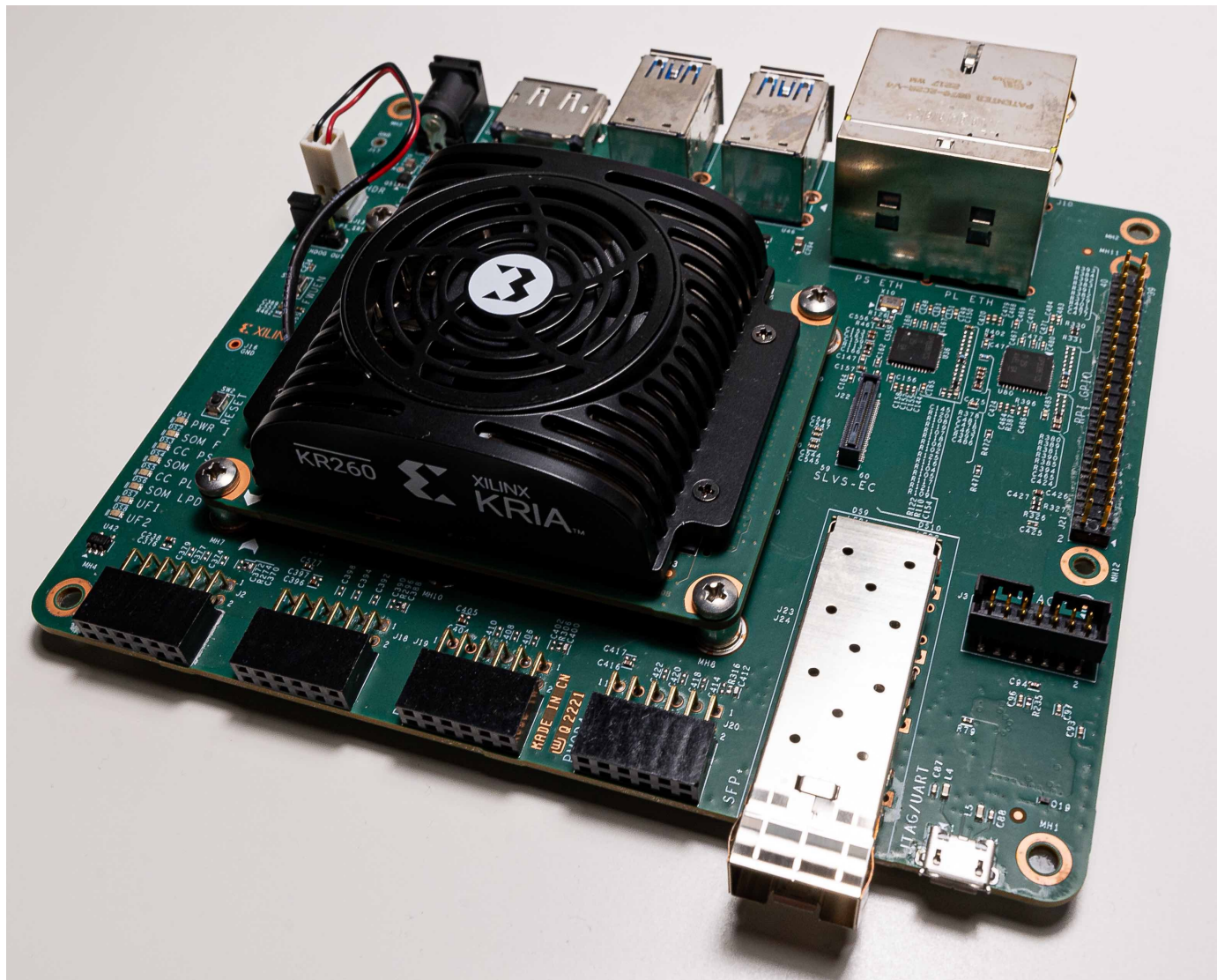
Oponuji Všem, Ph.D.

Teoretický základ

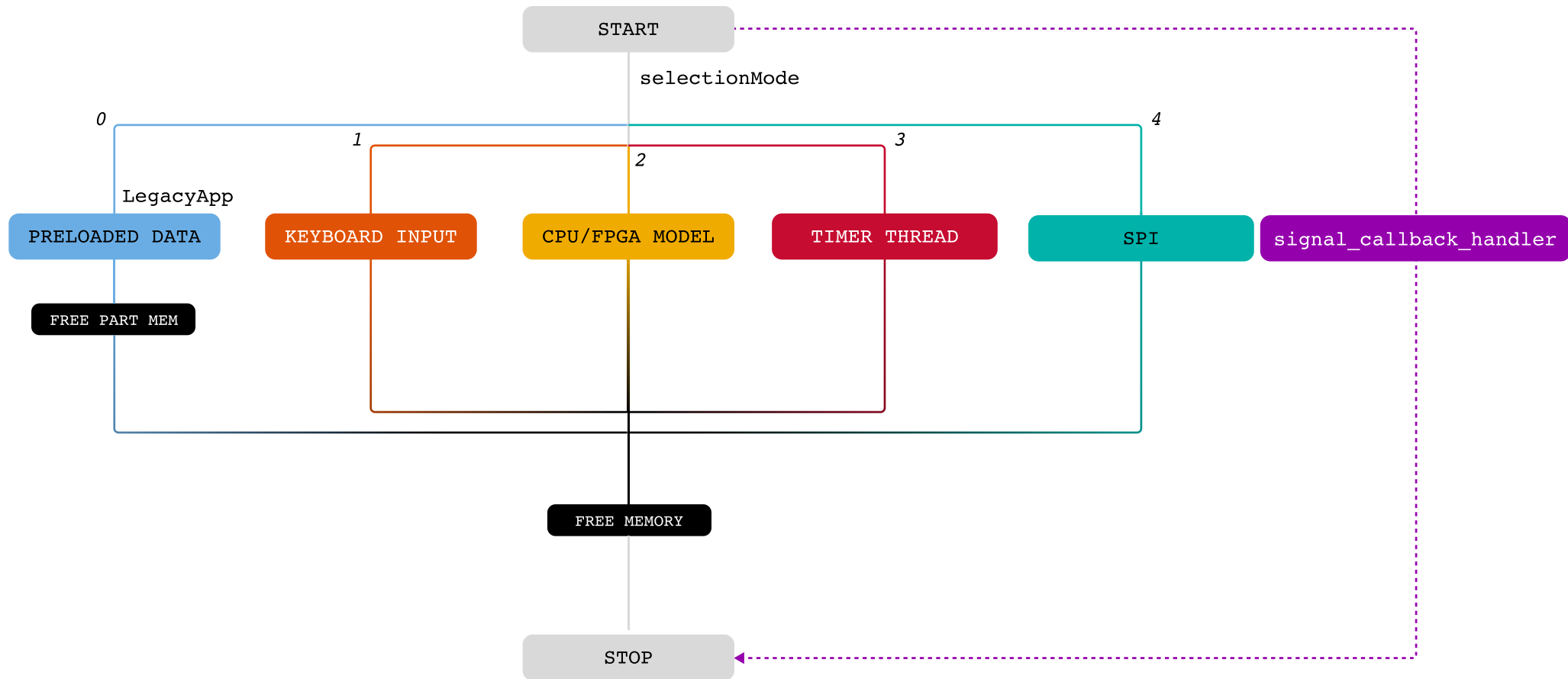


Vývojová platforma

XILINX KRIA KR260 SOMS



Realizace aplikace



Analýza běhu aplikace (porovnání)

Preloaded Data					
název	krok	total runtime (ms)	runtime 1 SH (μ s)	migrateMemObjects (ms)	clFinish (ms)
100 k SH, UVH	$1 \cdot 10^{-5}$	502,284	5,02284	0,749	503,691
1 M SH, UVH	$1 \cdot 10^{-6}$	1007,880	1,00788	0,940	1019,280
1 M SH, BUVH	$1 \cdot 10^{-6}$	1005,070	1,00507	0,907	1016,220

CPU/FPGA		
název	hodnota (ms)	hodnota 1 SH (ms)
krok	$1 \cdot 10^{-3}$	x
1000 SH		
total runtime krnl_calculateCurVelModel	110,916	0,110916
total runtime krnl_calculateInvMot	110,486	0,110486
device execution time	1539,100	1,53910
migrateMemObjects	115,889	0,11589
clFinish	626,687	0,626687
100 SH		
total runtime krnl_calculateCurVelModel	11,552	0,11552
total runtime krnl_calculateInvMot	10,442	0,10442
device execution time	141,249	1,41249
migrateMemObjects	10,678	0,10678
clFinish	59,294	0,59294

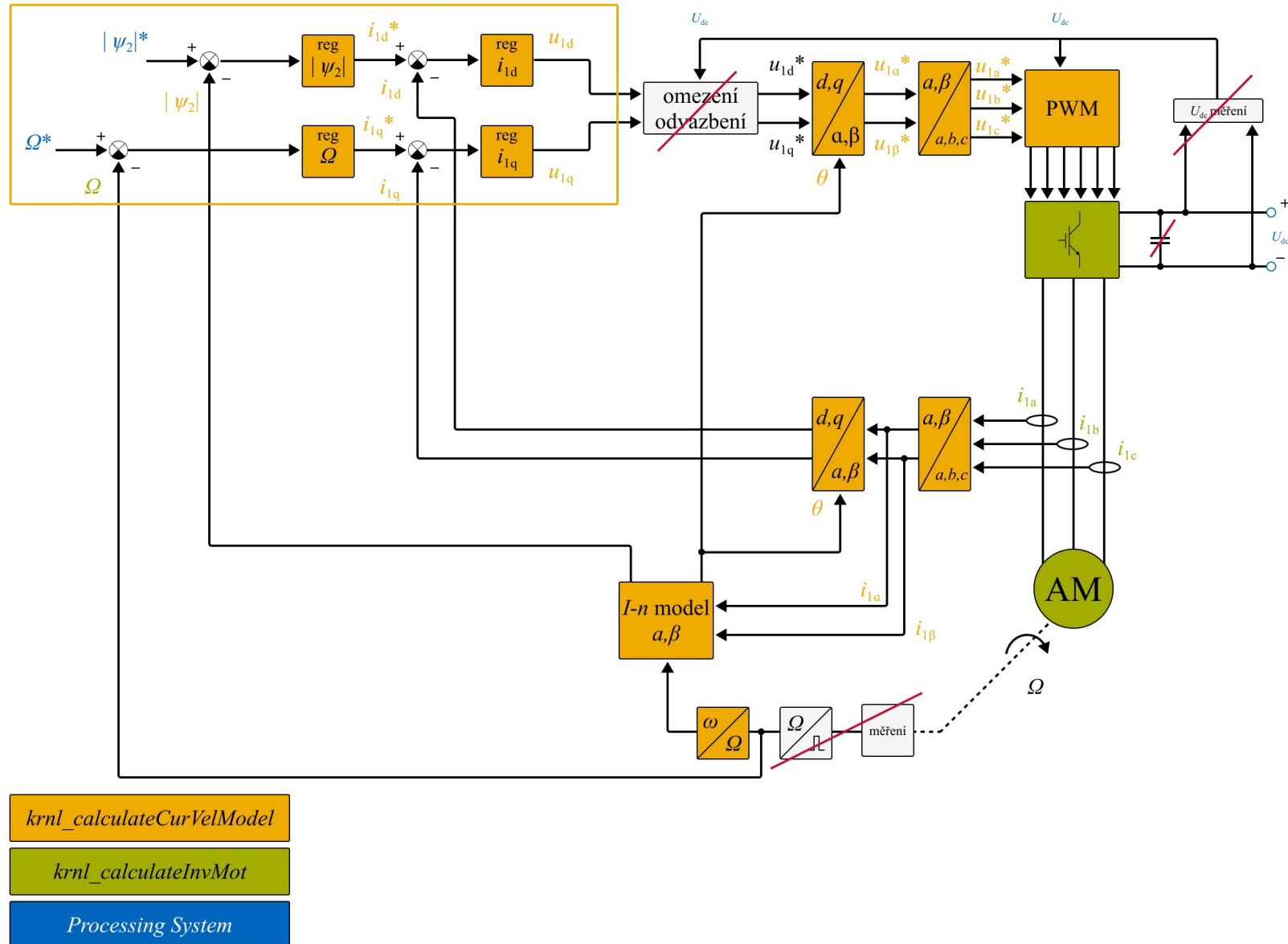
Děkuji za pozornost.

Otázka č. 1

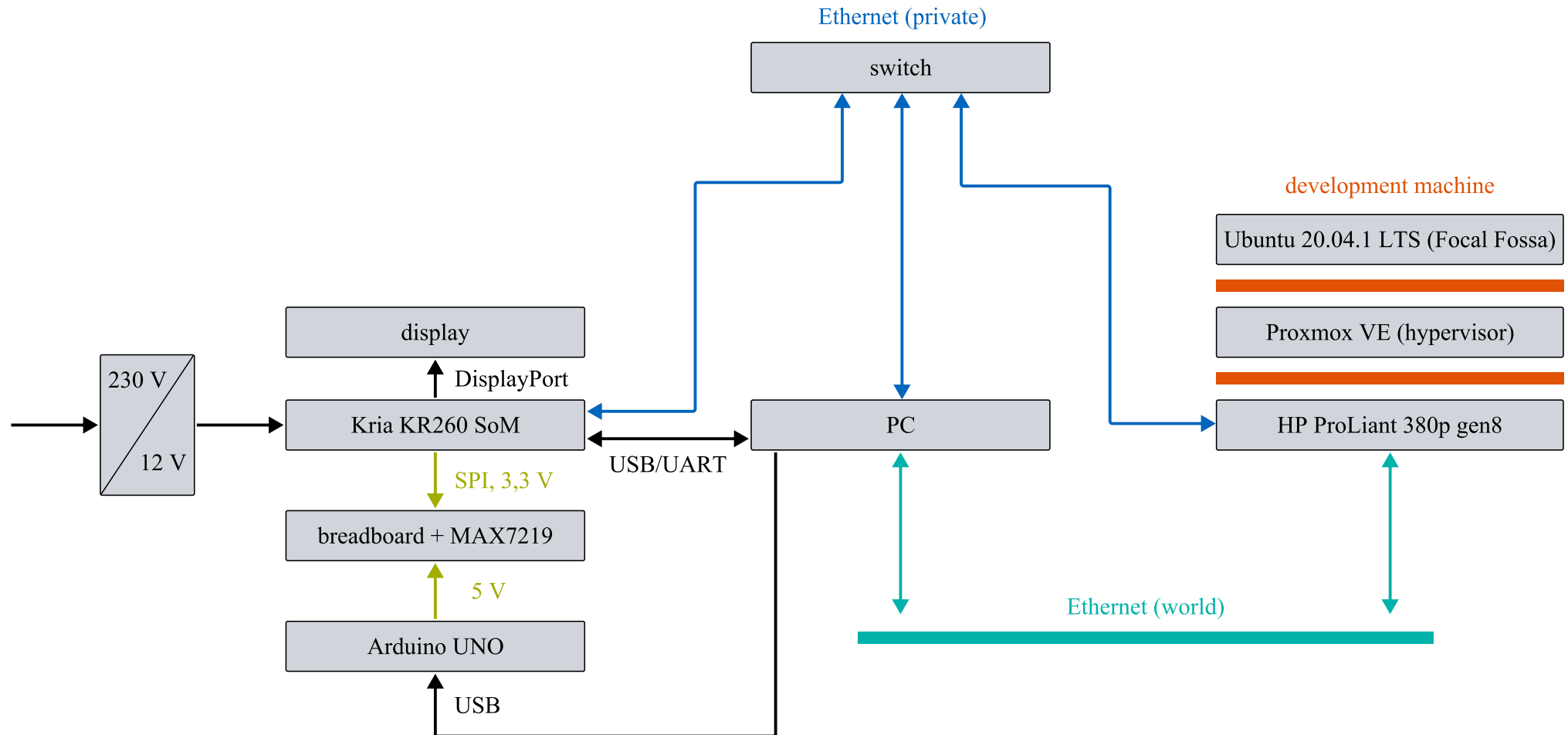
- Q: Otázka 1.
- A: Odpověď 1.

Backup slides.

Ukázka aplikace – FOC simulace

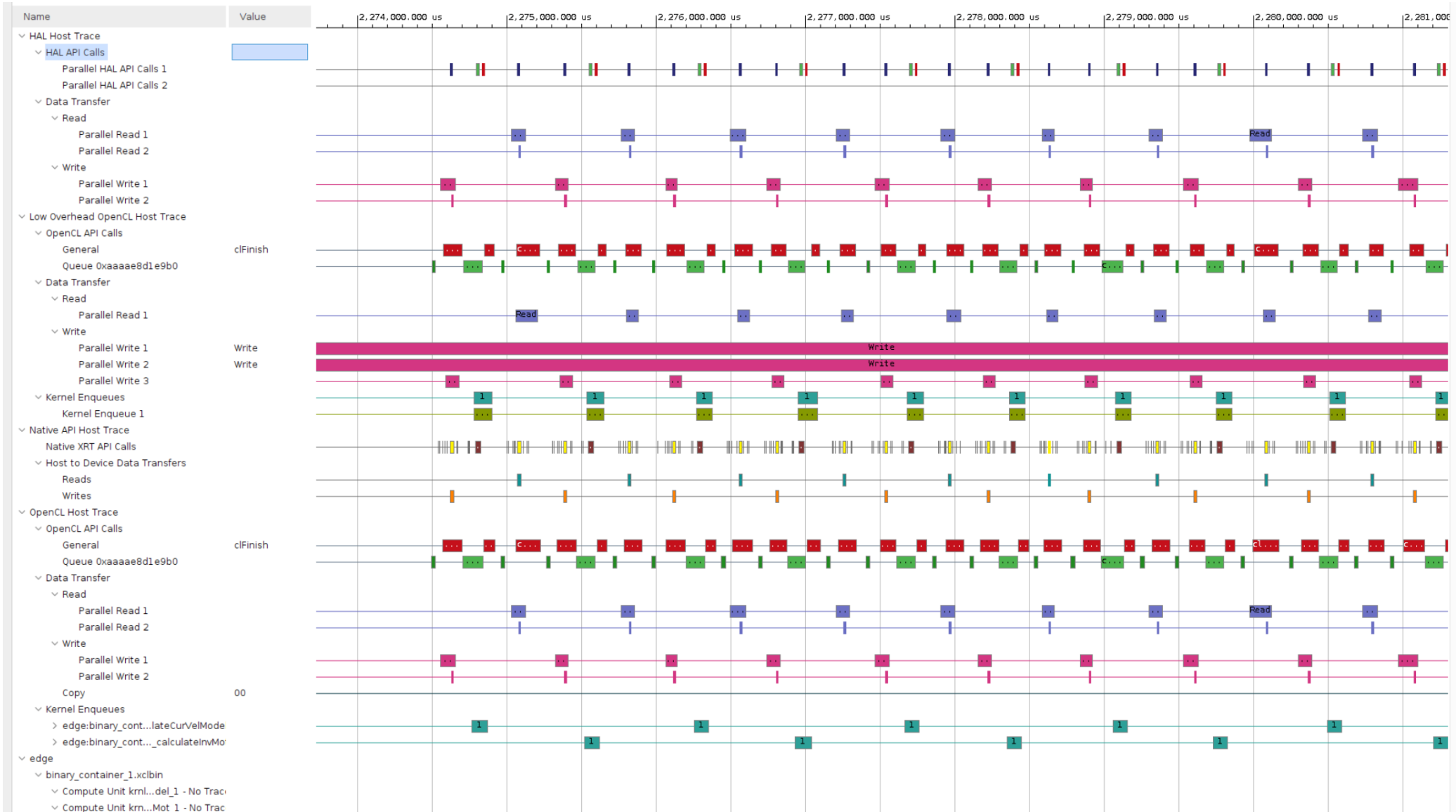


Uspořádání pracoviště



Analýza běhu aplikace

CPU/FPGA MODEL



Využití zdrojů PL

Kernel	LUT	Registry	BRAM	URAM	DSP
krnl_CurVelLoadLegacy	6 520	8 003	2	0	19
krnl_calculateCurVelModel	23 713	23 490	3	0	103
krnl_calculateInvMot	14 207	16 319	9	0	75