



ČESKÉ VYSOKÉ UČENÍ TECHNICKÉ V PRAZE

Fakulta elektrotechnická

Katedra elektrických pohonů a trakce

Možnosti využití SoC platformy procesorů pro řízení elektrických pohonů

Possibilities of Using SoC Platform Processors for Controlling Electric Drives

Diplomová práce

Studijní program: Elektrotechnika, Energetika a Management

Studijní obor: Elektrické pohony

Vedoucí práce: Ing. Jan Bauer, Ph.D.

**Petr Zakopal
Praha 2023**

I. OSOBNÍ A STUDIJNÍ ÚDAJE

Příjmení: **Zakopal** Jméno: **Petr** Osobní číslo: **483802**
Fakulta/ústav: **Fakulta elektrotechnická**
Zadávající katedra/ústav: **Katedra elektrických pohonů a trakce**
Studijní program: **Elektrotechnika, energetika a management**
Specializace: **Aplikovaná elektrotechnika**

II. ÚDAJE K BAKALÁŘSKÉ PRÁCI

Název bakalářské práce:

Oživení pracoviště s měničem DCM a PLC SIMATIC

Název bakalářské práce anglicky:

Workpalce with Rectifier DCM and PLC SIMATIC

Pokyny pro vypracování:

- 1) Seznamte se s měničem řady DCM firmy SIEMENS
- 2) Oživte základní regulační smyčky měniče (otáčkovou, proudovou)
- 3) Prostudujte možnosti záznamu průběhů z měniče pomocí PLC nebo dotykového panelu
- 4) Pomocí PLC SIMATIC S1200 a dotykového panelu realizujte vzdálené ovládání a monitoring měniče
- 5) Na dotykovém panelu vytvořte obrazovku pro nastavování otáček nebo momentu motoru napájeného měničem

Seznam doporučené literatury:

- [1] Weidauer J., Messer R. Electrical Drives, Publics Erlangen, 2014
- [2] SCE Training Curriculum. Siemens AG, 2016
- [3] Durry B. The Control Techniques Drives and Controls Handbook 2nd ed., IET, 2009
- [4] Pavelka J., Kobrle P. Elektrické pohony a jejich řízení. 3. reprezované vydání. Praha: České vysoké učení technické v Praze, 2016. ISBN 978-80-01-06007-0.

Jméno a pracoviště vedoucí(ho) bakalářské práce:

Ing. Jan Bauer, Ph.D., katedra elektrických pohonů a trakce FEL

Jméno a pracoviště druhé(ho) vedoucí(ho) nebo konzultanta(ky) bakalářské práce:

Datum zadání bakalářské práce: **24.01.2021**

Termín odevzdání bakalářské práce: **21.05.2021**

Platnost zadání bakalářské práce: **30.09.2022**

Ing. Jan Bauer, Ph.D.
podpis vedoucí(ho) práce

podpis vedoucí(ho) ústavu/katedry

prof. Mgr. Petr Páta, Ph.D.
podpis děkana(ky)

III. PŘEVZETÍ ZADÁNÍ

Student bere na vědomí, že je povinen vypracovat bakalářskou práci samostatně, bez cizí pomoci, s výjimkou poskytnutých konzultací. Seznam použité literatury, jiných pramenů a jmen konzultantů je třeba uvést v bakalářské práci.

Datum převzetí zadání

Podpis studenta

PROHLÁŠENÍ

Prohlašuji, že jsem předloženou práci vypracoval samostatně a že jsem uvedl veškeré použité informační zdroje v souladu s Metodickým pokynem o dodržování etických principů při přípravě vysokoškolských závěrečných prací.

V Praze dne _____

Petr Zákapal

PODĚKOVÁNÍ

Nam quis commodo justo. Mauris diam metus, mattis sed rutrum in, volutpat sit amet sem. Nam bibendum commodo porttitor. Quisque eget lectus rutrum, molestie tortor id, iaculis nunc. Sed et maximus ipsum. Vivamus vel facilisis nisl. Curabitur eu nibh nec erat mollis finibus at in sapien. Mauris viverra sapien neque, nec lacinia odio laoreet eu. Quisque consectetur eros ac orci interdum scelerisque.

ABSTRAKT

Nam quis commodo justo. Mauris diam metus, mattis sed rutrum in, volutpat sit amet sem. Nam bibendum commodo porttitor. Quisque eget lectus rutrum, molestie tortor id, iaculis nunc. Sed et maximus ipsum. Vivamus vel facilisis nisl. Curabitur eu nibh nec erat mollis finibus at in sapien. Mauris viverra sapien neque, nec lacinia odio laoreet eu. Quisque consectetur eros ac orci interdum scelerisque.

Klíčová slova: Lorem ipsum dolor sit amet, consectetur adipiscing elit. Duis aliquam finibus sagittis. Nunc venenatis, augue quis luctus dictum, elit justo pharetra leo, nec viverra purus dui at quam.

ABSTRACT

Nam quis commodo justo. Mauris diam metus, mattis sed rutrum in, volutpat sit amet sem. Nam bibendum commodo porttitor. Quisque eget lectus rutrum, molestie tortor id, iaculis nunc. Sed et maximus ipsum. Vivamus vel facilisis nisl. Curabitur eu nibh nec erat mollis finibus at in sapien. Mauris viverra sapien neque, nec lacinia odio laoreet eu. Quisque consectetur eros ac orci interdum scelerisque.

Keywords: Lorem ipsum dolor sit amet, consectetur adipiscing elit. Duis aliquam finibus sagittis. Nunc venenatis, augue quis luctus dictum, elit justo pharetra leo, nec viverra purus dui at quam.

OBSAH

1	Úvod.....	1
2	System on a chip.....	2
2.1	Application Specific Integrated Circuit	2
2.2	Aplikace SoC	2
3	System on Modules	3
3.0.1	Embedded Systems.....	3
3.0.2	Hardware Accelerated Applications	4
3.0.3	Výpočetní technika, mobilní zařízení a elektronika	5
4	Programovatelné hradlové pole – FPGA	6
4.1	Vývoj FPGA z PLD	6
4.2	Aktuální složení FPGA	6
4.2.1	Generátory funkcí	7
4.2.2	Paměťové elementy	8
4.2.3	Logické buňky	8
4.2.4	Logické bloky	8
4.2.5	Propojení bloků.....	9
4.2.6	I/O bloky	9
4.2.7	Bloky speciálních funkcí	9
4.3	Programování	9
4.3.1	Forma tvorby algoritmu pro FPGA	10
4.3.2	Konverze HDL na konfigurační Bitstream.....	10
4.4	Spotřeba	11
4.5	Využití	11
4.5.1	Aplikace v nepohonářských odvětví	11
4.5.2	Aplikace v elektrických pohonech.....	12
5	Vývojová deska Digilent Zybo	14
5.1	Základní přehled	14
5.1.1	CPU a FPGA čip	14
5.1.2	Uspořádání vývojové desky Zybo Zynq-7000	17
6	Vývojová deska Xilinx Kria KR260.....	20
6.1	Základní přehled	20
6.1.1	CPU a FPGA čip	20
6.2	Uspořádání vývojové desky	22
6.2.1	Dostupné K26 SOM	24
7	Porovnání představených SoC/SoM platforem pro řízení elektrických pohonů	25
7.1	Konektivita	25
7.2	PS a PL	25

7.3	Developer Experience	26
7.4	Aplikace a operační systém	26
8	Model stroje	28
8.1	Představení stroje	28
8.2	Matematický popis „kompletního“ modelu stroje	28
8.3	I-n model asynchronního motoru	29
9	Použité nástroje pro vývoj aplikace pro PS a PL	31
9.1	Xilinx Vivado	31
9.2	Xilinx Vitis	31
9.3	PetaLinux Tools	32
9.4	RealTime Linux Patch	33
9.4.1	Postup aplikace PREEMPT_RT patch	34
9.5	Programovací prostředí – operační systém Linux	35
10	Struktura složek	36
11	Tvorba HW architektury Xilinx Vivado	37
11.1	Vivado Board Files	37
11.2	Tvorba HW designu pro Xilinx Kria KR260 vývojovou desku	37
11.2.1	Konfigurace PS pro využití implementovaných periferií	45
11.2.2	Design Constraints	49
11.2.3	HW block design vyvýjené aplikace	50
11.3	Tvorba PetaLinux	50
11.4	Tvorba SW pro CPU a FPGA	50
11.4.1	Upravený postup debugingu PL pro Digilent Zybo	50
12	Představení pracoviště	52
13	Dosažené výsledky	52
	Závěr	53
	Literatura	58
Příloha A	Seznam symbolů a zkratek	59
A.1	Seznam symbolů	59
A.2	Seznam zkratek	59
Příloha B	Tvorba HW designu pro Digilent Zybo Zynq-7000 vývojovou desku.	60

SEZNAM OBRÁZKŮ

3 - 1	Blokové schéma Embedded systému a řízeného fyzikálního systému. (převzato a upraveno z [8])	4
4 - 1	Blokové schéma složení moderních FPGA.....	6
4 - 2	Základní koncept uspořádání FPGA.....	7
4 - 3	Ukázka, jakým způsobem realizuje funkční generátor požadovanou funkci pomocí SRAM a MUX.	8
4 - 4	Blokové schéma převodu aplikace, naprogramované v procedurálním jazyce, na bitstream, kterým je konfigurováno FPGA.....	11
5 - 1	Vývojová deska Digilent ZYBO Zynq-7000 ARM/FPGA SoC Trainer Board – boční pohled.	14
5 - 2	Detailní schéma čipu Zynq-7000, umístěného na vývojové desce <i>Digilent ZYBO Zynq-7000 ARM/FPGA SoC Trainer Board</i> . (převzato z [23])	16
5 - 3	Vývojová deska Digilent ZYBO Zynq-7000 ARM/FPGA SoC Trainer Board vrchní pohled s vyznačením komponent.	17
5 - 4	Vývojová deska Digilent ZYBO Zynq-7000 ARM/FPGA SoC Trainer Board – spodní pohled.	18
6 - 1	Vývojová deska Xilinx Kria KR260 – boční pohled.....	20
6 - 2	Blokový diagram K26 SOM Kria. [5].....	21
6 - 3	Vývojová deska Xilinx Kria KR260 vrchní pohled s vyznačením komponent.	23
6 - 4	Vývojová deska Xilinx Kria KR260 – spodní pohled.	23
9 - 1	Blokový diagram tvorby spustitelné aplikace v prostředí Vitis. (převzato z [27], upraveno)	32
9 - 2	Graf prováděné simulace při testování PREEMPT_RT Linux Patch.	33
11 - 1	Xilinx Vivado – volba typu projektu, použitelného dále jako platforma ve Vitis, pro Xilinx KR26.	38
11 - 2	Xilinx Vivado – výběr základní komponenty, pro který bude HW design vytvářen.	38
11 - 3	Xilinx Vivado – nabídka vytváření block design.	39
11 - 4	Xilinx Vivado – vložení PS IP bloku.	39
11 - 5	Xilinx Vivado – automatické propojení pro PS.	40
11 - 6	Xilinx Vivado – zablokování FPD a odblokování LPD pro block design.	40
11 - 7	Xilinx Vivado – nastavení bloku Clocking wizard.	41
11 - 8	Xilinx Vivado – blokový design s PS a blokem Clocking wizard po provedení automatizace.	41
11 - 9	Xilinx Vivado – propojení bloků Clocking wizard a Processor System Reset.	42
11 - 10	Xilinx Vivado – nastavení bloku AXI Interrupt Controller.	42
11 - 11	Xilinx Vivado – block design po automatizaci a propojení bloku AXI Interrupt Controller.	43
11 - 12	Xilinx Vivado – nastavení bloku Slice pro odstranění dvou horních bitů signálu.	44
11 - 13	Xilinx Vivado – minimální funkční design s výstupním pinem pro řízení ventilátoru.	44
11 - 14	Xilinx Vivado – záložka nastavení clock signálů na platformě.	45
11 - 15	Xilinx Vivado – PS I/O Configuration QSPI zařízení.	46
11 - 16	Xilinx Vivado – PS I/O Configuration I2C zařízení.	46
11 - 17	Xilinx Vivado – PS I/O Configuration PMU (GPIO 4 a GPIO 5 není vybráno).	46
11 - 18	Xilinx Vivado – PS I/O Configuration SPI zařízení.	47

11 - 19	Xilinx Vivado – PS I/O Configuration UART zařízení	47
11 - 20	Xilinx Vivado – PS I/O Configuration GPIO zařízení	47
11 - 21	Xilinx Vivado – PS I/O Configuration System Watchdog Timers (SWDT).....	47
11 - 22	Xilinx Vivado – PS I/O Configuration Triple Timer Counter (TTC), TTC 0 výstup Wa- veout je využit pro PIN řídící chladící ventilátor na SoM.	47
11 - 23	Xilinx Vivado – PS I/O Configuration USB.	48
11 - 24	Xilinx Vivado – PS I/O Configuration DisplayPort.	48
11 - 25	Xilinx Vivado – PS UltraScale+ Block Design v PS IP.	48
11 - 26	Xilinx Vivado – okno tvorby/vložení Constraints File.	49
11 - 27	Xilinx Vivado – HW block design vyvíjené aplikace.....	50
11 - 28	Diagram popisující upravený postup pro debuggování a spouštění host programu a na- hrávání host programu do PL	51
B - 1	Xilinx Vivado – volba typu projektu pro Digilent Zybo.....	60
B - 2	Xilinx Vivado – výběr základního HW, pro který bude vytvářena architektura pro Digi- lent Zybo.	61
B - 3	Xilinx Vivado – vytváření Block Design pro Digilent Zybo.	61
B - 4	Xilinx Vivado – vložení bloku ZYNQ7 Processing System pro Digilent Zybo.	62
B - 5	Xilinx Vivado – nastavení výstupních taktovacích signálů pro Digilent Zybo.	62
B - 6	Xilinx Vivado – propojení bloků taktování pro Digilent Zybo.	63
B - 7	Xilinx Vivado – minimální funkční blokový design pro akcelerovanou aplikaci pro Di- gilent Zybo.	63
B - 8	Xilinx Vivado – signalizace vložených AXI GPIO bloků pro LED, BTN, SW na kartě <i>Board/Zybo/GPIO</i> pro Digilent Zybo.....	65
B - 9	Xilinx Vivado – block design s využitím GPIO pro LED, BTN, SW propojených s PL pro Digilent Zybo.	65
B - 10	Uspořádání připojení tlačítek, přepínačů a LED k PS a PL pro vývojovou desku Digilent Zybo. [24].....	66
B - 11	Xilinx Vivado – kritická upozornění vzniklá po validaci designu, která je možné ignorovat. 66	
B - 12	Xilinx Vivado – nastavení provádění úkonů syntézy, implementace a generování bitstre- amu, volba použitých výpočetních jader a určení, kde se mají procesy vykonávat pro Digilent Zybo.	67

SEZNAM TABULEK

4 - 1	Pravdivostní tabulka ukázkové funkce, realizované v generátoru funkcí, umístěném v logickém bloku FPGA.....	8
5 - 1	Popis označených komponent na vývojové desce Digilent Zybo Zynq-7000. (informace a značení převzaty z [24]).....	19
6 - 1	Popis označených komponent na vývojové desce Xilinx Kria KR260. (informace a značení převzaty z [25])	22
6 - 2	Porovnání hlavních parametrů Kria K26 SOM Commercial a Industrial. (informace a značení převzaty z [26]).....	24
8 - 1	Štítkové údaje stroje.	28
8 - 2	Změřené parametry stroje.	28
11 - 1	Ukázka nastavených AXI portů v Xilinx Vivado platformě pro <i>Xilinx Kria KR260</i>	45
B - 1	Ukázka nastavených AXI portů v Xilinx Vivado platformě pro <i>Digilent Zybo</i>	64

1 Úvod

V době, kdy byla od elektrických pohonů požadována spolehlivost, vysoká účinnost a nenáročné ovšem kvalitní řízení, byly k řízení využívány samotné digitální signálové procesory. Postupem času dochází ke zjištění, že výkon DSP není dostatečný a na některé aplikace, kde je vyžadováno provedení značného množství náročných výpočtů za co nejkratší čas, nejsou vhodné. Proto nastupuje éra logických programovatelných polí (FPGA), které jsou schopny tyto výpočty provést s velmi nízkými nároky na energii a za velmi krátký čas.

V mnoha odvětvích se již začíná využívat embedded systém s Application Specified Hardware, který je určen pouze na využití v předem dané aplikaci. Tento hardware slouží v dané aplikaci k jedinému účelu, který vykonává a na který je optimalizován. Tím se liší od procesoru, který vykonává mnoho instrukcí a využít ho pouze jako samostatnou výpočetní jednotku je z hlediska energetické i finanční náročnosti nevýhodné. Implementace hradlových polí přináší nejen v řízení elektrických pohonů zvýšení výpočetního výkonu, ale také snižování energetické náročnosti řízení.

Perspektiva logických programovatelných polí a hardwaerově urychlovaných aplikací je podpořena jejich využíváním i mimo obor elektrických pohonů a trakce. Z důvodu jejich veliké propustnosti, vysokých výpočetních výkonů a nízké energetické náročnosti jsou využívány v AI, machine learningu, zpracování obrazu, těžení kryptoměn a jiných nepohonářských aplikacích.

Nevýhodou problematiky FPGA je jejich složitější programovatelnost z hlediska tvoření aplikace. Aplikace je tvořena určitým postupem (workflow), který kladne vysoké nároky na vzdělání a zkušenosti vývojářů. Většina FPGA je programována pomocí jazyků Verilog či VHDL, které mohou pro softwarově orientované programátory představovat značnou překážku. Proto bylo vyvinuto tvoření aplikací pomocí vyšší úrovně syntézy (HLS), kdy je možné tvořit programy ve vyšších programovacích jazycích jako je například C, C++ či Python. HLS umožnilo rapidní rozšíření a využití Embedded FPGA Accelerated Applications v mnoha aplikacích a značně vylepšilo vývojářský požitek (developer experience, DX) při tvorbě aplikací.

Protože může být náročné vytvořit vlastní architekturu, složenou z CPU a spolupracujícího FPGA, je vhodné při prvotním vývoji aplikace využít dostupné vývojové desky obsahující již předpřipravené propojení jednotlivých komponent. Součástí těchto vývojových desek bývá také mnoho vstupů a výstupů (I/O) pro snadnější využití při lazení a tvoření aplikace. V této práci je využívána vývojová deska Zybo od firmy Digilent. Ovšem autor v textu představuje další možnosti, které mohou být pro konkrétní aplikace a využití vhodnější.

Tato práce se zajímá o aplikace a možné využití FPGA při řízení elektrických pohonů. Autor v ní představuje základní principy Hardware Accelerated Applications, z jakého důvodu je tento přístup perspektivní a proč je vhodné se orientovat tímto směrem.

2 System on a chip

System on a chip (SoC) je architektura čipu, využívající takovou konstrukci, kdy jsou integrovány různé části/bloky systému na jeden čip. Integrace prvků na jeden čip značně sniže nároky na rozměry nosičů, na kterých jsou tyto SoC umístěny. Místo diskrétních čipů, obstarávající jednotlivé funkce, je využito jednoho čipu s mnoha částmi vykonávající požadované funkce.

Protože integrování čipů do jedné polovodičové struktury představuje relativně veliké snížení nároků na kovové vodivé spoje a sniže časovou náročnost a zvyšuje rychlosť přenosu dat, je SoC upřednostňováno před metalicky spojenými diskrétními částmi vykonávajícími dané operace.

Označení SoC může představovat mnoho architektur. Obecné rozdělení, nalezitelné v literatuře a veřejných zdrojích, těchto architektur je následující:

- SoC využívající mikrokontrolér (CPU, RAM, ROM),
- SoC využívající pouze mikroprocesoru (CPU, možné i GPU, jádra pro specializované výpočty),
- SoC pro specifické aplikace (Application Specific Integrated Circuit – ASIC).

Jedná se tudíž o rozdělení dle hlavní výpočetní jednotky, resp. procesoru v čipu. [1]

Z uvedených rozdělení jsou pro řízení elektrických pohonů nejvíce využívány SoC s mikrokontrolérem a ASIC.

2.1 Application Specific Integrated Circuit

Významnou část SoC tvoří *Application Specific Integrated Circuits, popř. Hardware* (ASICs, ASHW). Při použití těchto SoC je využíváno přesvědčení, že pokud je architektura HW přímo specializovaná na jednu aplikaci, je vysoká pravděpodobnost, že ji bude vykonávat bezchybně, kvalitně a rychle.

Tyto aplikace jsou využívány v širokém spektru oborů jako je např. zpracování zvuku, videa, výpočtů apod. Tyto ASIC mohou také vykonávat potřebné rychlé výpočty pro matematické modely elektrických strojů, které jsou využívány např. pro HIL.

Než je tento specifický obvod vytvořen, je nutné jej navrhnout, vyzkoušet a odladit. K tomu slouží logická programovatelná pole, ve kterých je možné požadovaný HW navrhnout a odladit před velkou produkcí ASIC. Pokud velká produkce není z ekonomických důvodů možná, jsou FPGA využívány přímo v produkci s jejichž pomocí je vytvořena HW struktura, která by byla přítomna na ASIC.

2.2 Aplikace SoC

Systémy na čipu se pro jejich výpočetní výkon, prostorovou a energetickou efektivnost využívají v mnoha aplikacích. Nejvýznamnější využití v problematice elektrických pohonů je v embedded systémech a hardwaerově akcelerovaných aplikacích.

3 System on Modules

System on modules (SOMs) je architektura jejíž jednou z hlavních součástí je dříve zmiňovaný SoC. SOMs se oproti SoC již dodávají na PCB a kromě SoC mají na desce umístěné další komponenty, které jsou pro danou aplikaci vyžadovány. [2]

SOMs se mohou dodávat jako vývojové desky [3], které obsahují krom SOM takéž podpůrnou desku s dalšími obecnými komponenty, jež jsou vhodné pro vývoj standardních aplikací. Pokud zákazník již pomocí vývojové desky odladil vytvářenou aplikaci, může zakoupit samostatný SOM na base board (BB) a podpůrnou desku (tzv. carrier card, CC) pro danou aplikaci navrhnu tak, aby obsahovala pouze komponenty, které daná aplikace využívá. Tudíž se snižuje cena konečného výrobku o komponenty, které byly z carrier card při návrhu odstraněny pro jejich nevyužití.

Výrobce platformy *Kria KR260 Robotics Starter Kit*, použité v této práci, dodává k produktu rozsáhlou dokumentaci [4] [5], podle které je možné individuální carrier card sestavit.

Příkladem individuálně vytvořené carrier card je open source projekt od firmy *Antmicro Ltd.* Tato firma vydala open source design carrier cardu pro zařízení *Kria K26*, které je předchůdcem *KR260*, a bylo určeno pro akcelerování audiovizuálních aplikací. Využívá však totožný SOM ale rozdílný carrier card. Dokumentace a vytvořený návrh je dostupný z [6].

3.0.1 Embedded Systems

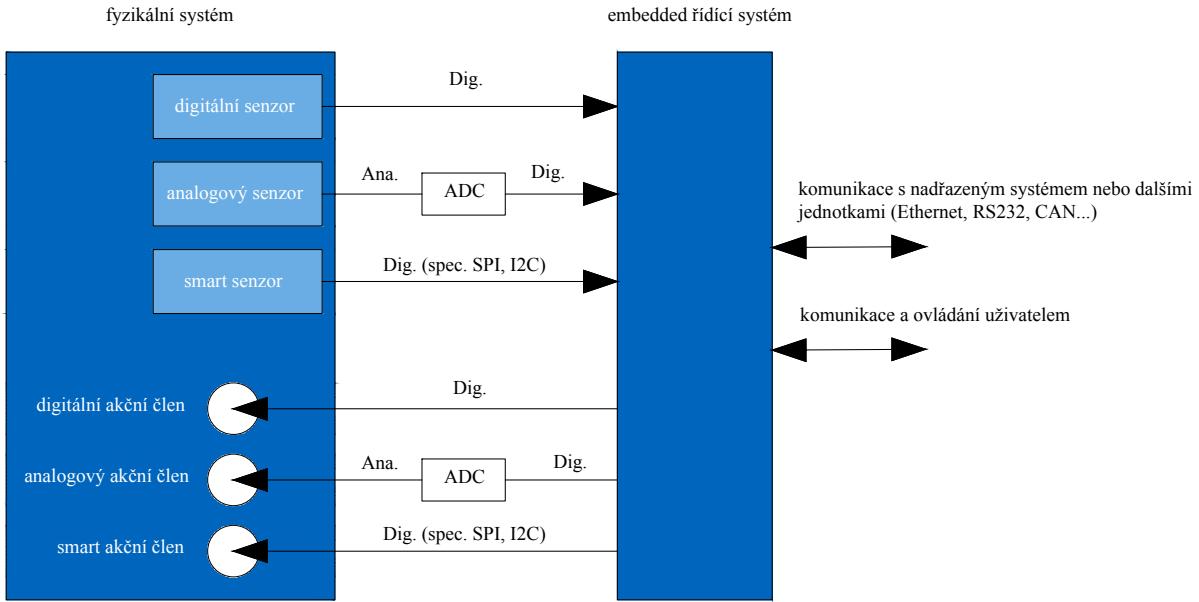
Embedded systéms je název pro skupinu zařízení, obecně systémů, které je možné charakterizovat jako specifické výpočetní zařízení, resp. počítače, které jsou určeny pro podporu funkce nebo řízení nějakého většího celku, produktu nebo fyzikálního systému. Oproti tomu osobní počítač je sice výpočetní zařízení, ale nelze mluvit o embedded systému, protože je určen pro mnoho univerzálních aplikací. [7]

Dalším důležitým rozdílem mezi *Embedded System* a obecným výpočetním zařízením je ten, že v případě embedded systému je interakce mezi systémem a uživatelem uměle omezena na základní ovládání či kontrolu funkce. Není předpokládáno, že by uživatel, jež aplikaci embedded systému využívá, výrazným způsobem zasahoval do jeho funkce. Naopak obecný výpočetní systém je uzpůsoben na podstatné zásahy uživatele. [7] [8]

Do embedded systému vstupují signály, které jsou následně zpracovány a poté vybrané výsledky výpočtu jsou v podobě výstupní signálů výstupním produktem systému. Tyto produkty mohou pomoci akčních členů zasahovat do řízeného systému. Vstupní signály většinou přicházejí ze speciálních snímačů, kompatibilních s embedded systémem (senzor teploty, senzor tlaku, senzor zrychlení, gyroskop, senzory proudu, inkrementální čidla apod.). Naopak jeho výstupní signály jsou například specifická ovládací hodnota napětí, proudu nebo jiné veličiny. Také mohou být na výstupních pinech připojené LED signalizace, komunikační sběrnice některých komunikačních systémů nebo výstupní LDC displaye. Způsob, kterým jsou kódovány vstupní a výstupní signály, je většinou specificky určený daným řízeným systémem. [7]

K obecnému výpočetnímu systému je možné připojit vstupní periferie klasických osbních počítačů – myš, klávesnice, mikrofon. Komunikace embedded systému s periferiemi je většinou standardizována tak, aby bylo možné periferie libovolně zaměňovat bez změny funkčnosti. [7].

Na obrázku 3 - 1 je zobrazeno názorné blokové schéma řízení fyzikálního systému pomocí embedded systému. Tyto bloky mezi sebou komunikují pomocí digitálních signálů. Pokud tyto signály nejsou digitální, musí se před zpracováním v embedded systému zdiskretizovat.



Obr. 3 - 1 Blokové schéma Embedded systému a řízeného fyzikálního systému. (převzato a upraveno z [8])

3.0.2 Hardware Accelerated Applications

V mnoha aplikacích, nejen při řízení elektrických pohonů, je vyžadováno, aby výpočty nebo zpracování dat probíhalo vysokou rychlostí. Tento problém nemůže být většinou vyřešen použitím běžného procesoru (CPU), který je optimalizován na provádění obecných komplexních funkcí, řízení běhu uživatelského programu, komunikaci či přesun dat. V moderním světě je třeba zpracovávat exponenciálně narůstající množství dat. Aby tyto data bylo možné v požadovaném čase, s co nejnižším zpožděním zpracovat, je vhodné využít specifický HW a přístup, který bude schopen požadavky rychlosti a výkonu uspokojit. Tento přístup se nazývá *Hardware Acceleration* (hardwaerová akcelerace). [9]

Princip hardwaerové akcelerace spočívá v přesunu výpočetně náročných aktivit na specifický a oddělený hardware. Celkové řízení běhu aplikace a komunikace je ovšem stále vykonáváno řídícím CPU. Oddělený hardware, na kterém dochází k akceleraci výpočtů, je optimalizován na vykonávanou úlohu a jeho využití přináší zefektivnění běhu celkové aplikace. [9]

Struktura, ve které je využíváno více fyzicky oddělených procesorových a hardwaerových akceleračních jednotek, se často nazývá heterogenní. [9]

Hardwaerová akcelerace poskytuje rychlejší výpočty než CPU, protože využívá maximální paralelizace výpočtů. Klasické CPU však vykonává jednotlivé instrukce sériově. I v případě, že CPU má více jader a využívá více vláken, nemůže se specifické úrovni paralelismu při dané omezuje energetické náročnosti HW vyrovnat. Pro HW akceleraci je v mnoha oblastech využíváno několik druhů jednotek, které jsou optimální pro dané aplikace.

Graphics Processing Units (GPUs) jsou jednotky, které převážně slouží k akceleraci zpracování

vizuálních úloh. V době rychlého rozvoje elektroniky a SW je možné využítí GPUs v mnoha odvětví umělé inteligence (AI) či kreativních odvětví. GPUs jsou využívány v aplikacích, kde není kladen veliký důraz na nízkou odezvu (latenci). [9]

Tensor Processing Units (TPUs) jsou jednotky, které slouží k provádění algoritmů strojového učení (machine-learning, ML). Jejich přímé datové propojení umožňuje velmi rychlý a přímý přenos dat. Díky přímému připojení nevyžadují využití pamětí, které by přenos dat zpomalovaly. [9]

Field Programmable Gate Arrays (FPGAs) jsou jednotky, ve kterých není při výrobě pevně daná HW struktura. To umožňuje vytvoření, resp. naprogramování HW dle požadavků akcelerované aplikace. FPGAs mohou být využívány i při výpočtech v reálném čase matematických modelů elektrických strojů. Při realizaci této práce je pro akceleraci využíváno právě těchto programovatelných polí.

Porovnání časové náročnosti matematických výpočtů pro selektivní eliminaci harmonických složek v trakci pomocí CPU a GPU (graphics processing unit) je provedeno v [10].

Z článku vyplývá že využitím GPU skutečně dochází k snížení potřebného času na představený výpočet. V některých případech se jedná o snížení výpočetního času z 183 ms (při použití CPU) na 0,81 ms (při použití NVIDIA Titan V GPU). Díky využití GPU je tedy možné algoritmus provádět v reálném čase v lokomotivě.

3.0.3 Výpočetní technika, mobilní zařízení a elektronika

Kromě průmyslových odvětví jsou SoC využívány i pro běžné aplikace spotřební elektroniky.

Protože jsou kladené stálé vyšší nároky na výpočetní rychlosť a nižší cenu ve spotřební elektronice, jako jsou mobilní zařízení (mobilní telefony, osobní počítače), servery apod., začíná převažovat využívání SoC i v těchto oblastech.

Společnost Apple Inc. již téměř ve všech vlastních novějších zařízeních používá individuálně navrhnutý SoC.

Příkladem je A16 Bionic pro iPhone 14 Pro, Apple M1 a M2 pro tablety a počítače.

Díky specifickým řešením a vylepšeným architekturám (jádra SoC pro vysoký výkon a jádra pro ekonomickou spotřebu energie) bylo možné značně zvýšit výkon a snížit energetickou náročnost zařízení spotřební elektroniky. [11]

4 Programovatelné hradlové pole – FPGA

4.1 Vývoj FPGA z PLD

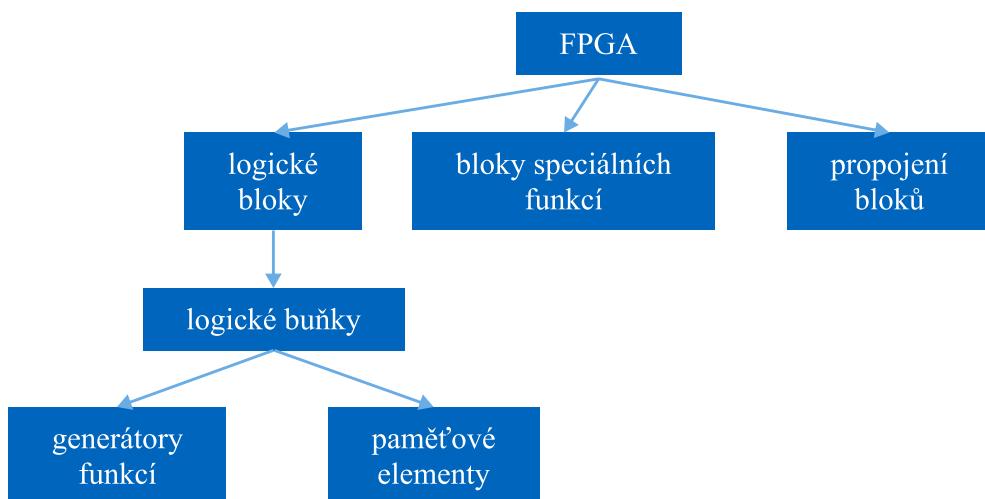
Programovatelné hradlové pole jsou zařízení, jejichž historický vývoj stojí na programovatelných logických zařízeních (programmable logic devices, PLD). První PLD fungovala na principu Booleových funkcí součtu násobení (sum of products). Tato zařízení obsahovala matici (proto se také nazývají programmable logic arrays, PLA) více vstupových bloků AND a OR. Programování požadované funkce probíhalo pomocí přerušování vstupů do jednotlivých logických bloků. Později byly do PLA přidány D klopné obvody s multiplexory. Díky těmto součástím bylo možné vytvářet logické kombinační a sekvenční obvody, resp. automaty. Posledním vylepšením PLA, které stálo před zrodem FPGA, spočívalo v umístění více PLA bloků (skládajících se z AND, OR, multiplexeru a D klopného obvodu) na jeden integrovaný čip. Programovatelné spojení různých PLA bloků a výstupů umožnilo vytvořit požadovanou funkci. [7]

4.2 Aktuální složení FPGA

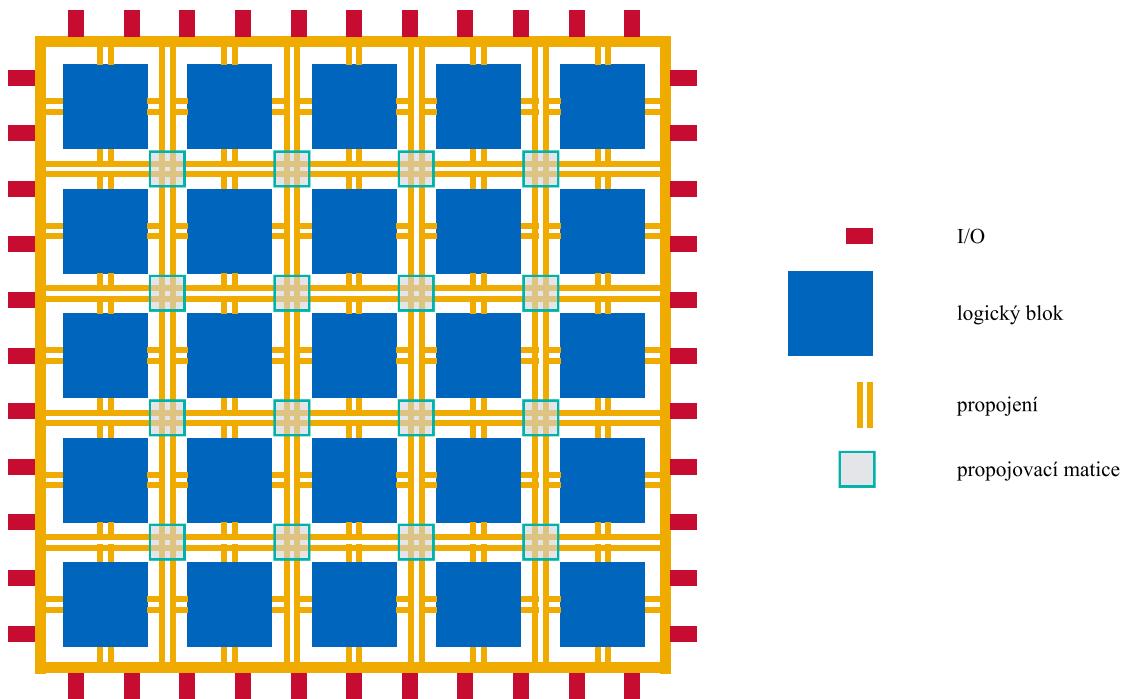
Moderní FPGA se skládají z 2D matice propojených programovatelných logických bloků, bloků speciálních funkcí a propojů vytvořených pomocí CMOS technologie. Po obvodě FPGA jsou rozmístěny vstupní a výstupní piny (I/O), připojené na zvláštní logické bloky. Použité logické bloky se skládají z mnoha buňek, které se skládají z generátorů funkcí a paměťových elementů. [7]

Na obr. 4 - 2 je možné pozorovat názorné schéma základního konceptu uspořádání FPGA. Na schématu jsou vyznačeny logické bloky, jejich propojení, propojovací maticy pro aktivování jednotlivých propojů a vstupů a výstupů (I/O) FPGA.

I přesto, že se tato práce převážně věnuje využití SoC a SOM pro řízení elektrických pohonů je vhodné představit základní části FPGA a nastínit jejich funkci.



Obr. 4 - 1 Blokové schéma složení moderních FPGA.



Obr. 4 - 2 Základní koncept uspořádání FPGA.

4.2.1 Generátory funkcí

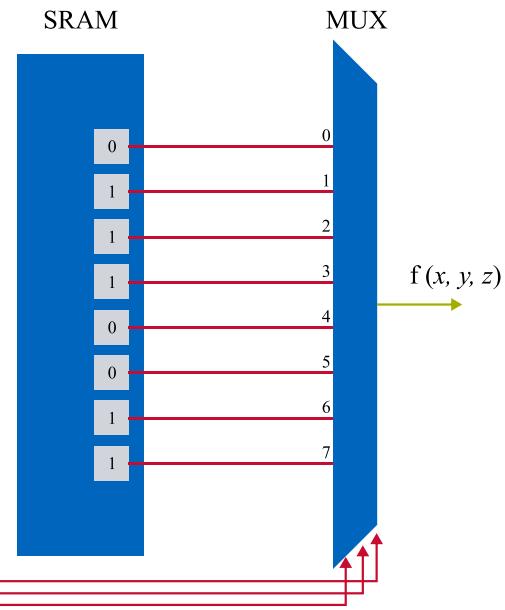
Oproti předchůdcům (PLD), které pro generování funkcí používaly logická hradla tvořená CMOS tranzistory, využívají FPGA generátory funkcí.

Logickou funkci je možné popsat pravdivostní tabulkou, která má určitý počet vstupů a odpovídající počet výstupů. Dle [7] je možné si představit, že se generátor dané funkce skládá ze samostatné statické paměti (SRAM), jejíž výstupy jsou přímo přivedeny na vstup multiplexeru (MUX). Signály výběru výstupů by odpovídaly vstupním proměnným a jednotlivé vstupy do MUX výstupům funkce.

Pro bližší pochopení funkce generátoru funkcí z předchozího odstavce je možné představit realizaci smyšlené logické funkce $f(x, y, z) = \bar{x}z + y$. Pravdivostní tabulka této smyšlené logické funkce je zobrazena v tab. 4 - 1. Odpovídající realizace pomocí MUX a SRAM je zobrazena na obr. 4 - 3. Tato reprezentace se nazývá look-up table (LUT). Grafické znázornění inspirováno [7].

Tab. 4 - 1 Pravdivostní tabulka ukázkové funkce, realizované v generátoru funkcí, umístěném v logickém bloku FPGA.

i	x	y	z	$f(x, y, z)$
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	1
4	1	0	0	0
5	1	0	1	0
6	1	1	0	1
7	1	1	1	1



Obr. 4 - 3 Ukázka, jakým způsobem realizuje funkční generátor požadovanou funkci pomocí SRAM a MUX.

Výhoda této reprezentace funkcí oproti logickým hradlům je, že doba zpoždění signálu (propagation delay) pro funkci je konstantní. Respektivně je konstantní, pokud funkci je možné realizovat jednou LUT. Pro realizaci obecné funkce je zapotřebí multiplexer $2^n \rightarrow 1$ a SRAM s počtem buněk 2^n , kde n je počet vstupních proměnných dané funkce. [7]

4.2.2 Paměťové elementy

Paměťové elementy jsou v FPGA realizovány pomocí D-klopňových obvodů. Tyto obvody mohou při konfiguraci FPGA být nastaveny, že budou reagovat na nástupnou nebo sestupnou hranu časovacího signálu (clock, CLK) řídícího procesoru nebo na úroveň řídícího signálu (latch).[7]

Protože typ latch je citlivý na úroveň signálu, může být problematické dovést požadovaný signál na vstup klopňového obvodu v požadovaném čase. Velmi často jsou proto paměťové členy konfigurovány jako D-klopňové obvody reagující na hranu. Pokud je používán signál CLK vyšších frekvencí, je D-klopňový obvod reagující na hranu snadněji schopný reagovat v požadovaném čase. [7]

Často jsou na vstup paměťových elementů připojeny výstupy multiplexerů generátorů funkcí. [7]

4.2.3 Logické buňky

Logické buňky jsou elementy, skládající se z generátorů funkcí a paměťových elementů. Velmi často se počet logických buněk údává jako jeden ze základních parametrů FPGA, podle kterého je uživatel možný rozhodnout, zda je vhodný pro jeho aplikaci. Pomocí logické buňky nebo skupiny logických buněk je již možné vytvářet plnohodnotnou kombinaci a sekvenční logiku.[7]

4.2.4 Logické bloky

Logické bloky se skládají ze spojení několika logických buněk do jedné skupiny. Díky umístění této skupiny buněk na čip geograficky blízko, dochází k minimalizaci zpoždění signálu mezi jednotlivým

buňkami. Častá skutečnost je, že jednotlivé bloky mohou mít již předkonfigurovanou funkci, jako je např. sčítačka, dělička nebo násobička. [7]

4.2.5 Propojení bloků

Propojení bloků je prováděno ke spojení jednotlivých logických bloků a I/O. Pro spínání určených propojů jsou na čipu mezi jednotlivými propojí umístěny propojovací matice, resp. „přepínače“. Ty slouží ke spojení jinak oddělených propojů, logických bloků a I/O. [7] Na obr. 4 - 1 je prezentována 2D struktura pole. Ovšem pro zvětšení počtu LUTs, tudíž výpočetního výkonu, a snížení vzdáleností mezi logickými bloky je v moderních FPGA použita 3D struktura, kdy dochází k vrstvení jednotlivých logických bloků a jejich propojů do výšky. [12]

4.2.6 I/O bloky

I/O bloky jsou obvykle umístěny na okraji designu FPGA. Slouží k přivedení resp. vyvedení signálů FPGA na externí připojovací piny struktury. Tyto výstupní bloky mohou využívat různé standardy k přenosu informací typu *single-ended* (napětí vztaženo k referenční nule) (LVTTL, LVCMOS PCI, PCIe, SSTL) nebo typu *double data rate* (diferenciální signál, vztažený k výstupu jiného I/O bloku) (LVDS). I/O bloky jsou strategicky umístěny na okraj struktury, aby byla minimalizována vzdálenost mezi I/O blokem a hranicí FPGA, představující vnější okolí. [7] [12]

4.2.7 Bloky speciálních funkcí

Aby došlo např. ke zvýšení rychlosti přenosu dat z FPGA do externího CPU a naopak, jsou některé speciální funkce implementovány jako funkční bloky přímo do struktury FPGA. To umožňuje efektivní využití FPGA pro různorodé aplikace. [7]

Block RAM (BRAM) je blok, který slouží k uchování dat. Sice by bylo možné vytvořit paměťový blok z *Logických bloků*, ale docházelo by k omezení využití FPGA pro jeho původní aplikaci a pro realizaci by bylo potřeba využít mnoho bloků. BRAM mají oddělený vstup a výstup, současně s odděleným CLK. Proto je možné do BRAM zároveň data zapisovat a zároveň z něj číst. [7]

DSP, resp. digital signal processing bloky slouží ke zpracování digitálního signálu. V těchto blocích jsou implementované funkce AND, OR, NAND, NOT, násobičky a sčítáčky. Mají nízkou spotřebu. DSP bloky jsou často umístěny geograficky blízko bloků BRAM, které slouží jako „mezipaměti“ (buffer). [7]

Procesor implementovaný do struktury FPGA snižuje časové zpoždění při obsluhování FPGA. [7]

Digital Clock Manager slouží k vytvoření jiného, resp. nižšího taktovacího signálu CLK, který je odvozen z původního vstupního/zdrojového CLK, pro různé bloky v FPGA. [7]

Multi-Gigabit Transcievers slouží k přenosu dat takovým způsobem, aby došlo k minimalizaci vlivu ručení na přenášená data. Obecně obstarávají optimální serializaci a paralelizaci dat. [7]

Struktura FPGA, která je obsahuje všechny zdroje a funkcionalitu potřebné pro kompletní realizaci aplikace, se nazývá *platform FPGA*.

4.3 Programování

Ve skutečnosti není možné mluvit o programování FPGA jako o klasickém programování mikroprocesorů. Při tvorbě „programu“ pro FPGA dochází k vytváření struktury, jež bude následně v FPGA vytvořena. Ovšem z praktických důvodů se v praxi využívá pojmenování „programovat FPGA“.

4.3.1 Forma tvorby algoritmu pro FPGA

K programování, resp. konfiguraci FPGA je možné přistupovat z několika úrovní. Jednou z využívaných metod popisu požadovaného HW na FPGA je popis struktury/toku signálu obvody (structural/data flow circuits). K tomuto popisu je využíváno jazyků HDL, VHDL a Verilog (Hardware Description Language, VSIC HDL). V těchto jazycích je využíváno logických členů AND, OR, NOT nebo bloků sčítáček a násobiček. Forma popisu, jež naopak využívá vyššího programovacího jazyka než HDL je nazývána metoda popisu chování obvodů (behavioral circuits). Zatímco HDL slouží k popisu hardware s využitím nízké míry abstrakce, popis ve vyšších programovacích jazycích, které popis pomocí behavioral circuits umožňuje, je pro programátory (zejména ty softwaerové) značně příjemnější, protože využívá běžných procedurálních programovacích jazyků jako je C, C++ nebo Python. Tyto jazyky jsou následně přeloženy/kompilovány do HDL. Po překladu do HDL pomocí *high level synthesis* (HLS) jsou provedeny kroky *synthesis* (syntéza), *place-and-route* (umístění-a-pospojování) a *bitgen* (generace bitstreamu). [7]

Při použití HLS může vzniknout situace, že bude vytvořen algoritmus, který bude takovým způsobem komplexní, že ho nebude možné syntetizovat na FPGA. Oproti tomu při použití popisu pomocí structural/data flow circuits, je prakticky vždy algoritmus syntetizovatelný. [7]

Dalším negativním jevem je vytvoření neoptimalizovaného komplexního algoritmu, který se ve vyšším programovacím jazyce jeví jako jednoduchý, ale při překladu do HDL a následných kroků *synthesis* -> *place-and-route* -> *bitgen* nebude možné vytvářený HW design do FPGA umístit, protože bude vyžadovat více *resources* (zdrojů LUTs, BRAM, atd.), než je v zařízení dostupných.

V praxi je k tvorbě algoritmů často využíváno vyšších programovacích jazyků a HLS, protože je tento přístup pro značný počet vývojářů SW srozumitelnější. Dalším častým přístupem v praxi je použití specializovaných SW jako je MATLAB™ a Simulink, které jsou schopny při použití odpovídajících balíčků přeložit vytvořený algoritmus do HDL, který je poté možné dále zpracovat a použít pro konfiguraci FPGA. Ovšem využití přístupu se SW MATLAB™ je třeba disponovat podporovaným HW, který disponuje dostatečným počtem zdrojů v FPGA struktuře. Tento přístup je značně finančně náročný v ohledu licence SW a taktéž vlivem vyšší ceny HW s větším počtem zdrojů.

4.3.2 Konverze HDL na konfigurační Bitstream

V části *Forma tvorby algoritmu pro FPGA* byly představeny dvě hlavní formy tvorby algoritmu pro FPGA. Aby bylo možné algoritmy na FPGA „umístit“, je třeba vytvořenou rezprezentaci dále zpracovat.

Všechny vyšší úrovně reprezentace algoritmů jsou převedeny na HDL. Následným krokem je *syntéza* (*synthesis*), která slouží k převodu HDL na tzv. *netlist*. Při převodu je HDL převáděna na logické členy AND, OR apod. [7]

Po vytvoření netlistu je nutné rozhodnout, jakým způsobem je možné a výhodné realizovat jednotlivé bloky v logických buňkách a LUT. Konečné sloučení členů závisí na rozsahu vstupů realizovatelných LUT. Proces seskupování logických členů a určování funkce LUT se nazývá mapování (MAP). Výsledkem MAP je opět netlist. Tento netlist však reprezentuje FPGA členy (LUT, klopné obvody apod.). [7]

Po mapování následuje proces umisťování (placement) při kterém je rozhodováno které z logických bloků budou realizovat FPGA členy, získané v kroku MAP. [7]

Bloků, které jsou umístěny ve struktuře FPGA je nutné spojit pomocí dostupných propojů na FPGA. Proces spojování a optimalizace propojů takovým způsobem, aby bylo minimalizováno časové zpoždění signálu, se nazývá *routing*. Obvykle se proces slučuje s MAP do jedné fáze a nazývá se *place-and-route* (PAR). [7]

Posledním krokem je vytvoření binárního souboru, nazývaného *bitstream*, který je poté „programováno“ FPGA. Tento proces převede netlist z kroku PAR na nastavení SRAM v jednotlivých logických buňkách FPGA tak, aby byl vytvořen požadovaný design v FPGA. Proces převede konfiguraci propojů a propojovacích matic do SRAM, ovládající příslušné propoje a matice. [7]



Obr. 4 - 4 Blokové schéma převodu aplikace, naprogramované v procedurálním jazyce, na bitstream, kterým je konfigurováno FPGA.

4.4 Spotřeba

FPGA je využíváno pro akceleraci aplikací pro svou nízkou spotřebu energie oproti CPU nebo GPU. Ovšem oproti ASICs FPGA má stále značnější spotřebu, proto je podnikán výzkum, který má za cíl jejich energetickou náročnost snížit ale zachovat jejich výkon a spolehlivost.

Nižší potřebný výkon pro realizaci nepohonářské aplikace podporuje výzkum a článek [13], ve kterém autoři představují svoji práci, v níž realizovali hru. Ve hře je hlavním úkolem aplikace výpočet stínů a odrazů materiálů. Způsob vykreslení, který je v aplikaci použit je nazýván *ray tracing*. Ray tracing je označován jako výpočetně náročný způsob, který není vhodný pro on-line aplikace ale pro vykreslování nepohyblivých obrazů, které není nutné zobrazovat v reálném čase. [14]

Autoři v textu popisují, že v případě využití FPGA pro výpočty v reálném čase byla jeho spotřeba 660 mW. Hru autoři vyzkoušeli spustit také na CPU platformě skládající se z Ryzen™ 4900H 8-core/16 threads 64-bit CPU @ up to 4,4 GHz clock. V případě testování na CPU byla indikována spotřeba 33 W. Tudíž při použití FPGA spotřeba klesla přibližně 50x. [13].

I přes nízkou spotřebu energie v FPGA jsou prováděny výzkumy, jak minimalizovat disipaci elektrické energie v podobě tepla a přiblížit se tak energetické náročnosti ASICs.

Disipace energie v FPGA je rozdělena na statickou a dynamickou.

Statická disipace je způsobena zbytkovým proudem tranzistorů ve vypnutém stavu mezi drain a source elektrodou, mezi gate a drain elektrodou a jevem, nazvaným gate direct-tunneling. [15]

Dynamická disipace je způsobena spínacími a vypínacími ztráty použitých tranzistorů (obvykle CMOS) a je závislá na použitém napětí, frekvenci a kapacitě přechodů, kterou je třeba nabít a vybit při spínání a vypínání tranzistorů. [15]

4.5 Využití

Programovatelná logická hradlová pole se pro svoji nízkou spotřebu, vysoký výpočetní výkon a klesající cenu elektroniky začínají využívat mnohem častěji v mnoha odvětví, ve kterých bylo doposavad' využíváno CPU a GPU. Aplikace FPGA je možné v rámci této práce rozdělit na nepohonářské a pohonářské.

4.5.1 Aplikace v nepohonářských odvětví

Díky univerzalitě FPGAs je možné je využít v mnoha aplikacích různých odvětví. Stále se zvyšující požadavky na výpočetní výkon urychlují nasazování FPGAs do provozů, kde jsou v současné době instalovány CPU nebo GPU.

Poptávka po dostupnosti FPGA způsobila vznik Cloud služeb, které nabízí FPGA výkon on-demand.

Jedním z velkých poskytovatelů je Amazon Web Services (AWS), který nabízí FPGA akceleraci v Cloudu. Tuto službu ocení především aplikace, které nejsou vázány na reálný hardware ale pouze potřebují dostupný výpočetní výkon, který mohou v průběhu tvorby, debugingu či realizace aplikace měnit bez nutnosti pořizování výkonných a někdy drahých FPGA zařízení. Více o *Amazon EC2 F1 Instances* služby virtuálních FPGA je dostupné na [16].

Existuje mnoho výpočetně náročných aplikací jako jsou např. výpočty finančních modelů pro ekonomiku, výpočty pro bioinformatiku, seismické modelování při hledání vzácných surovin apod. které je vhodné realizovat pomocí hardwaerového akcelerátoru. Více informací o těchto výpočetně náročných aplikacích je možné získat v [17].

Na akceleraci zpracování audiovizuálních děl je převážně určeno GPU. Ovšem pro aplikace, v nichž je vyžadováno zpracování obrazu v reálném čase s minimální spotřebou energie a nízkou hmotností aplikace, je často využíváno FPGA. Aplikace využití FPGA pro vozidla, která analyzují okolní prostor jsou popsány v [18]. Tyto aplikace nesou souhrnný název „intelligent spaces applications“. Obvykle je pro analýzu okolního prostoru využíváno více kamer, z nichž každá obsahuje vlastní výpočetní jádro (FPGA). Díky tomu výpočetně náročné aplikace, jako např. analýza hloubky obrazu pro rozpoznání objektů, probíhá v FPGA a ostatní nenáročné výpočty a řízení v SW v CPU. [18]

Protože momentálním trendem je snižování energetické náročnosti a zvyšování výpočetního výkonu dochází neustále k vývoji nových aplikací, které využívají FPGA pro akceleraci výpočetně náročných kroků, není možné všechny aplikace v tomto textu obsáhnout.

4.5.2 Aplikace v elektrických pohonech

V některých případech je elektrický pohon rozměrná a finančně náročná sestava, proto zkoumání určitých kritických stavů těchto soustav by mohlo být ekonomicky i technicky nevýhodné. V tomto případě je vhodné vytvořit přesný matematický model jednotlivých analyzovaných součástí a nezbytné náročné výpočty akcelerovat pomocí FPGA. Na základě odezvy modelu je poté možné analyzovat stavy, které by v případě analýzy na reálném stroji mohly způsobit jeho destrukci či částečnou ztrátu funkčnosti. Proto se v průmyslu využívá Hardware-in-the-loop simulation (HILS), kdy je vytvořen požadovaný matematický model, který poskytuje elektrické signály do testovaného systému a na základě jeho reakce je možné vyhodnotit, díky matematickému modelu, jakým způsobem by se choval reálný modelovaný systém. [18], [19]

Kromě HIL simulace je možné FPGA využít také pro řízení elektrických pohonů. Možnosti realizace řízení AC elektrických strojů pomocí FPGA a analogově digitálních převodníků (ADC) jsou prezentovány v [20]. V dokumentu jsou popisovány tři realizace řízení, resp. regulace pohonu. Nejprve byla regulace realizována pomocí hystérenzích on-off regulátorů, následně byly použity PI regulátory. Pomocí nich byl pohon regulován na základně měření a změny vektoru statorového proudu, resp. jeho složek $\alpha\beta$ po aplikování Clarkové transformace. Jako poslení prezentovaný způsob autoři realizovali model ovládání synchronního motoru na základě prediktivních regulátorů. [20]

Všechny prezentované způsoby regulace v [20] byly před syntézou realizovány v prostředí MATLAB™ a Simulink. Tento způsob tvorby modelů a algoritmů je v praxi upřednostňován, protože umožňuje i expertům na řízení a regulaci pracovat na dané problematice bez znalostí mikroelektroniky, programování v HDL a způsobu fungování FPGA. Oproti tomu je třeba zvážit, jaké jsou požadavky na rychlosť, výkonnost a optimalizované řízení aplikace a zdali použití předpřipravených knihoven a zjednodušených nástrojů nebude mít příliš značný vliv na rychlosť výpočtu a tudíž zpracování dat a řízení v reálném

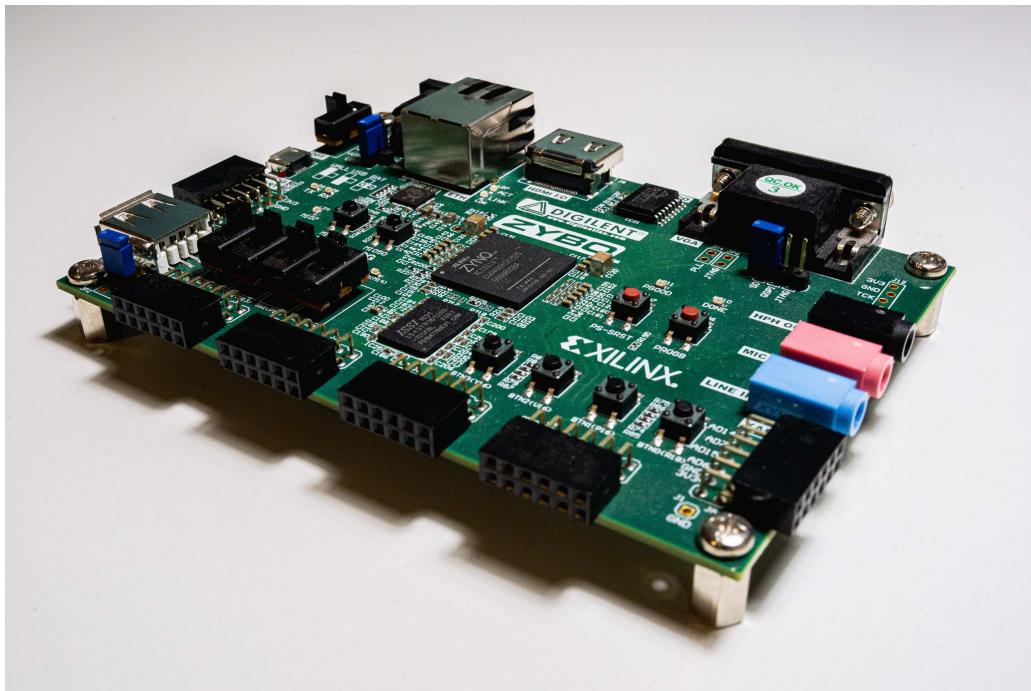
čase. [20]

5 Vývojová deska Digilent Zynq

Vývoj akcelerovaných aplikací je možné realizovat na relativně velikém množství dostupného HW. V některých případech je design vývojových desek dokonce výrobcem uveřejňován a tudíž v případě dostatečných znalostí je dokonce možné si sestavit vlastní HW s dostupných komponent takovým způsobem, aby vyhovoval požadované embedded aplikaci. Výhodné ovšem je využít již připravená řešení vývojových desek, které zjednoduší prvotní tvorbu aplikace.

V této práci byl realizován prvotní vývoj a seznámení s prostředím akcelerovaných aplikací na vývojové desce *Digilent ZYBO Zynq-7000 ARM/FPGA SoC Trainer Board* od firmy Digilent. [21] Jedná se o model vývojové desky, který byl na trhu nahrazen novějšími variantami s označením *ZYBO Z7-10* a *ZYBO Z7-20*, které jsou stále v aktivním prodeji. Hlavním rozdílem desek je verze Zynq čipu, který v moderních deskách disponuje ARM procesorem s vyšší taktovací frekvencí a s modernějším FPGA s vyšším počtem LUT, klopných obvodů a s rozsáhlější pamětí RAM. Bližší porovnání specifikací těchto desek je dostupné na [22].

V další části textu jsou představeny významné komponenty vývojové desky *Digilent ZYBO Zynq-7000 ARM/FPGA SoC Trainer Board*.



Obr. 5 - 1 Vývojová deska Digilent ZYBO Zynq-7000 ARM/FPGA SoC Trainer Board – boční pohled.

5.1 Základní přehled

5.1.1 CPU a FPGA čip

Hlavní částí vývojové desky je čip, obsahující FPGA a CPU jednotky zakomponované v jedné polovodičové struktuře. Jak již bylo zmíněno v části *Hardware Accelerated Applications*, tato struktura se nazývá heterogenní.

Deska obsahuje čip Xilinx Zynq-7000 (typ XC7Z010), který umožňuje pro vývoj aplikací použít SDK od firmy Xilinx. V tomto čipu je integrován dvou jádrový procesor ARM Cortex-9, který slouží jako pro řízení akcelerovaných aplikací na Xilinx FPGA sedmé série. Detailní schéma blokové architektury SoC

s označním sběrnic a komunikace jednotlivých částí čipu je zobrazené na obr. 5 - 2.

Z naznačené architektury je možné vyvodit, že se SoC skládá ze dvou hlavních částí, které je možné dále rozdělit na jednotlivé bloky:

- Processing System (PS),
 - Application processor unit (APU),
 - Memory interfaces,
 - I/O peripherals (IOP),
 - Interconnect,
- Programmable Logic (PL).

Blok PS

Blok PS se skládá z dílčích bloků, které neslouží k akceleraci aplikací, ale k podpoře běhu hostitelského programu. Blok PS reprezentuje prakticky celou architekturu čipu vyjma části věnované PL.

Blok APU

Blok APU obsahuje CPU Cortex-A9 a další podpůrné bloky jako např. přímý přístup do paměti (DMA controller), General interrupt controller (GIC) pro maskování a ovládání přerušení, watchdog a další podpůrné bloky.

Blok Memory interfaces

Memory interfaces slouží k přístupu APU a PL k pamětím typu DDR3, DDR3L, DDR2 a LPDDR-2. Je možné také vybrat, zda šířka sběrnice bude 16, nebo 32 bitů. K dispozici jsou zakonponované kotroléry přenosu dat pro optimalizaci rychlosti, Static Memory Controller nebo Quad-SPI Controller.

Blok IOP

IOP se skládá ze standardizovaných rozhraní vhodných pro průmyslovou komunikaci. Obsahuje nař. GPIO, Gigabit Ethernet, dva bloky USB Controller, dva bloky SD/SDIO Controller pro bootování SD karty, dva bloky SPI Controller, dva bloky CAN Controller, dva bloky UART Controller a dva bloky I2C Controller.

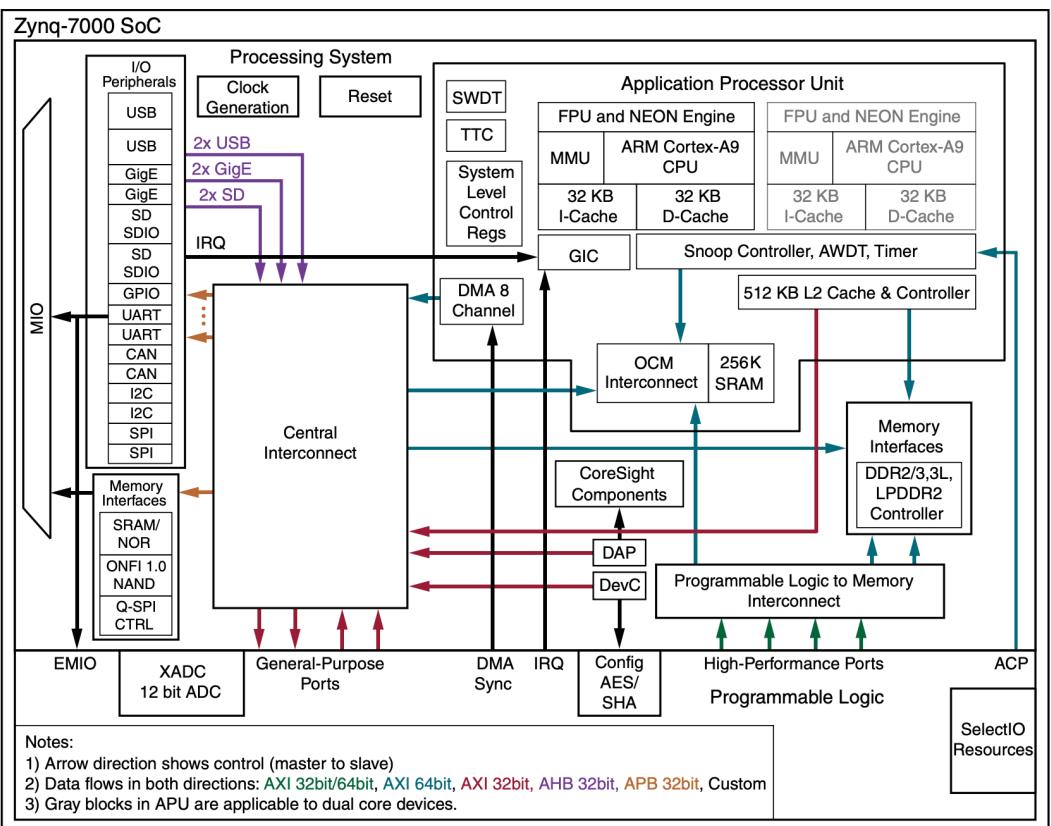
Blok Interconnect

Blok Interconnect, resp. na obr. 5 - 2 označený Central Interconnect slouží k propojení jednotlivých bloků SoC dle požadované technologie a rychlosti.

Blok PL

Blok PL reprezentuje logické programovatelné pole (FPGA), v němž jsou zakomponovány další podpůrné bloky jako např. blok zpracování digitálních signálů, řízení taktovacích hodin, analogově digitální převodník (ADC) apod.

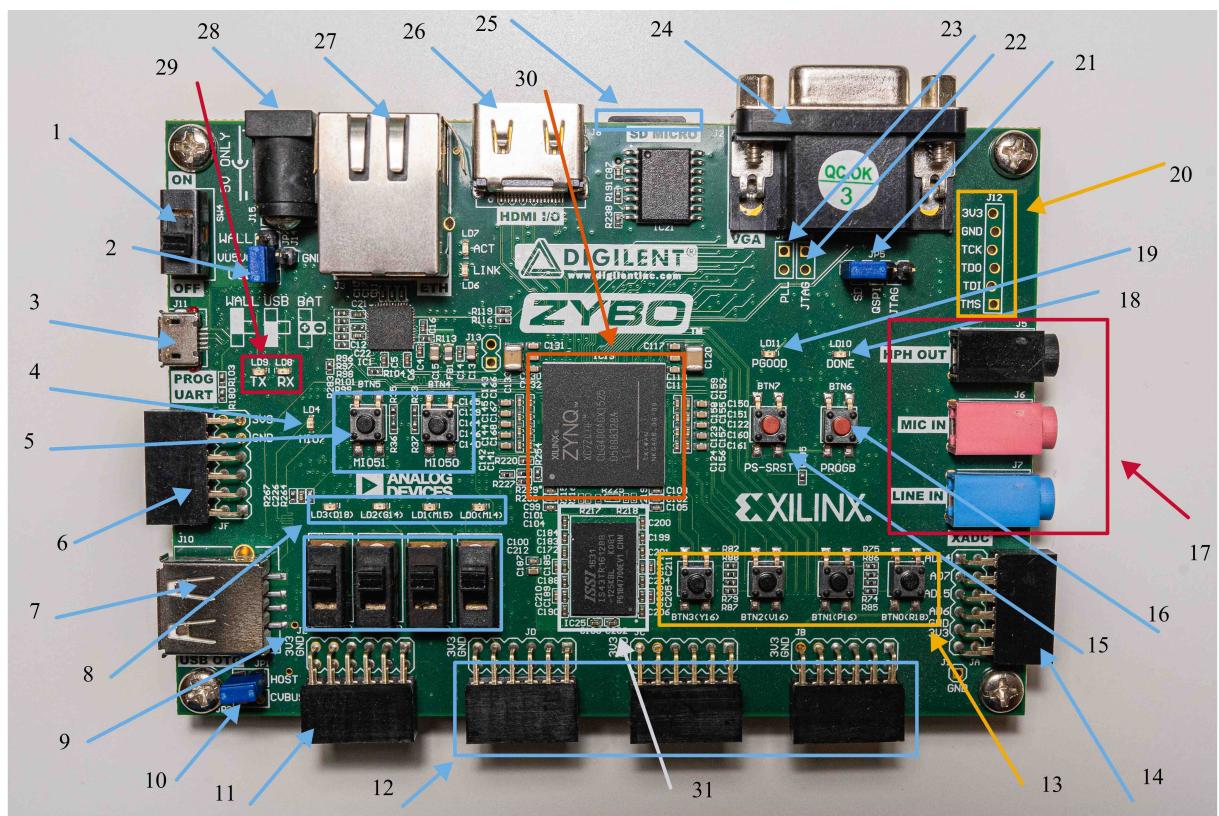
Detailní technické specifikace, složení a parametry jmenovaných bloků a jsou uvedeny v [23].



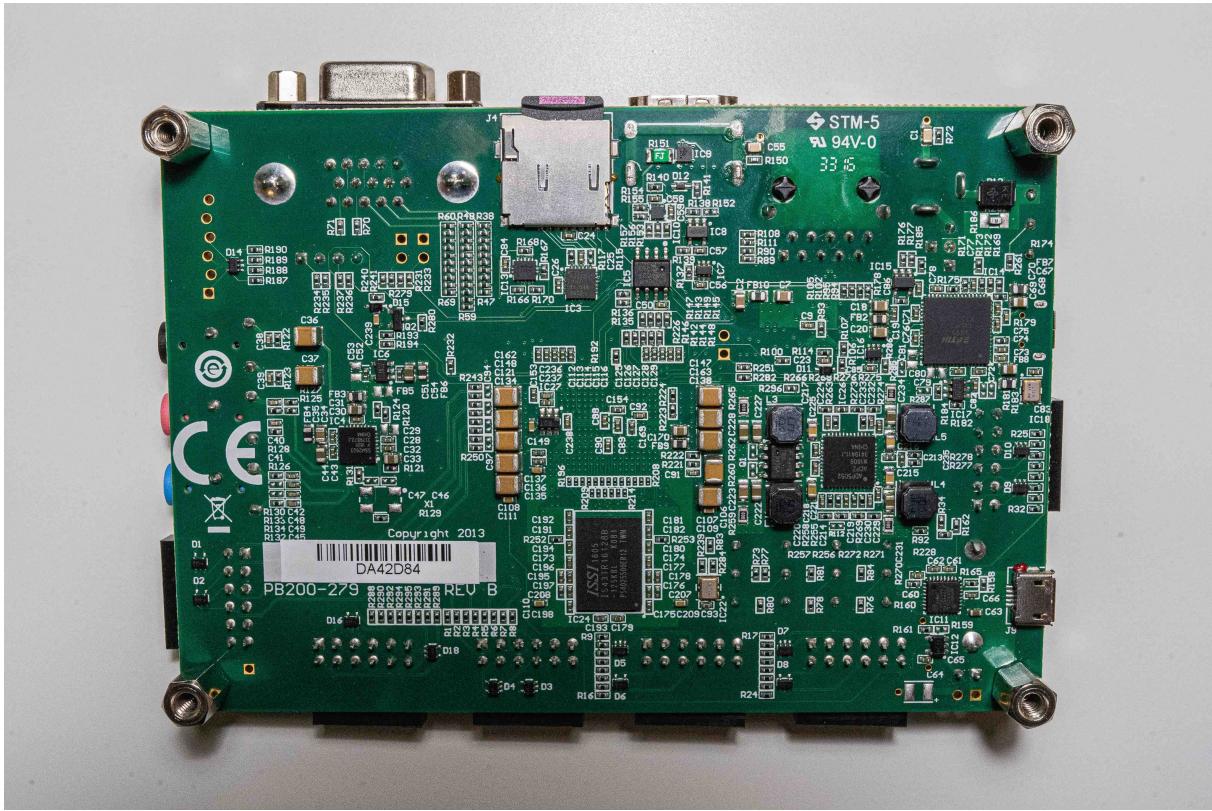
Obr. 5 - 2 Detailní schéma čipu Zynq-7000, umístěného na vývojové desce Digilent ZYBO Zynq-7000 ARM/FPGA SoC Trainer Board. (převzato z [23])

5.1.2 Uspořádání vývojové desky Zybo Zynq-7000

Na obr. 5 - 3 je zobrazen horní pohled na vývojovou desku, na které jsou vyznačeny významné části, kterým je vhodné věnovat pozornost. Číselné označení koresponduje s označením a vysvětlivkou v tabulce 5 - 1. Pro úplnost je spodní strana desky zobrazena na obr. 5 - 4.



Obr. 5 - 3 Vývojová deska Digilent ZYBO Zynq-7000 ARM/FPGA SoC Trainer Board vrchní pohled s vyznačením komponent.



Obr. 5 - 4 Vývojová deska Digilent ZYBO Zynq-7000 ARM/FPGA SoC Trainer Board – spodní pohled.

Tab. 5 - I Popis označených komponent na vývojové desce Digilent Zybo Zynq-7000. (informace a značení převzaty z [24])

označení	popis	poznámka
1	Power Switch	galvanické sepnutí napájecího obvodu
2	Power Select Jumper and Battery Header	výběr napájecího vstupu konektor, USB, baterie
3	Shared UART/JTAG USB port	komunikace UART a JTAG debugging
4	MIO LED	multiplexed LED – možnost výběru signálu
5	MIO Pushbuttons (2)	multiplexed input
6	MIO Pmod	možnost připojení periférií
7	USB OTG Connectors	USB port typ A/micro USB (spodní část)
8	Logic LEDs (4)	zobrazování 1/0
9	Logic Slide Switches (4)	logický vstup 1/0
10	USB OTG Host/Device Select Jumpers	výběr módů zařízení
11	Standard Pmod	chráněné Pmod, limitace max. přenosu informace
12	High-speed Pmods (3)	jako standard ale bez ochrany, vyšší rychlosť
13	Logic Pushbuttons (4)	logický vstup 1/0
14	XADC Pmod	možnost analog/digi input/output, spojeno s ADC v Zynq
15	Processor Reset Pushbutton	reset PL, paměti v PS
16	Logic Configuration reset Pushbutton	reset PL, zrušení DONE informace
17	Audio Codec Connectors	stereo line in, mono mikrofon, stereo output
18	Logic Configuration Done LED	signál o úspěšném dokončení konfigurace PL
19	Board Power Good LED	1/0, 1 – nominální napětí na všech sběrnících
20	JTAG Port for optional external cable	externí JTAG
21	Programming Mode Jumper	výběr „programovacího vstupu“, SD karta, QSPI, JTAG
22	Independent JTAG Mode Enable Jumper	JTAG mimo PS, viditelné pouze PL
23	PLL Bypass Jumper	přemostění PLL (CLK), pro možnost konfigurace PLL
24	VGA connector	připojení displaye
25	microSD connector	na spodní straně
26	HDMI Sink/Source Connector	input/output, nutné implementovat encoding a decoding v logice
27	Ethernet RJ45 Connector	komunikace
28	Power Jack	napájení 5 V/2,5 A
29	TX/RX LED	indikace UART komunikace
30	Xilinx Zynq SoC	srdce desky
31	DDR2 Memory	RAM

6 Vývojová deska Xilinx Kria KR260

Deska od firmy Digilent, představená v *Vývojová deska Digilent Zybo*, je vhodná pouze pro prvotní seznámení s vytvářením akcelerovaných aplikací. Pro náročnější aplikace, které při potřebují při využití většího množství LUTs nebylo v této práci možné Zybo použít. Vývojová deska Kria KR260 disponuje dostatečným množstvím LUTs a díky svým moderním komponentám a prvkům, může efektivně sloužit k vytváření náročnějších aplikací.

Hlavní částí vývojové desky KR260 je „modul“ *Kria K26 System-on-Module*. Tudíž oproti Digilent Zybo, které využívá SoC, deska KR260 využívá SoM. Přednosti jednotlivých architektur byly již představeny v části *System on a chip* a *System on modules*. Po ukončení vývoje aplikace na vývojové desce (a také po ukončení vytvářeného návrhu CC) je možné zakoupit pro aplikaci v průmyslu samotný modul ve vhodné variantě. V této práci je ovšem využíván standardní vývojový „Starter kit“ s deskou KR260, jejíž komponenty je vhodné představit.

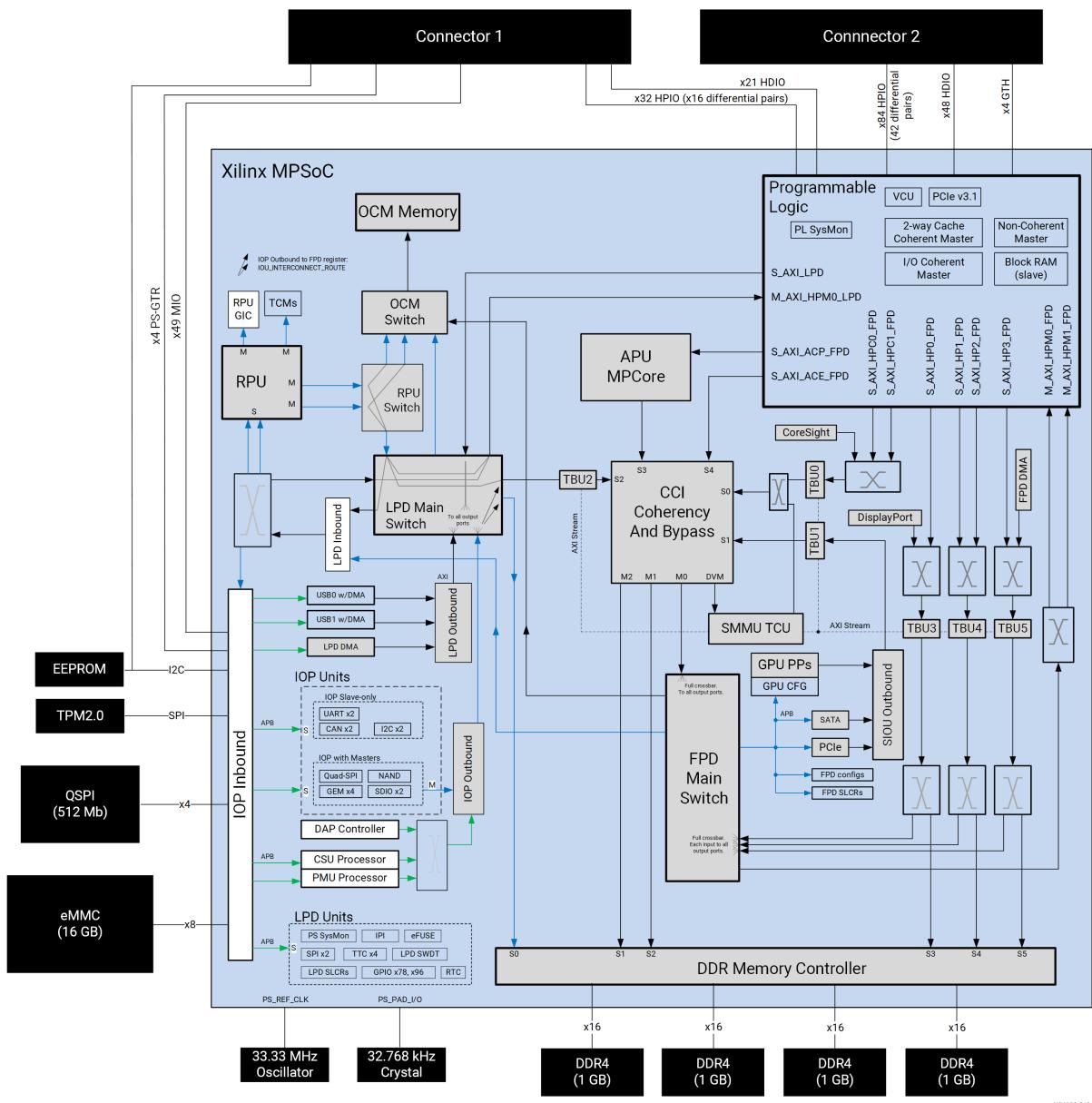


Obr. 6 - 1 Vývojová deska Xilinx Kria KR260 – boční pohled.

6.1 Základní přehled

6.1.1 CPU a FPGA čip

Strukturu SOM je možné popsat jako modernější a rozmanitější vylepšení SoC. Opět se vše struktury nachází hlavní základní bloky pro PS a PL. Ukázkový blokový diagram struktury udávané výrobcem je na obr. 6 - 2.



Obr. 6 - 2 Blokový diagram K26 SOM Kria. [5]

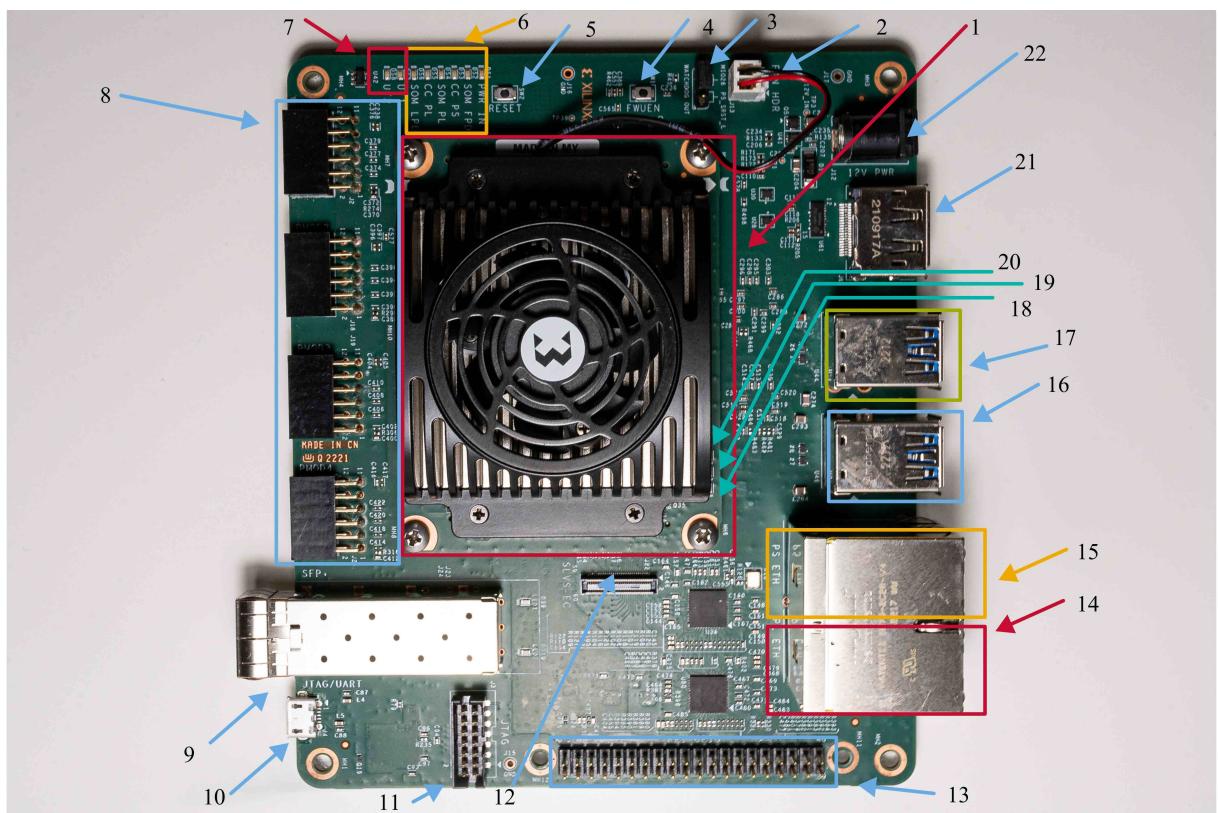
Největšími rozdíly mezi použitými deskami Zybo a Kria je např. velikost operační paměti, počet jader a taktovací frekvence procesorů v PS, počet LUTs nebo logických buněk v FPGA (PL). Úplné specifikace pro K26 SOM je možné nalézt v [5].

6.2 Uspořádání vývojové desky

Na obr. 6 - 3 je zobrazen horní pohled na vývojovou desku, na které jsou vyznačeny významné části, kterým je vhodné věnovat pozornost. Číselné označení koresponduje s označením a vysvětlivkou v tabulce 6 - 1. Na spodní straně desky je umístěn slot pro SD kartu, na kterou je umisťován operační systém pro PS. Pro úplnost je spodní strana desky zobrazena na obr. 6 - 4.

Tab. 6 - 1 Popis označených komponent na vývojové desce Xilinx Kria KR260. (informace a značení převzaty z [25])

označení	popis	poznámka
1	SOM modul na BB a Fansink	-
2	J13 Fan Power	napájení větráku chladiče
3	J1 watchdog	-
4	SW1 Firmware Update	-
5	SW2 Reset	-
6	DS1–DS6 Power Status LEDs	pokud vše ok, jsou zbarveny zeleně
7	DS7–DS8 (UF1 a UF2) Uživatelsky ovládané LED	-
8	J2, J18, J19, J20 Pmod konektory	-
9	J23 a J24 SFP+	optický konektor
10	J4 Micro USB	UART/JTAG
11	J3 PC4 JTAG	-
12	J22 SLVS-EC	konektor pro připojení kamery
13	DS36 Raspberry Pi HAT	-
14	J10A, J10B RJ-45 PL Ethernet	konektor připojen přes PL
15	J10C, J10D RJ-45 PS Ethernet	konektor připojen do PS
16	U46 USB3.0	-
17	U44 USB3.0	-
18	DS36 PS Status LED	-
19	DS35 HeartBeat LED	-
20	DS34 PS Done LED	-
21	J6 DisplayPort	-
22	J12 DC Jack	



Obr. 6 - 3 Vývojová deska Xilinx Kria KR260 vrchní pohled s vyznačením komponent.



Obr. 6 - 4 Vývojová deska Xilinx Kria KR260 – spodní pohled.

6.2.1 Dostupné K26 SOM

Moduly Kria K26 SOM jsou dostupné v několika variantách. V roce 2022 jsou dostupné varianty *Commercial* a *Industrial*. Nadřazeným parametrem dvou hlavních variant jsou varianty SOM s povoleným nebo zakázaným šifrováním. Varianty se odlišují označením Encryption Disabled (ED) a Encryption Enabled (-). Pokud je šifrování povoleno, je možné šifrovat konfigurační soubory a nebo ve vytvářených aplikacích využívat zabudované *crypto-accelerator* bloky. Encryption Enabled varianty jsou v některých zemích zakázané a proto je důležité při výběru zboží dbát pokynům prodejce.

Hlavní rozdíly *Commercial* a *Industrial* variant jsou uvedeny v tab. 6 - 2.

Tab. 6 - 2 Porovnání hlavních parametrů Kria K26 SOM Commercial a Industrial. (informace a značení převzaty z [26])

parametr	K26 Commercial SOM	K26 Industrial SOM
pracovní teplota	0–85 °C	-40–100 °C
záruka	2 roky	3 roky
předpokládaná doba životnosti produktu	5 let	10 let
dostupnost produktu	10 let	10 let

Vývojová deska Xilinx Kria KR260 disponuje dle informací výrobce SOM, který není určen pro nasazení do aplikací (non-production) v teplotní třídě *Commercial*. [5]

7 Porovnání představených SoC/SoM platforem pro řízení elektrických pohonů

V předchozích kapitolách byly představeny dvě smysluplné, komerčně dostupné platformy, které je možné využít pro různorodé aplikace. Výběr byl zaměřen na SoC a SoM umístěných na vývojových deskách, které je možné využít pro vývoj požadované aplikace. Často po vývoji aplikace následuje uvědomení, jakými periferiemi a vlastnostmi by měla architektura řídící soustavy disponovat. Poté je možné pro velko produkci dané aplikace začít vyvíjet vlastní integraci čipu/modulu na Printed Circuit Board (PCB).

7.1 Konektivita

Aby bylo možné komunikovat s řízeným zařízením, tudíž vysílat řídící signály a získávat informace o jeho stavu, je při hodnocení důležitým faktorem možnost připojení.

Obě představené platformy disponují minimálně čtyřmi PMOD konektory s 12 piny (2x U+, 2x GND, 8x I/O), pomocí kterých je možné připojit senzory, převodníky nebo naopak ovládat např. drivery spínacích polovodičových prvků či výkonových polovodičových můstků. PMOD konektorů využívá mnoho komerčně dostupných prvků jako jsou senzory, H můstky nebo také ADC/DAC převodníky.

Dalším důležitým faktorem je připojení Ethernet. Obě desky disponují alespoň jedním konektorem. Xilinx Kria KR260 obsahuje 4 konektory, přičemž dva jsou připojeny přímo do PS a dva do PL. Digilent Zybo disponuje pouze jedním konektorem.

Pro připojení periferií nebo externích datových úložišť je možné využít konektor USB. Protože Digilent Zybo Z7 je staršího data vydání, disponuje pouze USB 2.0, zatímco Xilinx Kria KR260 disponuje připojením pomocí USB 3.0.

Pro připojení externího displeje je možné u Zybo využít D-SUB (VGA) konektor. U Kria KR260 novější Display Port.

Digilent Zybo poté disponuje konektory pro výstup reproduktorů či vstup mikrofonu. Deska KR260 těmito konektory nedisponuje.

Značným přínosem pro konektivitu Kria KR260 je Raspberry Pi hardware attached on top (HATs) konektor, jež umožňuje připojení rozšiřovacích desek, určených pro Raspberry Pi.

Protože je K26 SOM zaměřen také na AI je možnost připojit k desce kamery pomocí konektoru SLVS-EC.

Posledním významným konektorem na CC Xilinx Kria je SPF konektor pro připojení optických vláken.

7.2 PS a PL

Protože je porovnávaná deska Digilent Zybo a Xilinx Kria KR260 různého data vydání a také na jejich pořízení je třeba rozdílných finančních prostředků, odpovídají zdroje pro PS a PL daným cenám.

Jak již bylo zmíněno v sekci *Vývojová deska Digilent Zybo*, obsahuje PS použité vývojové deska Digilent Zybo Zynq-7000 dvoujádrový procesor Cortex-A9 s taktovací frekvencí 650 MHz. Oproti tomu novější PS desky s Kria K26 SOM obsahuje čtyřjádrový procesor Cortex®-A53 MPCore™ s taktovací frekvencí až 1,5 GHz. SOM je také doplněn dvoujádrovým real-time dvoujádrovým procesorem Arm Cortex-R5F MPCore s taktovací frekvencí až 600 MHz. [24], [5]

Dalším důležitým faktorem jsou zdroje pro PL. Digilent Zybo disponuje pouze 17 600 LUTs. Oproti tomu K26 SOM obsahuje 117 120 LUTs. Novější verze Digilent Zybo desek obsahují novější verze Zynq

čipu, který nabízí také 17 600 LUTs (Zybo Z7-10) nebo 53 200 LUTs (Zybo Z7-20). [24], [5]

Počet LUTs v této práci má značný vliv na možný rozsah vytvářené aplikace, která je počtem zdrojů (LUTs, Flip-Flops, Block RAM atd.) velmi ovlivněna.

Vlivem omezených zdrojů při realizaci této práce bylo možné i přes optimalizaci C++ kódu (pro do-držení load-compute-store modelu programování [27]) akcelerované aplikace (kernel) pro FPGA možné umístit do PL v Digilent Zybo Z7 pouze matematický I-n model asynchronního motoru, jehož výsledkem byl transformační úhel, složky magnetického toku rotoru $\psi_2^{\alpha\beta}$ a velikost magnetického toku rotoru $|\psi_2|$. Oproti tomu při využití Kria K26 SOM je možné využít PL pro výpočet I-n modelu stroje, zjednodušeného modelu asynchronního motoru i regulačního zásahu.

7.3 Developer Experience

V moderní době, kdy je kladen značný důraz na rychlosť vývoje aplikace, je důležitým hodnotícím faktorem developer experience. Tudíž jak je systém konfigurace a vytváření aplikací přívětivý pro vývojáře. V době vydání Digilent Zybo Z7 byl používán postup vytvoření operačního systému Petalinux již s pevně daným Device Tree (DT), který byl možné měnit pomocí celkové rekonfigurace a následného opakování celého procesu tvorby systému a aplikace. To přinášelo značné časové prodlevy při ladění aplikace a vytvářeného PL hardware.

Při použití Xilinx Kria K26 SOM je možné při tvorbě systému definovat kostru DT pro PL část, kterou je poté možné do značného rozsahu upravovat pomocí Device Tree Overlay (DTO). Pomocí DTO je možné rekonfigurovat IP vytvářené v PL. Změnou v DTO je možné ovlivňovat funkčnost některých IP v PL při chodu operačního systému Petalinux. Ovšem tyto úpravy mají určitá omezení a je vhodné Device Tree vhodně nakonfigurovat již při vytváření operačního systému Petalinux.

Více informací o chování a tvorbě DT.DTO, zjištěných při realizaci této práce, je uvedeno v části *Petalinux*.

Digilent pro své výrobky vytvořil „board files“ a „constrains files“, které umožňují snazší konfiguraci PS a PL v prostředí Vivado. Značným přínosem jsou „constrains files“, které umožňují snazší a rychlejší mapování fyzických pinů vývojové desky k portům, pinům a rozhraní, vytvářených ve Vivado. Pro vývojovou desku Xilinx Kria KR260 jsou v repozitáři Vivado již „board files“ zakomponovány. Ovšem oficiální „constrains files“ nejsou od výrobce k dispozici. Pro mapování pinů je nutné si vyžádat dokumentaci, pomocí které je možné odvodit požadované mapování a „constrains files“ vytvořit. Potřebná dokumentace pro odvození mapování je v souborech [28] a [29].

7.4 Aplikace a operační systém

Aplikace pro Digilent Zybo je možné převážně vytvářet jako *Bare Metal / Standalone* nebo pro operační systém *Petalinux*. Pro Xilinx Kria je možné využít *Bare Metal / Standalone*, *PetaLinux* a také distribuci operačního systému Linux *Ubuntu*. Protože obě využívané vývojové desky využívají čipu od firmy Xilinx, Inc., je podpora dostupná pro oba čipy relativně srovnatelná. Výrobce na stránkách Wiki podpory zmiňuje, že poskytuje podporu převážně ve formě veřejného fóra na adrese support.xilinx.com. Podpora bude dostupná pro dvě poslední major verze softwarových nástrojů, které jsou součástí *PetaLinux* a *Xilinx SDK*. [30]

Protože je rodina Kria SOMs modernější než Digilent Zybo, výrobce vytvořil ukázkové akcelerované aplikace, které je možné při využívání operačního systému *Ubuntu* přímo stáhnout z Kria App Store. [31] Oba čipy podporují PREEMPT_RT Linux Patch. K tomuto patchi ovšem Xilinx, Inc. neposkytuje

žádnou oficiální podporu a je nutné získávat informace přímo od autorů projektu na Wiki stránce [32] nebo z omezené podpory pomocí fóra. Více informací o postupu realizace patche *PetaLinux* je v sekci *RealTime Linux Patch*.

8 Model stroje

Jak již bylo představeno v předchozích částech textu, akcelerované aplikace v FPGA je možné použít na různé účely. Součástí této práce je realizace akcelerovaného výpočtu matematického modelu stroje. V této práci bude k demonstraci funkčnosti využito matematického modelu asynchronního motoru. Asynchronní motor bude modelován pro řízení pomocí I - n modelu a pro simulační účely pomocí zjednodušeného modelu, zanedbávající některé jevy.

Pokud FPGA obsahuje dostatečné množství zdrojů, je možné realizovat akcelerovaný výpočet „kompletního“ matematického modelu, ve kterém např. dochází k simulovanému generování vstupního napětí, jehož popis pomocí rovnic je představen v části *Matematický popis „kompletního“ modelu stroje*. V části *PL a PS* je uvedeno, že vlivem omezených zdrojů je možné realizovat v Digilent Zybo Z7 pouze I - n model stroje. Ostatní výpočty je nutné realizovat v PS. V Xilinx Kria K26 je díky většímu množství zdrojů možné realizovat větší část modelu v PL a pomocí PS řešit pouze konfiguraci, řízení procesu akvizice dat apod.

8.1 Představení stroje

8.2 Matematický popis „kompletního“ modelu stroje

Tab. 8 - 2 Změřené parametry stroje.

Tab. 8 - 1 Štítkové údaje stroje.

P_n	12 kW
U_n	380 V
I_n	22 A
n_n	1460 min^{-1}
f_n	50 Hz
$\cos(\varphi_n)$	0.8
p_p	2

R_1	370 mΩ
R_2	225 mΩ
$L_{1\sigma}$	2,27 mH
$L_{2\sigma}$	2,27 mH
L_m	82,5 mH
L_1	84,77 mH
L_2	84,77 mH
J	0,4 kg·m ²

Kde P_n (W) je jmenovitý výkon stroje, I_n (A) je jmenovitý fázový proud stroje (efektivní hodnota), U_n (V) je jmenovité sdružené napájecí napětí stroje, f_n (Hz) je jmenovitá napájecí frekvence stroje, $\cos(\varphi_n)$ (-) je jmenovitý účinník stroje, n_n (min^{-1}) jsou jmenovité otáčky stroje, p_p (-) je počet polpáru stroje, R_1 (Ω), resp. R_2 (Ω) je statorový, resp. rotorový odpor, $L_{1\sigma}$ (H), resp. $L_{2\sigma}$ (H) je statorová, resp. rotorová rozptylová indukčnost stroje, L_m (H) je magnetizační indukčnost stroje, L_1 (H), resp. L_2 (H) je statorová, resp. rotorová indukčnost, J ($\text{kg} \cdot \text{m}^2$) je moment setrvačnosti hřídele.

V případě tvorby modelu, je využit model založen na výpočtu složek vektorů statorového proudu i_1 a rotorového toku ψ_2 v souřadnicovém systému $\alpha\beta$ spojeném se statorem. Tudíž při použití $\omega_k = 0$. Bude volena konstanta $K = 2/3$. Poté bude stavový popis systému vypadat následovně.

$$\frac{d}{dt} \begin{bmatrix} i_{1\alpha} \\ i_{1\beta} \\ \psi_{2\alpha} \\ \psi_{2\beta} \end{bmatrix} = \begin{bmatrix} -\frac{R_2 L_m^2 + L_2^2 R_1}{\sigma L_1 L_2^2} & 0 & \frac{L_m R_2}{\sigma L_1 L_2^2} & \frac{L_m}{\sigma L_1 L_2} \omega \\ 0 & -\frac{R_2 L_m^2 + L_2^2 R_1}{\sigma L_1 L_2^2} & -\frac{L_m}{\sigma L_1 L_2} \omega & \frac{L_m R_2}{\sigma L_1 L_2^2} \\ \frac{L_m R_2}{L_2} & 0 & -\frac{R_2}{L_2} & -\omega \\ 0 & \frac{L_m R_2}{L_2} & \omega & -\frac{R_2}{L_2} \end{bmatrix} \begin{bmatrix} i_{1\alpha} \\ i_{1\beta} \\ \psi_{2\alpha} \\ \psi_{2\beta} \end{bmatrix} + \begin{bmatrix} \frac{1}{\sigma L_1} & 0 \\ 0 & \frac{1}{\sigma L_1} \\ 0 & 0 \\ 0 & 0 \end{bmatrix} \begin{bmatrix} u_{1\alpha} \\ u_{1\beta} \end{bmatrix}. \quad (8-1)$$

Stavový popis je vhodné doplnit o další rovnice, jež budou v simulaci využity.

$$M = \frac{3}{2} p_p \frac{L_m}{L_2} (\psi_{2\alpha} i_{1\beta} - \psi_{2\beta} i_{1\alpha}), \quad (8-2)$$

$$M - M_z = J \frac{d\Omega}{dt}, \quad (8-3)$$

$$\omega = p_p \Omega, \quad (8-4)$$

kde $\sigma = 1 - L_m^2/(L_1 L_2)$ (-) je tzv. rozptyl, $i_{1\alpha}$ (A) a $i_{1\beta}$ (A) jsou složky vektoru statorového proudu \underline{i}_1 (A), $\psi_{2\alpha}$ (Wb) a $\psi_{2\beta}$ (Wb) jsou složky vektoru rotorového magnetického toku $\underline{\psi}_2$ (Wb), $u_{1\alpha}$ (V) a $u_{1\beta}$ (V) jsou složky statorového napětí \underline{u}_1 (V), p_p (-) je počet polpárů stroje, ω (s^{-1}) je elektrická úhlová rychlosť hřídele, Ω (s^{-1}) je mechanická úhlová rychlosť hřídele, M je vnitřní elektromechanický moment stroje a M_z (Nm) je moment zátěžný.

8.3 I-n model asynchronního motoru

Jak již bylo v předcházejících částech zmíněno, pokud není k dispozici dostatečný počet LUTs pro výpočet kompletního matematického modelu, je možné využít PL na výpočet např. proudově-otáčkového, resp. *I-n* modelu a regulační procesy realizovat v PS.

Popis *I-n* modelu vychází ze základních rovnic, popisující asynchronní motor, uvedených např. v [33] (rovnice jsou upraveny a přeznačeny dle moderních konvencí ale význam zůstává zachován). V teorii prostorových vektorů je možné tedy psát soustavu rovnic

$$\underline{u}_1^k = R_1 \underline{i}_1^k + \frac{d\underline{\psi}_1^k}{dt} + j\omega_k \underline{\psi}_1^k, \quad (8-5)$$

$$\underline{u}_2^k = R_2 \underline{i}_2^k + \frac{d\underline{\psi}_2^k}{dt} + j(\omega_k - \omega) \underline{\psi}_2^k, \quad (8-6)$$

$$\underline{\psi}_1^k = L_1 \underline{i}_1^k + L_m \underline{i}_2^k, \quad (8-7)$$

$$\underline{\psi}_2^k = L_2 \underline{i}_2^k + L_m \underline{i}_1^k, \quad (8-8)$$

kde \underline{u}_1^k (V) je prostorový vektor statorového napětí, \underline{u}_2^k (V) je prostorový vektor rotorového napětí, \underline{i}_1^k (A) je prostorový vektor statorového proudu, \underline{i}_2^k (A) je prostorový vektor rotorového proudu, $\underline{\psi}_1^k$ (Wb) je prostorový vektor magnetického toku statoru, $\underline{\psi}_2^k$ (Wb) je prostorový vektor magnetického toku rotoru, ω (s^{-1}) je úhlová rychlosť otáčení rotoru, ω_k (s^{-1}) je úhlová rychlosť otáčení použitého souřadnicového systému, R_1 (Ω), resp. R_2 (Ω) je rezistivita statorového, resp. rotorového vinutí, L_1 (H), resp. L_2 (H) je statorová, resp. rotorová indukčnost a L_m (H) je hlavní magnetizační indukčnost.

I-n model vychází z předpokladu, že otáčivá úhlová rychlosť souřadnicového systému $\omega_k = 0$ a tudíž model bude odvozován v souřadnicovém systému spojeným se statorem (souřadnicový systém $\alpha\beta$). Po vzdelení daného souřadnicového systému pro soustavu rovnic platí

$$\underline{u_1^{\alpha\beta}} = R_1 \underline{i_1^{\alpha\beta}} + \frac{d\underline{\psi_1^{\alpha\beta}}}{dt}, \quad (8 - 9)$$

$$\underline{u_2^{\alpha\beta}} = R_2 \underline{i_2^{\alpha\beta}} + \frac{d\underline{\psi_2^{\alpha\beta}}}{dt} - j\omega \underline{\psi_2^{\alpha\beta}}, \quad (8 - 10)$$

$$\underline{\psi_1^{\alpha\beta}} = L_1 \underline{i_1^{\alpha\beta}} + L_m \underline{i_2^{\alpha\beta}}, \quad (8 - 11)$$

$$\underline{\psi_2^{\alpha\beta}} = L_2 \underline{i_2^{\alpha\beta}} + L_m \underline{i_1^{\alpha\beta}}. \quad (8 - 12)$$

V případě řízení asynchronního motoru s kotvou nakrátka orientovaného na rotorový tok je dále z rovnice 8 - 12 vyjádřen prostorový vektor $\underline{i_2^{\alpha\beta}}$, který je dále dosazen do upravené rovnice 8 - 10, u které je přepokládáno, že $\underline{u_2^{\alpha\beta}} = 0$. Výsledná diferenciální rovnice pro prostorový vektor rotorového magnetického toku je

$$\frac{d\underline{\psi_2^{\alpha\beta}}}{dt} = \frac{R_2}{L_2} L_m \underline{i_1^{\alpha\beta}} + j\omega \underline{\psi_2^{\alpha\beta}} - \frac{R_2}{L_2} \underline{\psi_2^{\alpha\beta}}. \quad (8 - 13)$$

Rozepsáním představené diferenciální rovnice do reálné a imaginární složky vznikne soustava diferenciálních rovnic, kterou je třeba řešit.

$$\begin{aligned} \frac{d\underline{\psi_{2\alpha}}}{dt} &= \frac{L_m R_2}{L_2} \underline{i_{1\alpha}} - \frac{R_2}{L_2} \underline{\psi_{2\alpha}} - \omega \underline{\psi_{2\beta}}, \\ \frac{d\underline{\psi_{2\beta}}}{dt} &= \frac{L_m R_2}{L_2} \underline{i_{1\beta}} - \frac{R_2}{L_2} \underline{\psi_{2\beta}} + \omega \underline{\psi_{2\alpha}}. \end{aligned} \quad (8 - 14)$$

9 Použité nástroje pro vývoj aplikace pro PS a PL

V této části jsou představeny jednotlivé nástroje, využívané při tvorbě programu pro PS a akcelerované aplikace (kernelu) realizované na PL. Je důležité zmínit, že na v PS je skutečně spouštěn zkompilovaný program vytvářený pomocí jazyka C, C++ nebo Python. Na PL je ovšem vytvořen HW, který reprezentuje myšlené algoritmy aplikace. Tento HW je popisován pomocí nízkoúrovňových jazyků, do kterých je algoritmus převeden v HLS z jazyka C. Není tudíž korektně správné mluvit o tom, že se vytváří program pro FPGA. Z toho důvodu bude v této práci používáno označení pro vytváření HW na PL *vytváření kernelu* (creation of the kernel). Označení *kernel* je myšleno v odlišném významu než je využíváno v části *RealTime Linux Patch*.

Tvorba akcelerované aplikace může být obecně prováděna více způsoby. Tento způsob závisí na použitém vývojovém nástroji pro daný HW. V této práci je využíváno SOM od firmy Xilinx, proto je výhodné využívat již připravené nástroje, které umožní snazší vývoj SW, tvorbu HW a přípravu systému na SOM.

Veškerý používaný SW v této práci od firmy Xilinx je po registraci volně dostupný ke stažení na [34].

9.1 Xilinx Vivado

Xilinx Vivado je nástroj, používaný pro tvorbu HW architektury, resp. platformy, pro kterou bude v další části postupu možné vytvořit akcelerovanou aplikaci. Ve Vivado je možné tvořit HW návrh, převeditelný do HDL, který bude spustitelný v PL bez použití Vitis HLS. Pro vývojáře HW pro FPGA může sloužit i jako jediný vývojářský nástroj.

Se znalostí VHDL je možné ve Vivado vytvářet požadované HW konstrukce, ovšem tvorba těchto konstrukcí ve Vivado je relativně náročnou záležitostí není předmětem této práce, ale je nevyhnutelnou součástí výzkumu využití těchto platform pro řízení elektrických pohonů.

Xilinx Vivado je součástí instalovačního balíčku *Xilinx Unified Installer*, dostupného z [34]. Součástí balíčku verze 2022.2 SFD je také nástroj *Xilinx Vitis*. Je doporučeno instalovat oba tyto programy a vyvarovat se oddělené instalace, jež může přinášet problémy se vzájemnou i zpětnou kompatibilitou jednotlivých nástrojů.

9.2 Xilinx Vitis

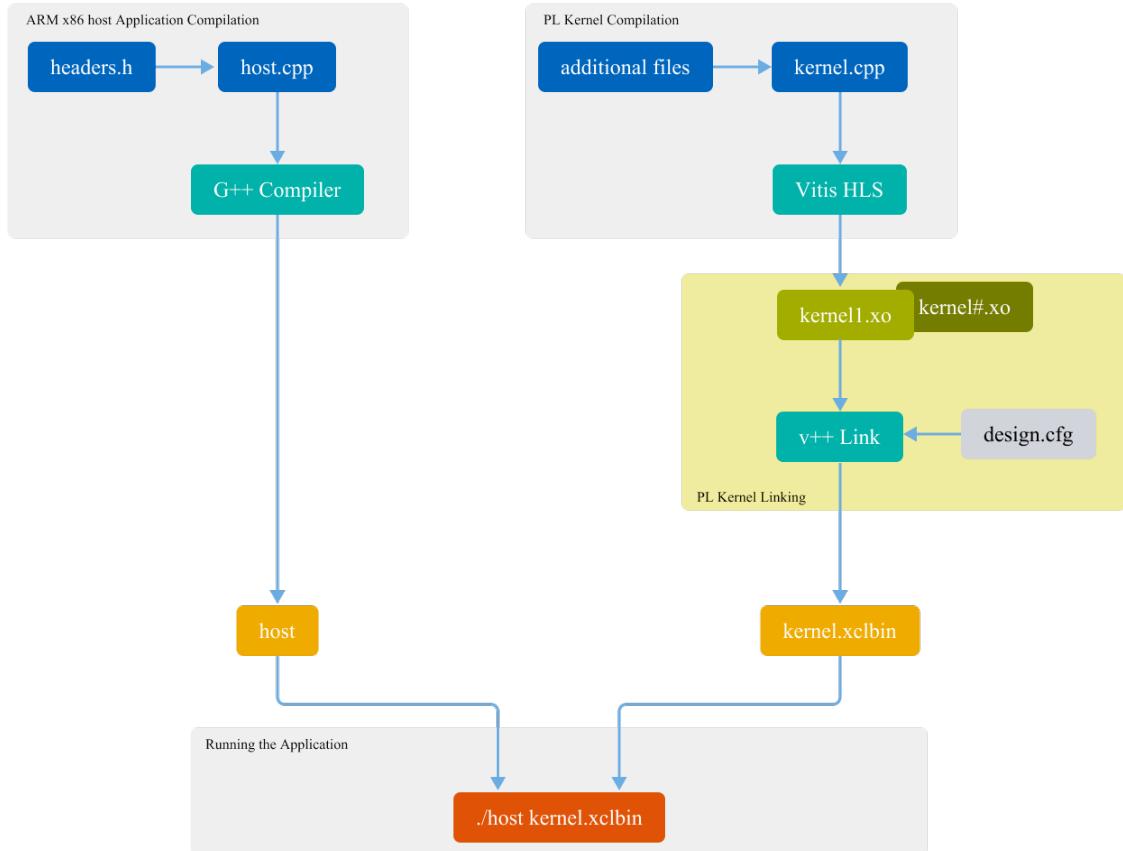
Xilinx Vitis je nástroj, který slouží k vytváření akcelerovaných aplikací na zařízení firmy Xilinx. Tento nástroj obsahuje základní vrstvu s názvem Xilinx Vitis HLS, která slouží jako jádro převodu vytvářených aplikací v C, C++, OpenCL do RTL. V programu Xilinx Vitis bude vytvářena největší část aplikace, proto je vhodné nastínit postup, jakým Vitis pracuje.

Nejprve je vytvořen tzv. „host program“ bežící na PS, který je vyvíjen v C/C++ jazyku (popř. Python), používající Xilinx Runtime (XRT) Application Programming Interface (API). Tento program je následně komplikován pomocí g++ kompilátoru, který vytvoří spustitelný soubor pro procesor. Tento host program komunikuje s akcelerovanou částí aplikace (kernel), umístěným v PL v FPGA. Blok *ARM x86 host Application Compilation* naznačuje, jakým způsobem je vytvářena aplikace pro host procesor. [27]

Poté Vitis HLS compiler přeloží C/C++ zdrojový kód pro kernel do register transfer level (RTL) (úrovně registrů). Produkty této komplikace mají příponu „.xo“ (Xilinx Object) a mohou být spojovány do binárního souboru s příponou „.xclbin“ pomocí Vitis linkeru. Souborem *kernel.xclbin* je poté možné nakonfigurovat PL.[27]

Na obr. 9 - 1 je blokově znázorněn postup tvorby spustitelné aplikace v programu Vitis. Tento diagram předpokládá, že již byla vytvořena HW platforma ve Vivado a PetaLinux systém.

Produkty větve programu pro PS a konfigurace pro PL je po jejich dokončení možné použít v daném heterogenním systému. Host program zařídí nakonfigurování PL pomocí souboru *kernel.xclbin* a následné zpracování výsledků. Blok s názvem *Running the Application* je kompletně vykonáván v prostředí PetaLinux v simulátoru (QEMU) nebo na fyzickém zařízení (vývojová deska).



Obr. 9 - 1 Blokový diagram tvorby spustitelné aplikace v prostředí Vitis. (převzato z [27], upraveno)

9.3 PetaLinux Tools

PetaLinux Tools je nástroj, který slouží k vytvoření systému PetaLinux, který bude spuštěn na PS v daném SOM nebo SoC. Z tohoto systému je poté možné spuštět navazující programy host a kernel.

PetaLinux poskytuje distribuci systému Linux, který uživatel před tvorbou aplikace pomocí Xilinx Vitis využívá k tomu, aby vytvořil operační systém, na kterém bude možné spuštět dané akcelerované aplikace. Tento systém je možné nakonfigurovat dle požadavků aplikace. Při tvoření tohoto systému je možné konfigurovat jádro systému (kernel), balíčky, které budou do systému nainstalovány, vytvořit uživatele systému nebo vybrat, kde v paměti bude systém umístěn (RAM, SD karta apod.). [35]

PetaLinux Tools mohou sloužit k debuggingu a virtualizaci systému pomocí QEMU. V případě tvorby systému, který je konfigurovaný uživatelem, je třeba postupovat obezřetně a dodržovat nastavené postupy konfigurace, protože v případě chyby je nutné překonfigurovat chybnou část nebo někdy kompletní build. Tvorba PetaLinux systému je časově náročný postup, u něhož je problematický debugging.

Pro funkční instalaci PetaLinux Tools je nutné disponovat nainstalovanými správnými verzemi systémových a aplikačních balíků, které jsou nutnou prerekvizitou tvorby PetaLinux pro PS. Požadavky na balíky je možné nalézt při nahlédnutí do dokumentace [36] (UG1144) dané instalované verze PetaLinux

Tools. V sekci *Installation Requirements* se nachází odkaz označený *PetaLinux <version> Release Notes*, který ve spodní čásit obsahuje stáhnutelný soubor *<version>_PetaLinux_Package_List.xlsx*, který obsahuje požadované balíky a jejich verze. Bez použití podporovaných balíků by nepracoval nástroj PetaLinux Tools správně.

9.4 RealTime Linux Patch

Protože operační systém Linux nebyl původně vytvářen pro využití v embedded systémech, ale v obecných zařízeních jako jsou servery a stolní počítače, nebyl tento systém vhodný pro řešení úloh v reálném čase. Proto se objevila snaha upravit tento systém takovým způsobem, aby jej bylo možné využívat v real time systémech.

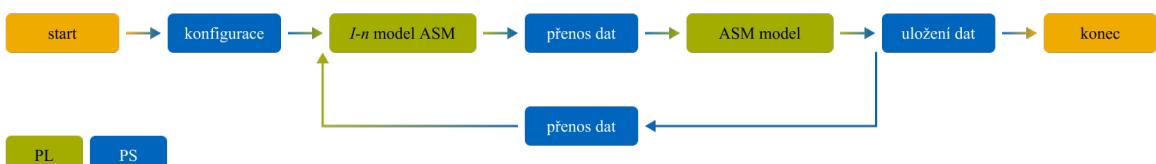
Real time systémy je obvykle možné rozdělit do jednotlivých úrovní podle časových požadavků systému v reálném čase na:

- **Soft Real Time** – aplikace, ve které je hlavním parametrem kvalita výsledků, pokud v některých případech nedojde k dodržení časových omezení jednotlivých úkonů, nemá tato chyba vliv na zdraví člověka nebo stav majetku,
- **Firm Real Time** – pokud v aplikaci nedojde k dodržení časových omezení výpočtu, je výsledek daného výpočtu považován za neplatný a nelze jej použít,
- **Hard Real Time** – v aplikaci je zakázáno nedodržení časových omezení, kdyby došlo k překročení pevně daných časových rámců, může vzniklá situace vést k ohrožení lidských životů nebo stavu majetku.

V [37] jsou představeny původní přístupy, kdy pro dodržení časových omezení a tzv. „*preemptibility*“ (přerušitelnosti vykonávaného vlákna) byl využit *cokernel*.

Moderní způsob spočívá v aplikování Linux patch pro danou verzi kernelu (pojmeme kernel v tomto případě není myšlena akcelerovaná aplikace, ale jádro operačního systému Linux), kdy není přidávaná do systému další vrstva jádra, ale původní jádro je upravováno. Úpravy spočívají ve změně některých přístupů funkčnosti jádra a přerušení. Tento patch se obecně nazývá *PREEMPT_RT* a o začlenění jeho principů do mainline kernelu je dlouhodobě usilováno. [37]

Popis state-of-art *PREEMPT_RT* je popsán v [37]. V této práci je patch využit pro získání co největší přerušitelnosti jádra, tudíž aby byl kernel *FULLY PREEMPTIBLE*. Pokud by tomu tak nebylo, nebyly by výsledky simulací matematických modelů při použití PL a PS konzistentní. Pokud je využívána architektura simulace, naznačená na obr. 9 - 2, dojde při opakovaném spuštění aplikace s vysokou pravděpodobností k získání znehodnocených výsledků, které není možné použít. Při spuštění aplikace se tento problém projeví nevalidními výsledky, které neodpovídají žádnému ze zadaných parametrů. Po opakování spuštění aplikace je možné získat validní výsledky, ovšem četnost, kdy dochází k získání nevalidních výsledků, je značně vysoká.



Obr. 9 - 2 Graf prováděné simulace při testování *PREEMPT_RT* Linux Patch.

9.4.1 Postup aplikace PREEMPT_RT patch

Patch je možné aplikovat několika způsoby. V této práci byl aplikován při fázi tvoření PetaLinux systému pomocí úpravy konfiguračních souborů build procesu.

Pro bezproblémové aplikování patche je vhodné nejdříve vytvořit *build* PetaLinux systému bez aplikovanání patch souboru s minimální konfigurací a po úspěšném vytvoření systému patch aplikovat a build proces opakovat. Pro funkční aplikaci patch souboru je nutné znát verzi jádra PetaLinux, na který bude aplikován. Označení verze je možné získat z **Makefile** souboru umístěného v cestě naznačené v kódu 9 - 1, kde <petalinux-project> je označení pro kořenový (root) adresář PetaLinux projektu, který je tvořen.

```
1 <petalinux-project>/build/tmp/work-shared/xilinx-k26-kr/kernel-source/
  Makefile
```

Kód 9 - 1 Cesta Makefile souboru, ze kterého je možné získat označení verze jádra systému PetaLinux.

Protože je zmiňovaný **Makefile** soubor rozměrný a pro určení verze kernelu je signifikantní pouze jeho úvodní část, je v kódu č. 9 - 2 vynechána podstatná část souboru, která není pro aplikování patche podstatná.

```
1 # SPDX-License-Identifier: GPL-2.0
2 VERSION = 5
3 PATCHLEVEL = 15
4 SUBLEVEL = 36
5 EXTRAVERSION =
6 NAME = Trick or Treat
7 ...
```

Kód 9 - 2 Významná část Makefile souboru pro určení verze jádra PetaLinux.

Z kódu 9 - 2 je možné vyčíst, že je třeba využít patch pro verzi 5.15.36. Pokud není možné informaci ohledně verze jádra linuxu dohledat, je možné vytvořit PetaLinux obvyklým způsobem, vytvořit obraz systému, ten nahrát na SD kartu, provést spuštění systému na vývojové desce a po úspěšném přihlášení do systému vyvolat příkaz **uname -a** a dle uvedených informací odvordin verzi jádra.

Poté je z adresy <https://cdn.kernel.org/pub/linux/kernel/projects/rt/> možné stáhnout patch pro zjištěnou verzi jádra. V této práci byl využit patch pro Petalinux 2022.2 umístěný v cestě 5.15/older/patch-5.15.36-rt41.patch.gz.

Dalším krokem je extrahovaný soubor **patch-5.15.36-rt41.patch** přenést do složky <petalinux-project>/project-spec/meta-user/recipes-kernel/linux/linux-xlnx/. Build proces musí následně mít informaci o umístění daného souboru, proto je vyžadováno aby do souboru <petalinux-project>/project-spec/meta-user/recipes-kernel/linux/linux-xlnx_% .bbappend zapsat na poslední řádek příkaz **SRC_URI:append = "file://patch-5.15.36-rt41.patch"**, kde **patch-5.15.36-rt41.patch** je název patch souboru. Ukázka **linux-xlnx_% .bbappend** souboru, využitého v této práci je v kódu 9 - 3. Jak je vidět, soubor obsahuje informace o různých konfiguračních souborech pro tvorbu jádra Linux systému. Šestý řádek označuje uživatelskou konfiguraci, pomocí data, kdy byla vytvořena.

```
1 FILESEXTRAPATHS:prepend := "${THISDIR}/${PN}:"
2
3 SRC_URI:append = " file://bsp.cfg"
```

```

4 KERNEL_FEATURES:append = " bsp.cfg"
5 SRC_URI:append = " file://patch-5.15.36-rt41.patch"
6 SRC_URI += "file://user_2023-04-07-11-32-00.cfg"

```

Kód 9 - 3 Ukázka konfiguračního souboru pro aplikování Linux patch souboru.

Aby došlo k aplikování změn, vyvolaných RT patch souborem je nutné během build procesu provést určité změny v konfiguraci vytvářeného PetaLinux projektu. (postup předpokládá, že již byl vytvořen první build s minimální konfigurací) Opět jsou v PetaLinux Environment (prostředí) vyvolány příkazy **petalinux-config** pro první konfiguraci HW a **petalinux-confic -c kernel** pro konfiguraci jádra. Po otevření konfigurační nabídky kernelu je nutné provést změny, vyznačené v 9 - 4.

```

1 General setup -> Timers subsystem -> High Resolution Timer Support <*>
2 General setup -> Preemption Mode -> Fully Preemptive Kernel (RT) <*>
3 Main menu -> Kernel Features -> Timer frequenc -> 1000 Hz <*>
4 Main menu -> CPU power Management -> CPU Frequency Scaling < >

```

Kód 9 - 4 Úpravy v konfiguraci jádra pro RT patch.

Značení:

- < > funkce není aktivována,
- <*> funkce je aktivována.

Po konfiguraci je již možné pokračovat klasickým způsobem build procesu popsáným v části *Tvorba PetaLinux*.

Představený postup čerpá informace o aplikování patch souboru z [38], [39] a z experimentálního zjištění autora.

9.5 Programovací prostředí – operační systém Linux

Pro práci s představenými nástroji Xilinx Vivado, Xilinx Vitis a PetaLinux Tools je nutné využívat podporovaných operačních systémů, které umožňují správnou funkci využitých nástrojů.

Jednotlivé požadavky na operační systémy je možné nalézt na stránkách dokumentace <https://docs.xilinx.com>. Pro nejnovější verze v době zpracování této práce jsou požadavky pro Xilinx Vivado dostupné v [40]. Požadavky na operační systém pro Xilinx Vitis v [27]. Pro využívání a tvorbu PetaLinux Tools je třeba dodržet systémové požadavky uvedené v [36]. Pokud uživatel využívá starších verzí vývojových nástrojů, je doporučeno využít operační systém Linux. Pro tento práci byl nejdříve využíván systém Ubuntu 18.04 LTS (Bionic Beaver), dostupný ke stažení na adrese <http://old-releases.ubuntu.com>. V průběhu práce došlo k aktualizování verzí vývojových nástrojů, které byly původně kompatibilní pouze s verzí Ubuntu 18.04 a nižší. Veškerá práce a postupy byly po aktualizaci přeneseny na novější verzi systému Ubuntu 20.04 LTS (Focal Fossa).

Je důležité poznamenat, že neplatí skutečnost, že když např. Vivado podporuje některou z novějších verzí Ubuntu, bude jí podporovat také PetaLinux Tools. Vždy je doporučeno využívat starší verze a kontrolovat vzájemnou kompatibilitu, aby se předešlo zbytečné ztrátě času.

V případě využívání představených nástrojů a systému Linux je třeba dbát na správné postupy instalací a v případě problémů využívat dostupné dokumentace.

10 Struktura složek

Aby byl vývoj, debugging, deployment a verzování aplikace co nejméně problematickým a zdlouhavým procesem pro vývojáře (jak HW tak SW), je vhodné zavést pro daný projekt/vývoj pevný systém složek (file system), který bude dodržován napříč projekty. V případě existence takového systému je možné vytvořit postupy a skripty, které značně urychlí práci na vyvýjeném projektu.

Tyto skripty mohou sloužit k snadnějšímu přenosu souborů mezi jednotlivými složkami pro potřeby daných vývojových nástrojů, přenos souborů na vývojovou desku a nebo k výrazně rychlejší práci s vývojovými nástroji PetaLinux Tools a Vitis HLS. Díky tomuto systému složek bude pro každý projekt přesně stanovaná cesta k vytvořenému SDK (software development kit), který je potřeba pro vývoj akcelerované aplikace.

V této práci bude dodržována struktura naznačená v kódu 10 - 1.

```
1 - projects folder
2   - top folder (project name)
3     - transfer          // user generated
4     - hw                // vivado project
5     - petalinux         // petalinux project
6     - linux-files       // user generated folders
7       - pfm
8         - boot
9         - sd_dir
10      - dtg_out          // created when converting device tree from XSA file
11      - sysroots         // created by ./sdk.sh -d ../../linux-files
12    - vitis
```

Kód 10 - I Struktura složek, využívaná při tvorbě projektů k dosažení lepšího DX.

Tato struktura přináší možnosti rychlejšího pohyb v projektu pomocí vzdáleného přístupu SSH a emulátoru terminálu, který umožňuje provádět build aplikace i bez použití GUI Vitis HLS. Využíváním headless módu dochází k odstranění některých nedostatků SW, jako je např. zastavení build procesu z neznámých důvodů. Ovšem GUI je vhodné na provádění úkonů, jejichž způsob provedení v headless módu nebyl při realizaci této práce objeven (tvorba platformy, tvorba aplikace, automatické vytváření makefile souborů apod.).

V případě verzování projektu je ovšem důležité si uvědomit, že některé soubory mají značnou velikost a některé složky obsahují velmi mnoho souborů (více než 8 000 souborů). Proto je nutné tuto skutečnost vnímat a dle vlastních požadavků vyjmout vybrané prvky z verzování.

11 Tvorba HW architektury Xilinx Vivado

Aby bylo možné vytvořit akcelerovanou aplikaci ve Vitis pomocí HLS C++, je třeba připravit platformu, resp. hardware, pro který bude daná aplikace vyvíjena. K tvorbě platformy je využit SW Xilinx Vivado. V tomto programu je možné konfigurovat jednotlivé IP (intellectual property) prvky jako je ZynQ jednotka, GPIO, Timer, SPI komunikace a další. Výsledkem tvorby platformy v této práci je vytvoření XSA souboru, který bude použit pro konfiguraci PetaLinux systému a jako vstupní informace pro tvorbu Platformy ve Vitis. Ve Vivado je možné vytvářet aplikace přímo v VHDL.

Tvorba HW pro různé platformy (Digilent Zybo, Xilinx Kria KR260, SoC, SOM) má částečně odlišné specifikace a odlišný postup. Rámcový postup je však totožný pro většinu platem využívající zařízení od firmy Xilinx, Inc.

V této sekci bude popsána tvorba platformy pro vývojovou desku Xilinx Kria KR260 Starter Kit, na níž byla realizována finální aplikace. V příloze práce je naznačen postup tvorby základní platformy pro vývojovou desku Digilent Zybo.

11.1 Vivado Board Files

Aby bylo možné snadněji vytvořit potřebnou HW architekturu, firmy velmi často dodávají ke svému produktu *Board Files* soubory, obsahující různá přednastavení, konfigurace, informace a způsob připojení IP bloků k reálným součástím (constraints). [41]

Samozřejmě by bylo možné HW architekturu vytvořit i bez těchto konfiguračních souborů, ovšem postup tvorby by byl značně náročnější. Pro vývojovou desku Xilinx Kria KR260 Starter Kit výrobce dodává Board files již s instalací Vivado. Pro používanou vývojovou desku Digilent Zybo Zynq-7000 je možné stáhnout tyto soubory z [41]. Způsob instalace board files je popsán v oficiální dokumentaci firmy Digilent, Inc. v [42].

Po úspěšné instalaci souborů je možné spustit Xilinx Vivado a vytvořit potřebnou HW architekturu pro akcelerovanou aplikaci.

11.2 Tvorba HW designu pro Xilinx Kria KR260 vývojovou desku

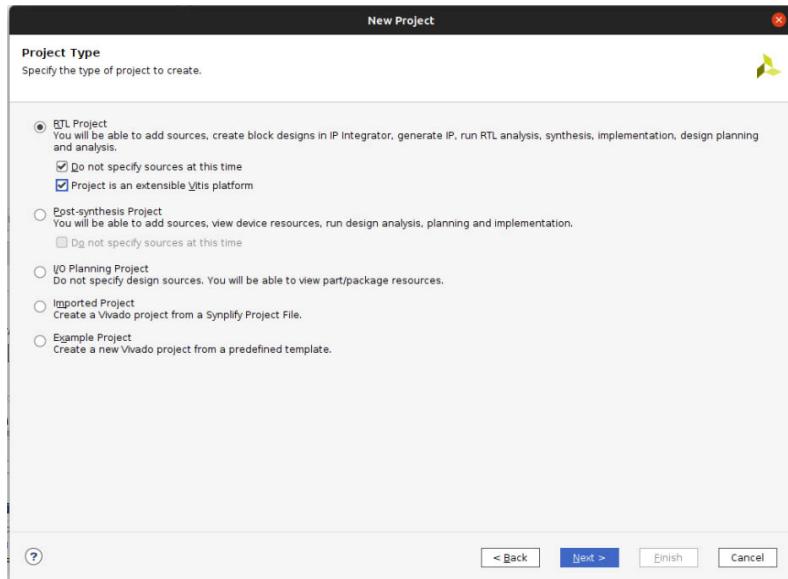
Při tvorbě designu pro vývojovou desku Xilinx Kria KR260, byly čerpány základní rámcové informace o postupu z [43], [44] a [45]. Konkrétní postup se liší dle vytvářené aplikace a zkoumaných vlastností.

Protože první vývoj a zkoumání využitelnosti SoC bylo prováděno na desce Digilent Zybo Zynq-7000, je v příloze *Tvorba HW designu pro Digilent Zybo Zynq-7000 vývojovou desku* nastíněn postup tvorby HW designu pro původní desku. Konfigurace PS a tvorba HW pro Digilent Zybo se odlišuje převážně proto, že Zybo používá starší PS Zynq-7000, oproti novějšímu PS MPSoC Zynq UltraScale+ v Xilinx Kria.

Prvním krokem je vytvoření Vivado projektu a jeho umístění do složky hw (popis struktury složek v projektu je představen v části *Struktura složek*).

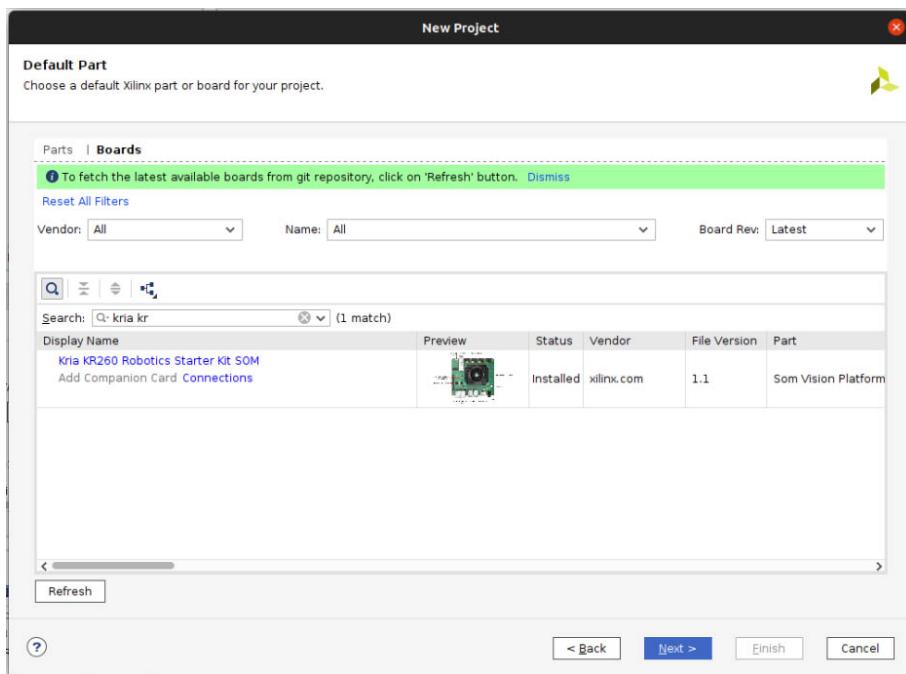
Postup tvorby projektu začíná pro většinu akcelerovaných aplikací stejným způsobem. Po otvěření programu Vivado stačí vytvořit nový project typu *RTL Project* a aktivovat nastavení *Project is an extensible Vitis platform*. Ukázka nabídky tvorby projektu je na obr. 11 - 1.

Dalším krokem při zakládání projektu je zvolení prvku, na který bude vyvíjený HW design určen. Je možné zvolit přímo komponentu, pro kterou je design určen nebo již přednastavené vývojové desky. Pokud není vývojová deska v repozitáři od Xilinx, je možné jí vložit dle způsobu popsáного v části *Vivado Board Files*. Xilinx Kria KR260 je však již součástí daného repozitáře a je možné ji v repozitáři vyhledat



Obr. 11 - 1 Xilinx Vivado – volba typu projektu, použitelného dále jako platforma ve Vitis, pro Xilinx KR26.

a zvolit. Výběr desky z repozitáře je zobrazen na obr. 11 - 2.

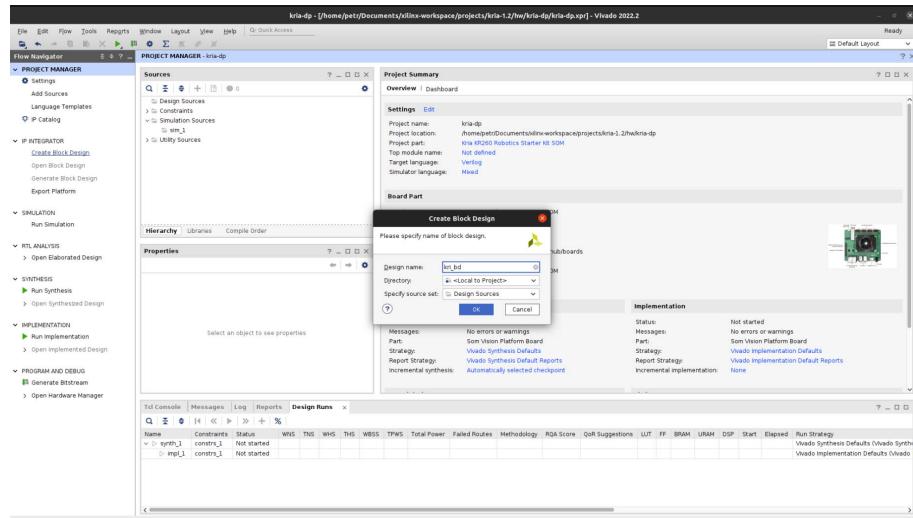


Obr. 11 - 2 Xilinx Vivado – výběr základní komponenty, pro který bude HW design vytvářen.

Po vytvoření projektu je uživateli zobrazena hlavní Vivado obrazovka. V základním nastavení jsou v pravé části obrazovky zobrazeny informace o vybrané základní komponentě/desce a v levé části pracovního menu. Pro pokračování ve vytváření designu je třeba zvolit v menu odkaz *Create block design* a pojmenovat jej dle požadavků autora designu. Zvýrazněné menu a nabídka vytváření blokového je zobrazena na obr. 11 - 3.

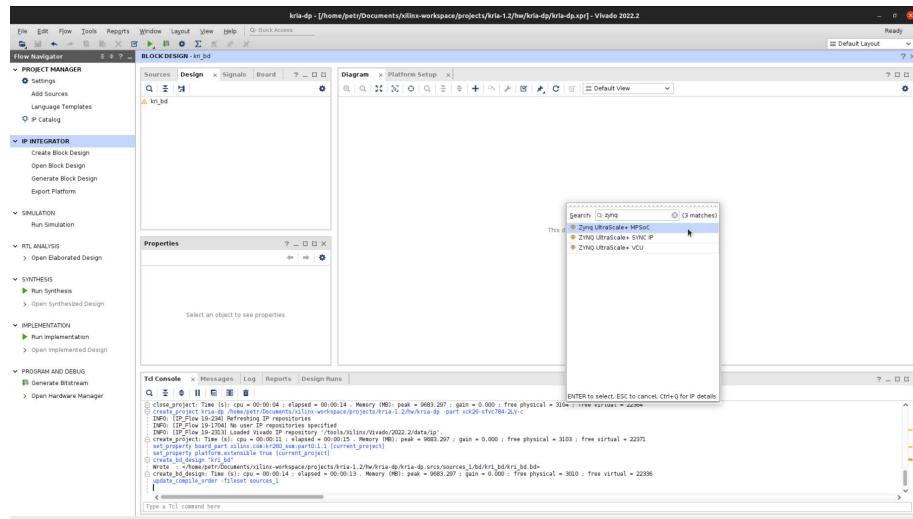
Až po krok vytváření block designu byl postup velmi podobný pro obě představené vývojové desky. Nyní je již možné přistoupit k vlastní tvorbě blokového designu v kartě *Diagram*.

Bloky lze přidávat znakem + v aktivním okně nebo po kliknutí tlačítka myši do volného



Obr. 11 - 3 Xilinx Vivado – nabídka vytváření block design.

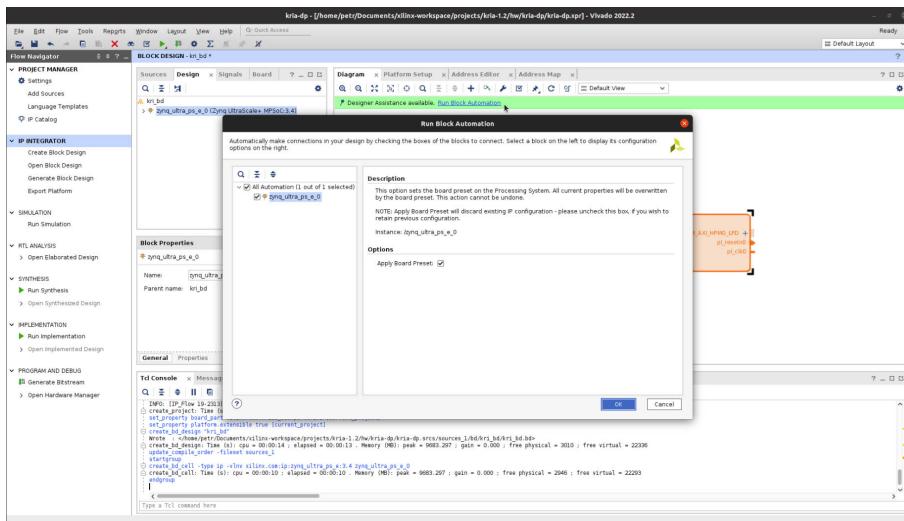
prostoru v téže okně a zvolení *Add IP* (IP – Intellectual Property). Prvním krokem je přidání PS, v případě Xilinx KR26 se jedná o IP s názvem **Zynq UltraScale+ MPSoC**. Výhoda používání Vivado je taková, že po vložení některých bloků je k dispozici aktivace automatického propojení/nastavení vybraných bloků IP. Po vložení PS bloku je vhodné tuto automatizaci spustit pomocí aktívного odkazu, zobrazeného na kartě *Diagram* v obr. 11 - 5.



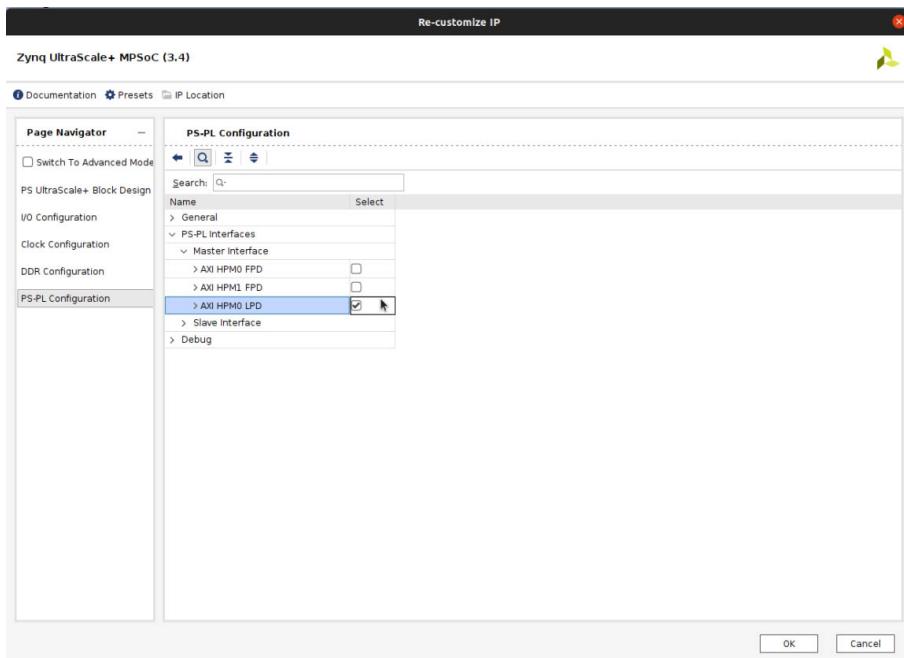
Obr. 11 - 4 Xilinx Vivado – vložení PS IP bloku.

Další krok je důležitý pro tvorbu akcelerované aplikace pomocí Vitis. Je třeba předkonfigurovat PS AXI Interface (rozhraní) takovým způsobem, aby AXI Interface s vysokým výkonem bylo využito až pro akcelerovanou aplikaci a nikoliv v některém z automatických propojení, jejichž pozitivní přínos byl představen v předchozím odstavci. Tato informace je popsána jak v [45] ale také v oficiálních příkladových [46] (v sekci *Add Interrupt Support, krok 1*) pro tvorbu platformy pro vývojovou desku Xilinx Kria KV260, jež používá totožný modul Xilinx Kria K26. Obr. 11 - 6 obsahuje snímek obrazovky s požadovaným nastavením bloku **Zynq UltraScale+ MPSoC** a daných rozhraní.

Protože dle [46] je počet clock signálů **p1_clk** z PS omezený, je vhodné pro vytvoření požadovaných taktovacích signálů využít blok **Clocking wizard**. V tomto bloku je možné vytvořit taktovací signály



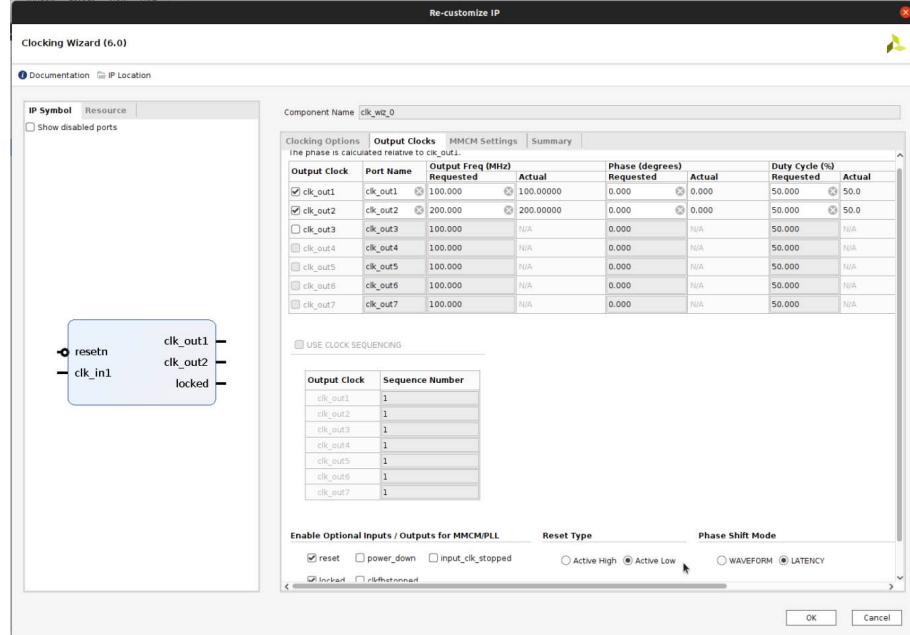
Obr. 11 - 5 Xilinx Vivado – automatické propojení pro PS.



Obr. 11 - 6 Xilinx Vivado – zablokování FPD a odblokování LPD pro block design.

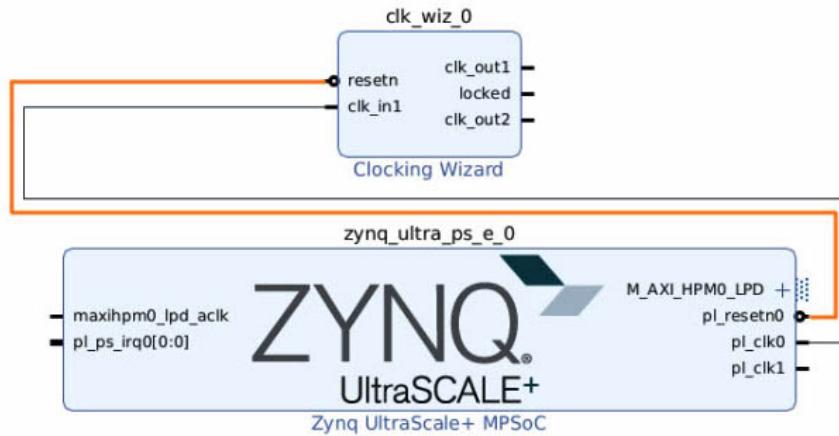
s požadovanými parametry. Pokud počet signálů nestačí, je možné přidat další IP.

Pro design ukázkové platformy v této práci je vhodné přidat tři taktovací signály s frekvencí 100, 200 a 20 MHz. také je důležité nastavit *Reset type* na *Active Low*. Příklad nastavení bloku **Clocking wizard** je na obr. 11 - 7.



Obr. 11 - 7 Xilinx Vivado – nastavení bloku *Clocking wizard*.

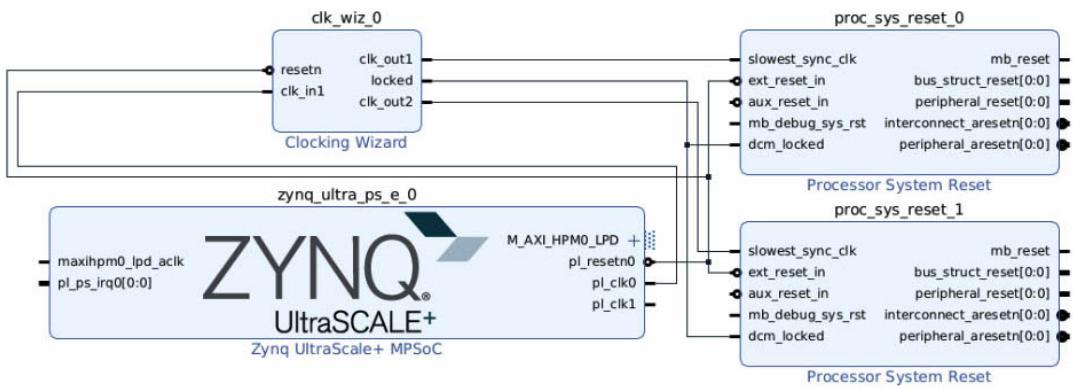
Po nastavení požadovaných taktovacích signálů je možné opět pomocí aktivního odkazu automatizace spustit automatické propojení bloků. Po úspěšném provedení předchozích konfiguračních kroků a automatizace je získáno schéma blokového designu na obr. 11 - 8.



Obr. 11 - 8 Xilinx Vivado – blokový design s PS a blokem *Clocking wizard* po provedení automatizace.

K bloku **Clocking Wizard** je nyní vhodné připojit bloky **Processor System Reset** dle obr. 11 - 9.

Vstup pro přerušení **pl_ps_irq** může obsahovat maximálně 16 interrupt signálů. Pro design v této aplikaci to je dostačující případ, ovšem pokud je vyžadováno, aby aplikace využívala více signálů přeru-

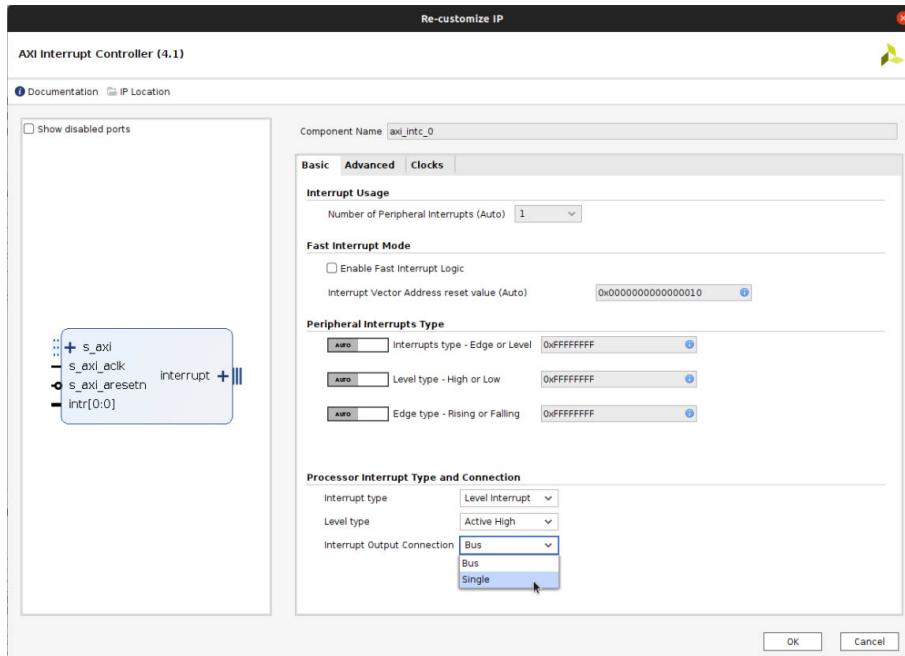


Obr. 11 - 9 Xilinx Vivado – propojení bloků Clocking wizard a Processor System Reset.

šení, je třeba využít blok **AXI Interrupt Controller**. Doporučené nastavení tohoto IP je na obr. 11 - 10. Aby bylo možné připojit signál k **pl_ps_irq** je nutné přepnout nastavení *Processor Interrupt Type and Connection -> Interrupt Output Connection* na **Single** z výchozího Bus.

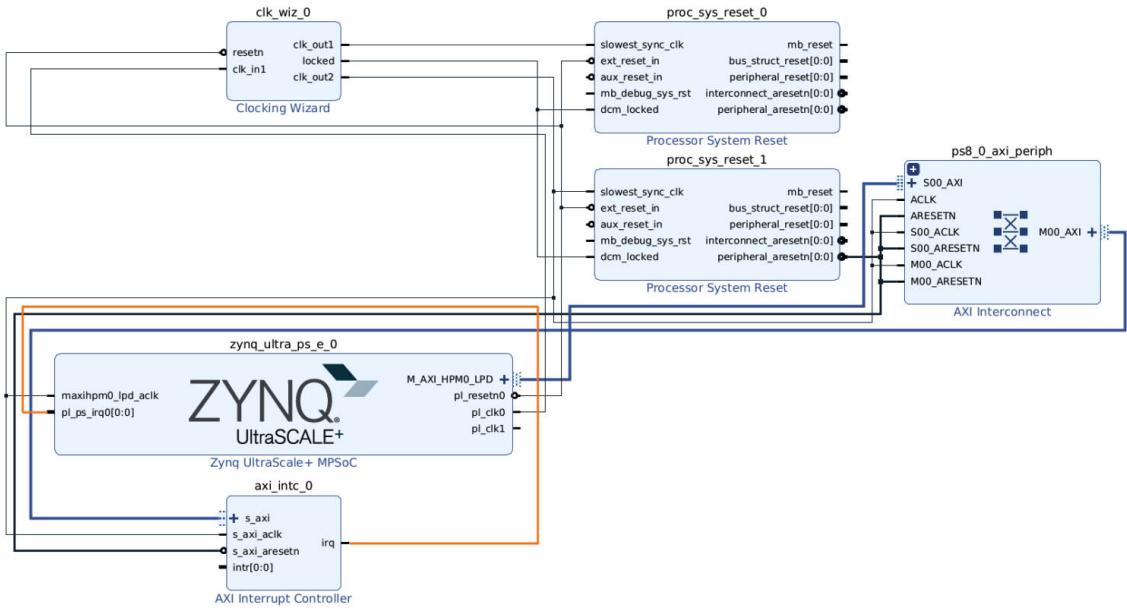
V případě nevyužití bloku **AXI Interrupt Controller**, nebo při snaze přivést signály přerušení přímo do **pl_ps_irq** vstupu PS systému je pro připojení více signálů doporučeno použít IP blok **Concat**. V pokročilejší části této práci je tento blok také využit, aby byla demonstrována možnost jeho využití a projevení tohoto připojení v PetaLinux systému.

Po dokončení konfigurace **AXI Interrupt Controller** je opět možné aktivovat automatizaci propojení a v konfiguračním okně vybrat požadovanou frekvenci clock signálů. V této práci je využito 200 MHz. Výsledný design po automatizaci je zobrazen na obr. 11 - 11.



Obr. 11 - 10 Xilinx Vivado – nastavení bloku AXI Interrupt Controller.

Pokud by vyvýjená aplikace nevyužívala další PL IP bloky, je možné přistoupit ke konfiguraci platormy, PS a periferií připojených k PS. Pro vyvýjenou ukázkovou aplikaci je vytvořený HW blokový



Obr. 11 - 11 Xilinx Vivado – block design po automatizaci a propojení bloku AXI Interrupt Controller.

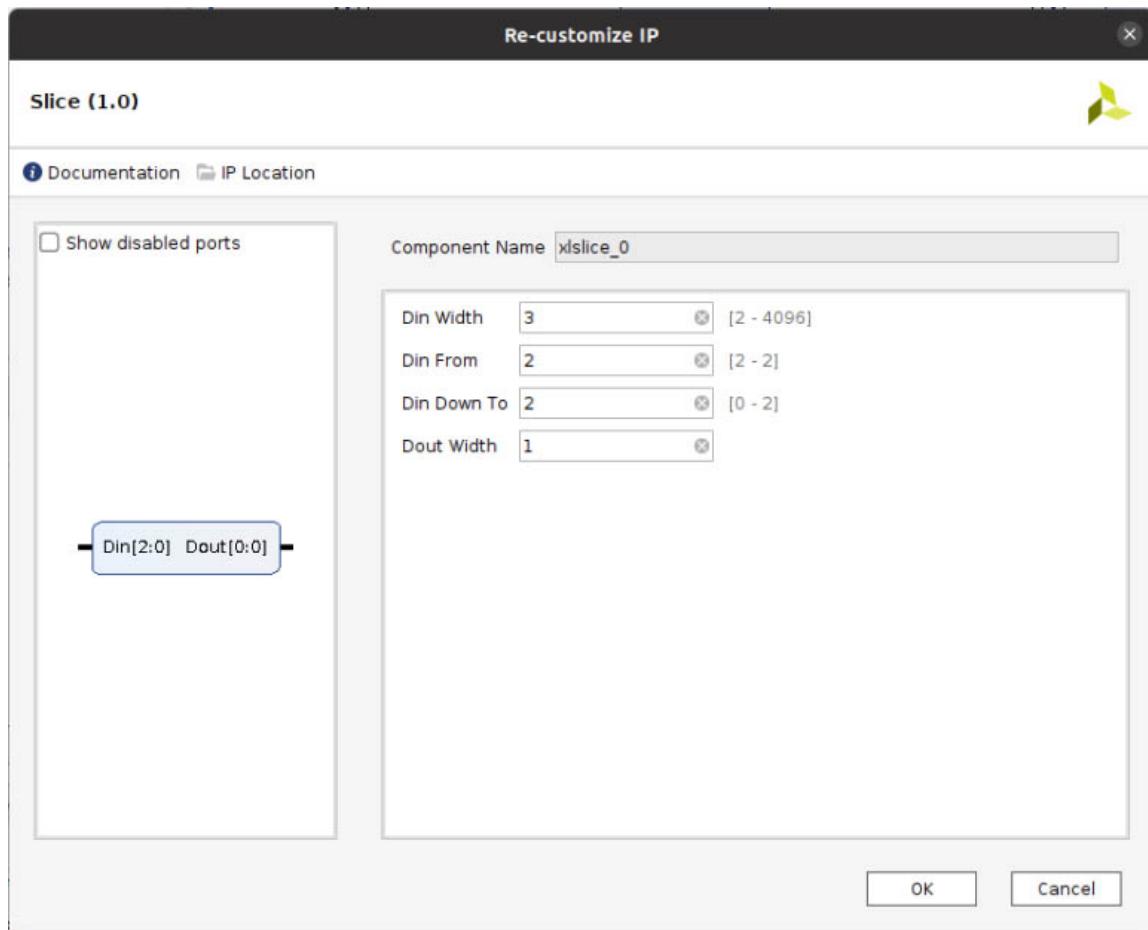
design naznačen v sekci *HW Block design* vyvýjené aplikace.

Ovšem při využití vývojové desky Xilinx Kria KR260 je vhodné aktivovat řízení chladícího ventilátoru pomocí PWM. Pro tuto možnost musí být aktivovaný výstup *Waveout* u TTC 0, jak je tomu naznačeno na obr. 11 - 22. Po aktivaci *Waveout* na I/O *EMI0* se objeví na bloku *Zynq UltraScale+ MPSoC* výstup s názvem *emio_ttc0_wave_o[2:0]*. Označení *[2:0]* znamená, že signál je tříbitový, pro řízení ventilátoru pomocí PWM je ovšem využitelný pouze jeden bit. Pro odstranění dvou horních bitů je využito IP bloku *Slice*.

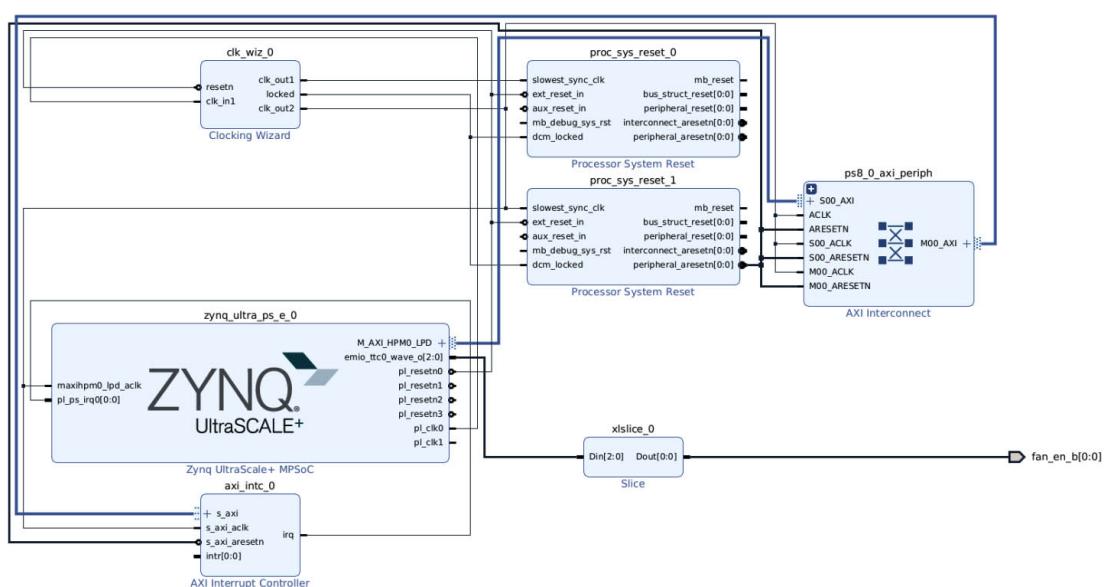
Konfigurace bloku *Slice* je zobrazena na obr. 11 - 12. *Din Width* určuje šířku vstupujícího signálu. V řešeném případě se jedná o trojbitový signál. *Din From* určuje označení bitu, od kterého bude odstraněno *Din Down To* bitů pro výstup z bloku *Slice*. Položka *Dout Width* je automaticky doplněna dle nastavení předchozích položek.

Následně je nutné nastavit výstupní pin, na který bude signál PWM pro řízení ventilátoru odesílan. Pro vytvoření pinu existuje mnoho způsobů, v tomto případě je ovšem nejjednodušší pravým tlačítkem myší kliknout na výstup bloku *Slice Dout[0:0]* a zvolit *Make External*. Tento pin je poté vhodné pojmenovat *fan_en_b*. Minimální funkční design s výstupním pinem pro ventilátor je zobrazen na obr. 11 - 13.

Na kartě *Platform Setup* je pro funkční design vhodné aktivovat a pojmenovat základní AXI porty dle tabulky 11 - 1.



Obr. 11 - 12 Xilinx Vivado – nastavení bloku Slice pro odstranění dvou horních bitů signálu.



Obr. 11 - 13 Xilinx Vivado – minimální funkční design s výstupním pinem pro řízení ventilátoru.

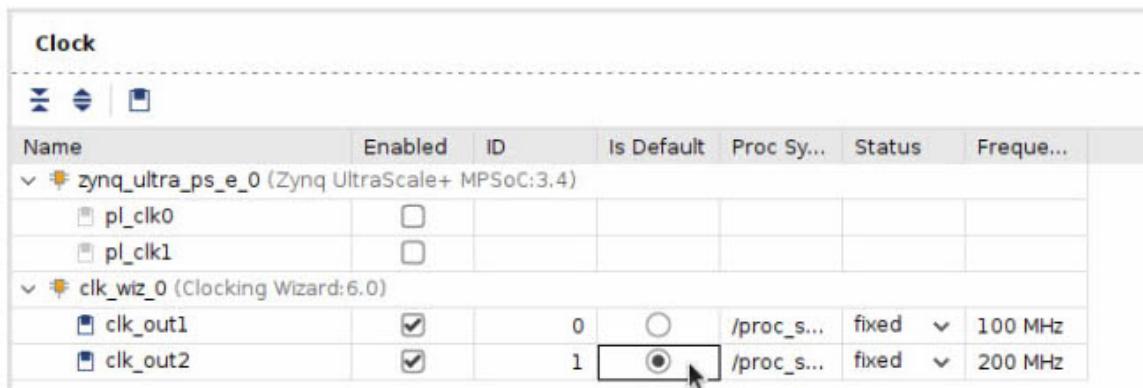
Tab. 11 - 1 Ukázka nastavených AXI portů v Xilinx Vivado platformě pro Xilinx Kria KR260.

Name	Enabled	Mexport	SP Tag
M_AXI_HPM0_FPD	X	M_AXI_GP	-
M_AXI_HPM1_FPD	X	M_AXI_GP	-
S_AXI_HPC0_FPD	X	S_AXI_HPC	HPC0
S_AXI_HPC1_FPD	X	S_AXI_HPC	HPC1
S_AXI_HP0_FPD	X	S_AXI_HP	HP0
S_AXI_HP1_FPD	X	S_AXI_HP	HP1
S_AXI_HP2_FPD	X	S_AXI_HP	HP2
S_AXI_HP3_FPD	X	S_AXI_HP	HP3

Dalším krokem je povolení a nastavení výchozích clock signálů v záložce *Clock*. V této práci byl zvolen výchozí clock signál 200 MHz. Snímek záložky zachycující nastavení pro dva clock signály je na obr. 11 - 14.

Posledním důležitým krokem je povolení signálu `intr` z použitého bloku Axi Interrupt Controller v kartě *Platform Setup -> Interrupt*.

Volitelným, ovšem vhodným krokem je pojmenovat platformu a udat jejího autora a verzi v kartě *Platform Setup -> Interrupt*.



Obr. 11 - 14 Xilinx Vivado – záložka nastavení clock signálů na platformě.

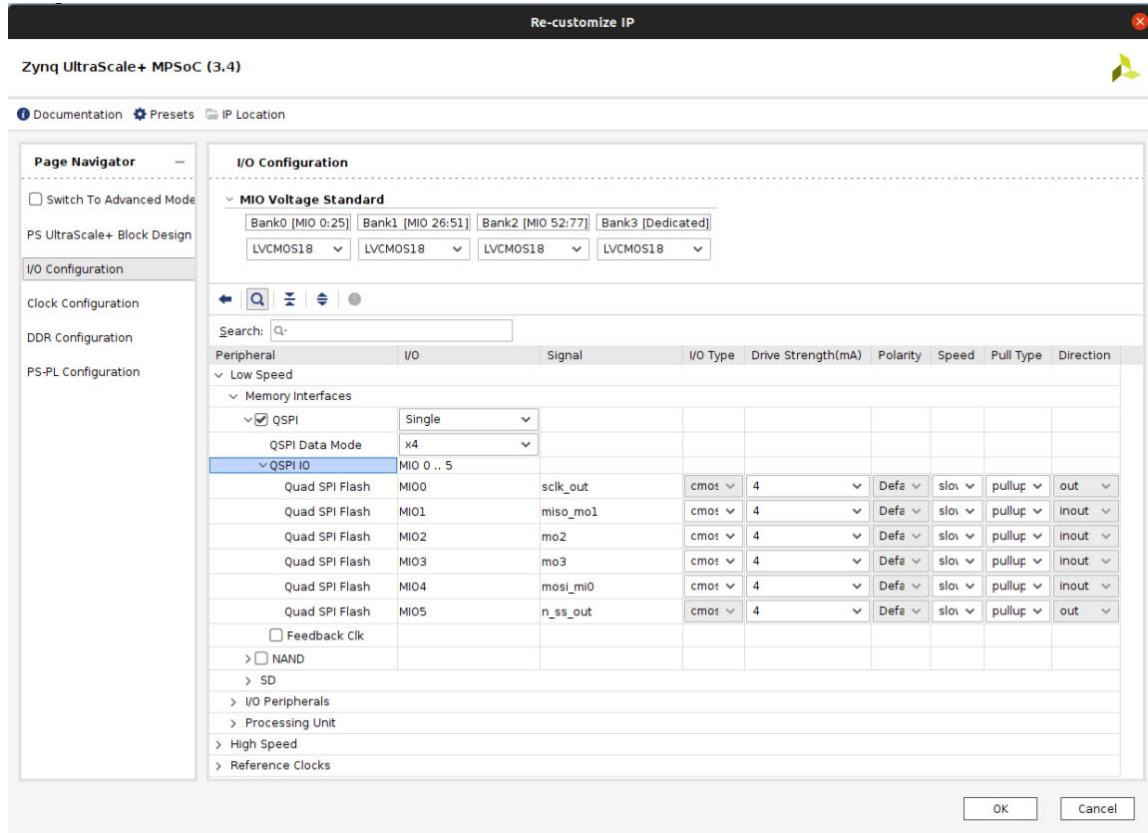
Autorka článku [45] zmiňuje, že pokud je zapnuta možnost *Incremental Synthesis*, můžou vznikat při postupu tvorby akcelerované aplikace problémy. Proto doporučuje pomocí nabídky *Settings -> Synthesis -> Incremental Synthesis* zvolit možnost *Disable incremental synthesis*.

11.2.1 Konfigurace PS pro využití implementovaných periferií

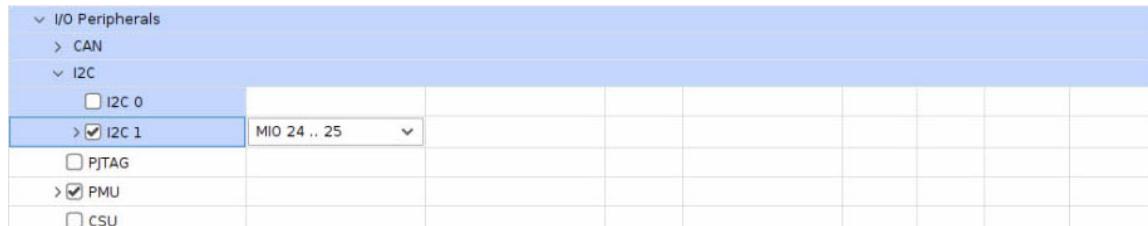
Aby bylo možné využívat periferie, jako je DisplayPort, Ethernet nebo USB konektory, je nutné nakonfigurovat PS. Konfigurační nabídka je otevřena po otevření IP bloku *Zynq UltraScale+ MPSoC* a vybrání *I/O Configuration*.

Pro názornost je využito snímků obrazovky jednotlivých významných konfigurací. Některé z konfigurací jsou již nastaveny jako výchozí, některé je třeba konfigurovat.

Na obr. 11 - 15 je zobrazeno kompletní konfigurační okno ve kterém jsou jednotlivá připojení pro PS nastavovány. Další snímky jsou však z důvodu úspory plochy zaměřeny pouze na konkrétní nastavení.



Obr. 11 - 15 Xilinx Vivado – PS I/O Configuration QSPI zařízení.



Obr. 11 - 16 Xilinx Vivado – PS I/O Configuration I2C zařízení.

Peripheral	I/O	Signal	I/O Type	Drive Strength(mA)	Polarity	Speed	Pull Type	Direction
PMU								
GPI EMIO								
GPO EMIO								
GPI 0	MIO 26							
PMU GPI 0	MIO26	gpi[0]	cmos	12	Defa	fast	pullup	in
GPI 1								
GPI 2								
GPI 3								
GPI 4								
GPI 5	MIO 31							
PMU GPI 5	MIO31	gpi[5]	cmos	12	Defa	fast	pullup	in
GPO 0								
GPO 1	MIO 33							
PMU GPO 1	MIO33	gpo[1]	cmos	4	Defa	slow	pullup	out
GPO 2	MIO 34							
GPO 3								
Initial State	GPO1[3]							
GPO 4								

Obr. 11 - 17 Xilinx Vivado – PS I/O Configuration PMU (GPIO 4 a GPIO 5 není vybráno).

SPI								
> <input type="checkbox"/> SPI 0								
> <input checked="" type="checkbox"/> SPI 1	MIO 6 .. 11	v						
<input checked="" type="checkbox"/> SS[0]	MIO 9	v						
<input type="checkbox"/> SS[1]								
<input type="checkbox"/> SS[2]								
SPI 1	MIO6	sclk_out	cmos v	4	v	Defa v	slo v	pullup v
SPI 1	MIO9	n_ss_out[0]	cmos v	4	v	Defa v	slo v	pullup v
SPI 1	MIO10	miso	cmos v	4	v	Defa v	slo v	pullup v
SPI 1	MIO11	mosi	cmos v	4	v	Defa v	slo v	pullup v

Obr. 11 - 18 Xilinx Vivado – PS I/O Configuration SPI zařízení.

UART								
> <input checked="" type="checkbox"/> UART 1	MIO 36 .. 37	v						
<input type="checkbox"/> MODEM								
UART 1	MIO36	txd	cmos v	4	v	Defa v	slo v	pullup v
UART 1	MIO37	rxd	cmos v	12	v	Defa v	fast v	pullup v
								out v
								in v

Obr. 11 - 19 Xilinx Vivado – PS I/O Configuration UART zařízení.

GPIO								
> <input type="checkbox"/> GPIO EMIO								
> <input checked="" type="checkbox"/> GPIO0 MIO	MIO 0 .. 25	v						
> <input checked="" type="checkbox"/> GPIO1 MIO	MIO 26 .. 51	v						
> <input type="checkbox"/> GPIO2 MIO								

Obr. 11 - 20 Xilinx Vivado – PS I/O Configuration GPIO zařízení.

Processing Unit								
> SWDT								
> <input checked="" type="checkbox"/> SWDT 0								
<input type="checkbox"/> Clock in								
<input type="checkbox"/> Reset out								
> <input checked="" type="checkbox"/> SWDT 1								
<input type="checkbox"/> Clock in								
<input type="checkbox"/> Reset out								

Obr. 11 - 21 Xilinx Vivado – PS I/O Configuration System Watchdog Timers (SWDT).

TTC								
> <input checked="" type="checkbox"/> TTC 0								
<input type="checkbox"/> Clock								
<input checked="" type="checkbox"/> Waveout	EMIO	v						
> <input checked="" type="checkbox"/> TTC 1								
> <input checked="" type="checkbox"/> TTC 2								
> <input checked="" type="checkbox"/> TTC 3								
<input type="checkbox"/> Clock								
<input type="checkbox"/> Waveout								

Obr. 11 - 22 Xilinx Vivado – PS I/O Configuration Triple Timer Counter (TTC), TTC 0 výstup Waveout je využit pro PIN řídící chladící ventilátor na SoM.

USB	
USB 0	MIO 52 .. 63
USB 3.0	GT Lane2
USB 1	MIO 64 .. 75
USB 3.0	GT Lane3
USB Reset	Separate MIO Pin
Reset Polarity	Active Low
USB 0	MIO 76
USB 1	MIO 77

Obr. 11 - 23 Xilinx Vivado – PS I/O Configuration USB.

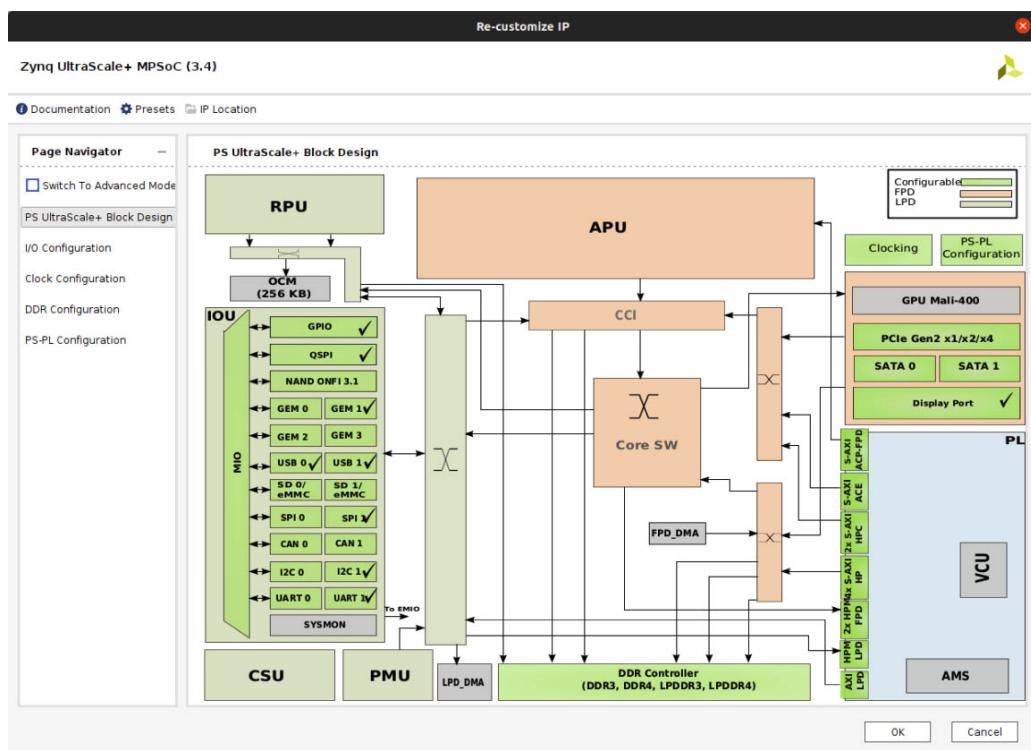
Display Port	
DPAUX	MIO 27 .. 30
Lane Selection	Single Lower
DP Lane0	GT Lane1

Obr. 11 - 24 Xilinx Vivado – PS I/O Configuration DisplayPort.

Po úspěšné konfiguraci I/O je možné přistoupit ke kartě *PS-PL Configuration* a v záložce *General -> Fabric Reset Enable* povolit *Fabric Reset Enable* a zvolit v nabídce *Number of Fabric Resets* číslo 4.

Toto nastavení *Number of Fabric Resets* udává, kolik signálů je možné použít pro reset PL IP bloků. [47], [48]

V předchozích krocích a obrázcích byla představena základní konfigurace PS pro funkčnost periferií, přítomných na vývojové desce Xilinx Kria KR260 s Zynq UltraScale+ MPSoC. Po této základní konfiguraci je možné pozorovat v konfigurační nabídce PS IP v kartě *PS UltraScale+ Block Design* označení pomocí „✓“ symbolu u konfigurovaných prvků. Ukázka systému je zobrazena na obr. 11 - 25.



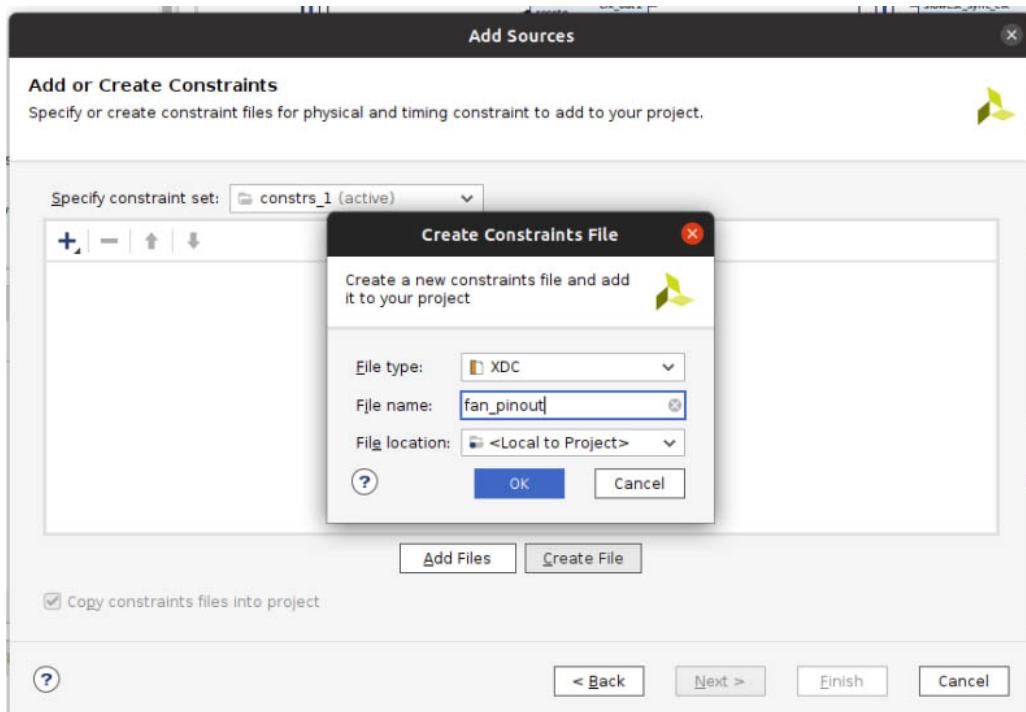
Obr. 11 - 25 Xilinx Vivado – PS UltraScale+ Block Design v PS IP.

11.2.2 Design Constraints

Aby bylo možné vytvořené *virtuální* piny ve Vivado propojit se skutečnými fyzickými piny MPSoC, resp. vývojové desky, je třeba vytvořit soubor v prostředí Vivado, který toto fyzické propojení definuje. Tyto soubory se nazývají *Constraints Files*.

Jejich tvorba může probíhat i mimo prostředí Vivado, jsou to textové soubory, jež lze upravit v libovolném textovém editoru. Tato skutečnost lze využít při časté tvorbě designů v nových projektech pro zrychlení konfigurace. Soubory je poté možné jednoduše importovat.

Soubory se vkládají pomocí výběru v levém menu *Project Manager -> Add Sources -> Add or create constraints -> Add Files/Create File*. Nabídka tvorby souboru je vyzobrazena na obr. 11 - 26.



Obr. 11 - 26 Xilinx Vivado – okno tvorby/vložení Constraints File.

Pro spojení vytvořeného virtuálního pinu `fan_en_b` a fyzického pinu, ke kterému je na CC připojen ventilátor je do XDC souboru zapsána konfigurace z kódu 11 - 1.

Kód 11 - 1 byl získán z [44]. Autorem však bylo ověřeno, že se skutečně jedná o fyzický pin `A12`.

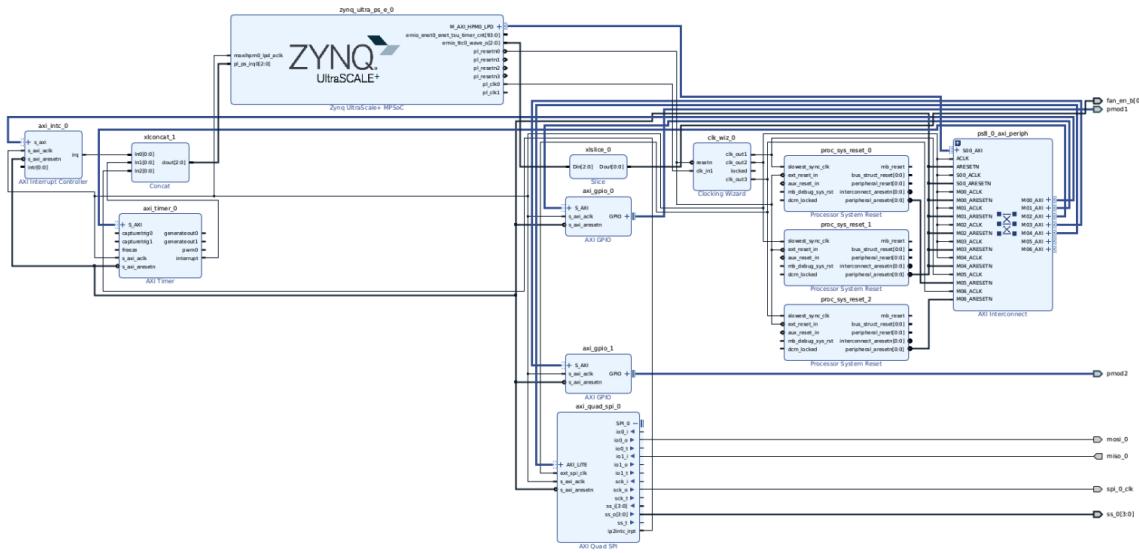
Vyhledání propojení fyzického pinu a označení pro soubory XDC probíhá totožně také pro konektory *PMOD* a *Raspberry Pi HAT*. Oficiální dokumentace pro postup vyhledání pinů nebyla autorem nalezena, proto se pokusil nalézt vlastní postup, který ověřil na oficiálním fóru Xilinx [49].

Postup nalezení reálného pinu je následující:

```
1 set_property BITSTREAM.GENERAL.COMPRESS TRUE [current_design]
2
3 # Fan Speed Enable
4 set_property PACKAGE_PIN A12 [get_ports {fan_en_b}]
5 set_property IOSTANDARD LVCMOS33 [get_ports {fan_en_b}]
6 set_property SLEW SLOW [get_ports {fan_en_b}]
7 set_property DRIVE 4 [get_ports {fan_en_b}]
```

Kód 11 - 1 Constraints XDC soubor pro přiřazení PL Vivado pinu `fan_en_b` k fyzickému pinu MPSoC na CC.

11.2.3 HW block design vyvíjené aplikace



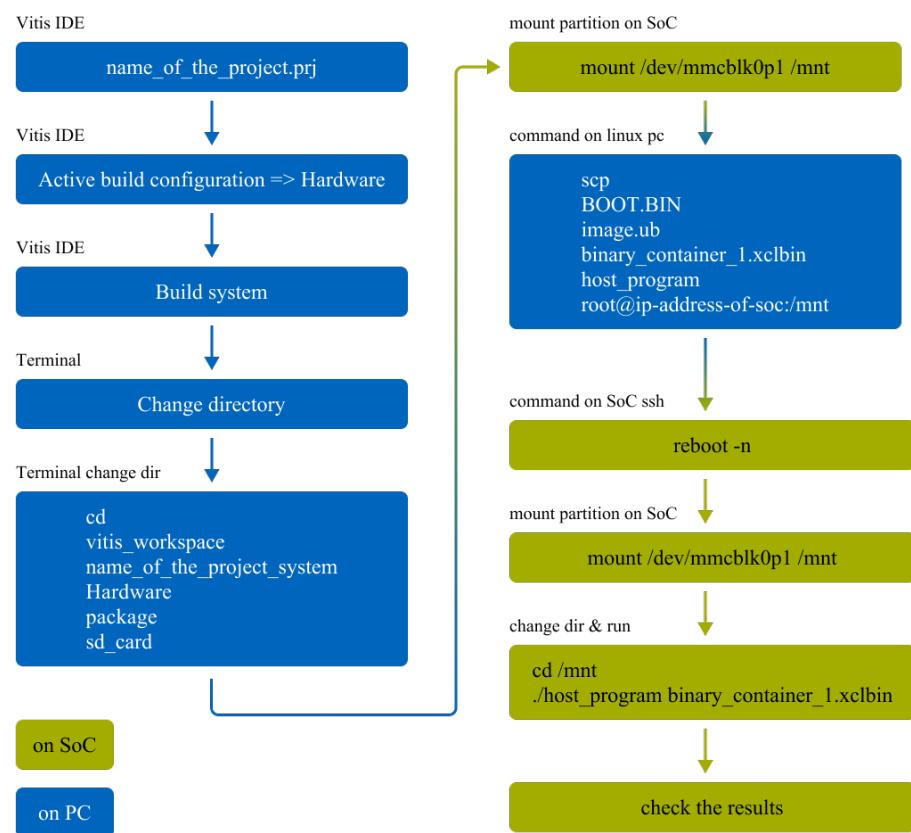
Obr. 11 - 27 Xilinx Vivado – HW block design vyvíjené aplikace.

11.3 Tvorba PetaLinux

11.4 Tvorba SW pro CPU a FPGA

11.4.1 Upravený postup debuggingu PL pro Digilent Zynq

Debugging pro program pro PL. Pro host program je možné debuggovat přímo ve Vitis, ale bez PL kernelu.



Obr. 11 - 28 Diagram popisující upravený postup pro dešpatování a spouštění host programu a nahrávání host programu do PL

- 12 Představení pracoviště**
- 13 Dosažené výsledky**

Závěr

Aliquam dapibus leo velit, ultrices eleifend mi feugiat eget. Aliquam euismod facilisis turpis, nec lobortis libero aliquet sit amet. Aenean suscipit ante eget ipsum viverra hendrerit. Ut sed massa sed nisi tempus dapibus in eu enim. Nullam vitae odio laoreet, malesuada purus non, faucibus orci. Lorem ipsum dolor sit amet, consectetur adipiscing elit. Etiam eget odio quis enim laoreet imperdiet nec eu nunc. Maecenas ut consequat purus. Duis faucibus risus nec metus cursus placerat. Phasellus sapien justo, laoreet in pulvinar ut, maximus nec velit.

Literatura

- [1] HARDING, Scharon. What Is an SoC? A Basic Definition. In: *Blog post* [online]. 11. 09. 2019 [cit. 2023-03-18]. Dostupné z: <https://www.tomshardware.com/reviews/glossary-soc-system-on-chip-definition,5890.html>.
- [2] XILINX, Inc. System-on-Modules (SOMs): How and Why to Use Them. In: *Xilinx Website* [online]. [B.r.] [cit. 2023-03-10]. Dostupné z: <https://www.xilinx.com/products/som/what-is-a-som.html>.
- [3] XILINX, Inc. Kria KR260 Robotics Starter Kit. In: *Xilinx Website* [online]. [B.r.] [cit. 2023-03-10]. Dostupné z: <https://www.xilinx.com/products/som/kria/kria260-robotics-starter-kit.html>.
- [4] XILINX, Inc. Kria SOM Carrier Card Design Guide (UG1091). In: *AMD Xilinx Documentation Portal* [online]. 27. 07. 2022 [cit. 2023-03-18]. Dostupné z: <https://docs.xilinx.com/r/en-US/ug1091-carrier-card-design/Introduction>.
- [5] XILINX, Inc. Kria K26 SOM Data Sheet (DS987). In: *AMD Xilinx Documentation Portal* [online]. 26. 07. 2022 [cit. 2023-03-18]. Dostupné z: <https://docs.xilinx.com/r/en-US/ds987-k26-som>.
- [6] XILINX, Inc. Antmicro's open source Kria K26 Devboard. In: *GitHub* [online]. [B.r.] [cit. 2023-03-10]. Dostupné z: <https://github.com/antmicro/kria-k26-devboard>.
- [7] SASS, Ronald; SCHMIDT, Andrew G. *Embedded systems design with platform FPGAs: principles and practices*. Boston: Morgan Kaufmann, 2010. ISBN 0123743338.
- [8] ANDINA, Juan J. R.; TORRE ARNANZ, Eduardo de la; VALDÉS PEÑA, María D. *FPGAs: Fundamentals, Advanced Features, and Applications in Industrial Electronics*. 1. vyd. Bosa Roca: CRC Press, 2017;2015; ISBN 9781439896990;1439896992;
- [9] What Is Accelerated Computing, and Why Is It Important? In: *Xilinx, Inc.* [Online]. [B.r.] [cit. 2022-11-03]. Dostupné z: <https://www.xilinx.com/applications/adaptive-computing/what-is-accelerated-computing-and-why-is-it-important.html>.
- [10] NALCACI, Gamze; YILDIRIM, Doğan; CADIRCI, Isik; ERMIS, Muammer. Selective Harmonic Elimination for Variable Frequency Traction Motor Drives Using Harris Hawks Optimization. *IEEE Transactions on Industry Applications*. 2022, roč. 58, č. 4, s. 4778–4791. Dostupné z DOI: 10.1109/TIA.2022.3174828.
- [11] APPLE, Inc. Explore the new system architecture of Apple silicon Macs. In: *Apple WWDC Video* [online]. [B.r.] [cit. 2023-03-18]. Dostupné z: <https://developer.apple.com/videos/play/wwdc2020/10686/>.
- [12] PANG, Aiken; MEMBREY, Peter; SLUŽBA, SpringerLink (online. *Beginning FPGA: Programming Metal: Your brain on hardware: Programming Metal*. Berkeley, CA: Apress, 2017;2016; č. Book, Whole. Dostupné také z: <https://go.exlibris.link/JzysQtpz>.
- [13] Sphery vs. shapes, the first raytraced game that is not software. In: *GitHub* [online]. 14. 07. 2022 [cit. 2022-11-06]. Dostupné z: <https://github.com/JulianKemmerer/PipelineC-Graphics/blob/main/doc/Sphery-vs-Shapes.pdf>.
- [14] Ray tracing (graphics). In: *Wikipedia* [online]. 06. 11. 2022 [cit. 2022-11-06]. Dostupné z: [https://en.wikipedia.org/wiki/Ray_tracing_\(graphics\)](https://en.wikipedia.org/wiki/Ray_tracing_(graphics)).

- [15] GROVER, Naresh; K.SONI, M. Reduction of Power Consumption in FPGAs - An Overview. *International journal of information engineering and electronic business*. 2012, roč. 4, č. 5, s. 50–69. ISBN 2074-9023.
- [16] Amazon EC2 F1 Instances. In: *Amazon AWS* [online]. [B.r.] [cit. 2022-11-06]. Dostupné z: <https://aws.amazon.com/ec2/instance-types/f1/>.
- [17] VANDERBAUWHEDE, Wim; BENKRID, Khaled. *High-Performance Computing Using FPGAs*. Springer Publishing Company, Incorporated, 2013. ISBN 1461417902.
- [18] RODRÍGUEZ-ANDINA, Juan J.; VALDÉS-PEÑA, María D.; MOURE, María J. Advanced Features and Industrial Applications of FPGAs---A Review. *IEEE Transactions on Industrial Informatics*. 2015, roč. 11, č. 4, s. 853–864. Dostupné z DOI: 10.1109/TII.2015.2431223.
- [19] Hardware-in-the-Loop (HIL) Simulation. In: *The MathWorks, Inc.* [Online]. [B.r.] [cit. 2022-11-06]. Dostupné z: <https://www.mathworks.com/discovery/hardware-in-the-loop-hil.html>.
- [20] NAOUAR, Mohamed-Wissem; MONMASSON, Eric; NAASSANI, Ahmad Ammar; SLAMA-BELKHODJA Ilhem; PATIN, Nicolas. FPGA-Based Current Controllers for AC Machine Drives---A Review. *IEEE Transactions on Industrial Electronics*. 2007, roč. 54, č. 4, s. 1907–1925. Dostupné z DOI: 10.1109/TIE.2007.898302.
- [21] DIGILENT, Inc. Zybo. In: *Digilent Documentation* [online]. [B.r.] [cit. 2022-11-11]. Dostupné z: <https://digilent.com/reference/programmable-logic/zybo/start>.
- [22] DIGILENT, Inc. Zybo Z7 Migration Guide. In: *Digilent Documentation* [online]. [B.r.] [cit. 2022-11-11]. Dostupné z: <https://digilent.com/reference/programmable-logic/zybo-z7/migration-guide>.
- [23] XILINX, Inc. Zynq-7000 SoC Technical Reference Manual. In: *Xilinx Documentation* [online]. 02. 04. 2021 [cit. 2022-11-11]. Dostupné z: <https://docs.xilinx.com/v/u/en-US/ug585-Zynq-7000-TRM>.
- [24] DIGILENT, Inc. Zybo Reference Manual. In: *Digilent Documentation* [online]. [B.r.] [cit. 2022-11-11]. Dostupné z: <https://digilent.com/reference/programmable-logic/zybo/reference-manual>.
- [25] XILINX, Inc. Kria KR260 Robotics Starter Kit User Guide (UG1092). In: *AMD Xilinx Documentation Portal* [online]. 17. 05. 2022 [cit. 2023-04-05]. Dostupné z: <https://docs.xilinx.com/r/en-US/ug1092-kr260-starter-kit/Interfaces>.
- [26] XILINX, Inc. Kria K26 System-on-Module. In: *AMD Xilinx Product Brief* [online]. [B.r.] [cit. 2023-04-05]. Dostupné z: <https://www.xilinx.com/content/dam/xilinx/publications/product-briefs/xilinx-k26-product-brief.pdf>.
- [27] XILINX, Inc. Vitis Unified Software Platform Documentation: Application Acceleration Development (UG1393). In: *AMD Xilinx Documentation Portal* [online]. [B.r.] [cit. 2022-11-18]. Dostupné z: <https://docs.xilinx.com/r/en-US/ug1393-vitis-application-acceleration/>.
- [28] XILINX, Inc. XTP743 - Kria KR260 Starter Kit Carrier Card Schematics (v1.0). In: *AMD Xilinx Board Files* [online]. 09. 06. 2022 [cit. 2023-04-06]. Dostupné z: <https://www.xilinx.com/member/forms/download/design-license.html?cid=bad0ada6-9a32-427e-a793-c68fed567427&filename=xtp743-kr260-schematic.zip>.

- [29] XILINX, Inc. XTP685 - Kria K26 SOM XDC File (v1.0). In: *AMD Xilinx Board Files* [online]. 14. 05. 2021 [cit. 2023-04-06]. Dostupné z: <https://www.xilinx.com/member/forms/download/design-license.html?cid=29e0261a-9532-4a47-bb06-38c83bbbb8c0&filename=xtp685-kria-k26-som-xdc.zip>.
- [30] ADMIN, Confluence Wiki; ROY, Debraj; DYLAN. Embedded SW Support. In: *Xilinx Wiki* [online]. 28. 02. 2023 [cit. 2023-04-06]. Dostupné z: <https://xilinx-wiki.atlassian.net/wiki/spaces/A/pages/18841631/Embedded+SW+Support>.
- [31] XILINX, Inc. Pre-Built Applications for Kria System-on-Modules. In: *Xilinx Website* [online]. [B.r.] [cit. 2023-04-06]. Dostupné z: <https://www.xilinx.com/products/app-store/kria.html>.
- [32] FOUNDATION, Linux. Real-Time Linux. In: *Linux Foundation DokuWiki* [online]. [B.r.] [cit. 2023-04-06]. Dostupné z: <https://wiki.linuxfoundation.org/realtime/start>.
- [33] KOBRLE, Pavel; PAVELKA, Jiří. *Elektrické pohony a jejich řízení*. 3. přepracované vydání. V Praze: České vysoké učení technické, 2016. ISBN 978-80-01-06007-0.
- [34] XILINX, Inc. Downloads. In: *AMD Xilinx Downloads* [online]. [B.r.] [cit. 2022-11-19]. Dostupné z: <https://www.xilinx.com/support/download.html>.
- [35] XILINX, Inc. Downloads. In: *AMD Xilinx PetaLinux Tools* [online]. [B.r.] [cit. 2022-11-19]. Dostupné z: <https://www.xilinx.com/products/design-tools/embedded-software/petalinux-sdk.html>.
- [36] XILINX, Inc. PetaLinux Tools Documentation: Reference Guide (UG1144). In: *AMD Xilinx Documentation Portal* [online]. [B.r.] [cit. 2022-11-18]. Dostupné z: <https://docs.xilinx.com/r/en-US/ug1144-petalinux-tools-reference-guide>.
- [37] REGHENZANI, Federico; MASSARI, Giuseppe; FORNACIARI, William. The Real-Time Linux Kernel: A Survey on PREEMPT_RT. *ACM Comput. Surv.* 02/2019, roč. 52, č. 1. ISSN 0360-0300. Dostupné z DOI: 10.1145/3297714.
- [38] COMPANY], LogicTronix [FPGA Design + Machine Learning. Real Time Optimization in Petalinux with RT Patch on MPSoC. In: *Hackster.io, an Avnet Community* [online]. 10. 12. 2021 [cit. 2023-04-07]. Dostupné z: <https://www.hackster.io/LogicTronix/real-time-optimization-in-petalinux-with-rt-patch-on-mpsoc-5f4832>.
- [39] ERRAPART, Andrei; IGELBRINK, Felix. How to install the linux-rt (Real-Time) patch. In: *Trenz Electronic Wiki* [online]. 05. 10. 2016 [cit. 2023-04-07]. Dostupné z: <https://wiki.trenz-electronic.de/display/PD/How+to+install+the+linux-rt+%28Real-Time%29+patch>.
- [40] XILINX, Inc. Vivado Design Suite User Guide: Release Notes, Installation, and Licensing (UG973). In: *AMD Xilinx Documentation Portal* [online]. [B.r.] [cit. 2022-11-18]. Dostupné z: <https://docs.xilinx.com/r/en-US/ug973-vivado-release-notes-install-license/>.
- [41] DIGILENT, Inc. Vivado Board Files for Digilent FPGA Boards, 2022. In: *GitHub.io* [online]. 25. 03. 2022 [cit. 2022-11-26]. Dostupné z: <https://github.com/Digilent/vivado-boards>.
- [42] DIGILENT, Inc. Installing Vivado, Vitis, and Digilent Board Files. In: *Digilent Reference* [online]. [B.r.] [cit. 2022-11-26]. Dostupné z: <https://digilent.com/reference/programmable-logic/guides/installing-vivado-and-vitis>.

- [43] KNITTER, Whitney. Getting Started with the Kria KR260 in PetaLinux 2022.1. In: *Hackster.io, an Avnet Community* [online]. 12. 08. 2022 [cit. 2023-04-10]. Dostupné z: <https://www.hackster.io/whitney-knitter/getting-started-with-the-kria-kr260-in-petalinux-2022-1-daec16>.
- [44] KNITTER, Whitney. Add Peripheral Support to Kria KR260 Vivado 2022.1 Project. In: *Hackster.io, an Avnet Community* [online]. 11. 08. 2022 [cit. 2023-04-10]. Dostupné z: <https://www.hackster.io/whitney-knitter/add-peripheral-support-to-kria-kr260-vivado-2022-1-project-874960>.
- [45] KNITTER, Whitney. Getting Started with the Kria KR260 in Vivado 2022.1. In: *Hackster.io, an Avnet Community* [online]. 31. 07. 2022 [cit. 2023-04-10]. Dostupné z: <https://www.hackster.io/whitney-knitter/getting-started-with-the-kria-kr260-in-vivado-2022-1-33746d>.
- [46] XILINX, Inc. Vitis Custom Embedded Platform Creation Example on KV260 – Step 1: Create the Vivado Hardware Design and Generate XSA. In: *Xilinx Vitis Tutorials Github Repository* [online]. 22. 05. 2022 [cit. 2023-04-13]. Dostupné z: https://xilinx.github.io/Vitis-Tutorials/2022-1/build/html/docs/Vitis_Platform_Creation/Design_Tutorials/01-Edge-KV260/step1.html.
- [47] XILINX, Inc. Zynq UltraScale+ MPSoC Processing System Product Guide (PG201). In: *Xilinx Documentation* [online]. 11. 05. 2021 [cit. 2023-04-13]. Dostupné z: <https://docs.xilinx.com/r/en-US/pg201-zynq-ultrascale-plus-processing-system/Fabric-Reset-Enable>.
- [48] ADMIN, Confluence Wiki; BHATT, Madhav. Zynq UltraScale+ MPSoC Restart solution. In: *Xilinx Wiki* [online]. 24. 08. 2022 [cit. 2023-04-13]. Dostupné z: <https://xilinx-wiki.atlassian.net/wiki/spaces/A/pages/18842142/GPIO+User+Space+App>.
- [49] ZAKOPAL, Petr et al. [Kria SOM KR260 Starter Kit] Schematic (pdf) vs constrains (xdc) pin confusion. Possible explanation on fan pinout. In: *Xilinx Support Community Forum* [online]. 18. 03. 2023 [cit. 2023-04-13]. Dostupné z: https://support.xilinx.com/s/question/0D54U00006alUwcSAE/kria-som-kr260-starter-kit-schematic-pdf-vs-constrains-xdc-pin-confusion-possible-explanation-on-fan-pinout?language=en_US.
- [50] HOSSEINABADY, Mohammad. Vitis 2021.1 Embedded Platform for Zybo-Z7-20, 2018. In: *Hackster.io, an Avnet Community* [online]. 16. 08. 2021 [cit. 2022-11-26]. Dostupné z: <https://www.hackster.io/mohammad-hosseinabady2/vitis-2021-1-embedded-platform-for-zybo-z7-20-d39e1a>.
- [51] XILINX, Inc. SoCs with Hardware and Software Programmability. In: *Xilinx Website* [online]. [B.r.] [cit. 2022-11-11]. Dostupné z: <https://www.xilinx.com/products/silicon-devices/soc/zynq-7000.html>.
- [52] DIGILENT, Inc. Zybo Petalinux BSP Project, 2018. In: *GitHub.io* [online]. 29. 03. 2018 [cit. 2022-11-26]. Dostupné z: <https://github.com/Digilent/Petalinux-Zybo>.
- [53] MESSINGER, Roy. GPIO and Petalinux - Part 1. In: *LinkedIn Article* [online]. 20. 06. 2020 [cit. 2023-02-28]. Dostupné z: <https://www.linkedin.com/pulse/gpio-petalinux-part-1-roy-messinger/>.
- [54] MESSINGER, Roy. GPIO and Petalinux - Part 2. In: *LinkedIn Article* [online]. 27. 06. 2020 [cit. 2023-02-28]. Dostupné z: <https://www.linkedin.com/pulse/gpio-petalinux-part-2-roy-messinger/>.
- [55] MESSINGER, Roy. GPIO and Petalinux - Part 3 (Go, UIO, Go!) In: *LinkedIn Article* [online]. 23. 07. 2021 [cit. 2023-02-28]. Dostupné z: <https://www.linkedin.com/pulse/gpio-petalinux-part-3-go-uio-roy-messinger/>.

- [56] ADMIN, Confluence Wiki; O'NEAL, Terry. GPIO User Space App. In: *Xilinx Wiki* [online]. 14. 01. 2020 [cit. 2023-02-28]. Dostupné z: [https://xilinx-wiki.atlassian.net/wiki/spaces/A/pages/18842142/\(GPIO+User+Space+App\)](https://xilinx-wiki.atlassian.net/wiki/spaces/A/pages/18842142(GPIO+User+Space+App).).
- [57] INC., Xilinx. Zynq-7000 SoC Technical Reference Manual (UG585). In: *Xilinx Documentation Portal* [online]. 02. 04. 2021 [cit. 2023-02-28]. Dostupné z: <https://docs.xilinx.com/v/u/en-US/ug585-Zynq-7000-TRM>.
- [58] LIPČÁK, Ondřej; BAUER, Jan. Doprovodný materiál k přednáškám. In: *Materiál k přednáškám předmětu B1M14EPT* [online]. [B.r.] [cit. 2023-02-28]. Dostupné z: <https://moodle.cvut.cz>.
- [59] THE MATHWORKS, Inc. Understanding PID Control, Part 2: Anti-windup for PID control. In: *The MathWorks, Inc. Videos and Webinars* [online]. [B.r.] [cit. 2023-03-04]. Dostupné z: <https://www.mathworks.com/videos/understanding-pid-control-part-2-expanding-beyond-a-simple-integral-1528310418260.html>.

Příloha A: Seznam symbolů a zkratek

A.1 Seznam symbolů

\vec{F} (N) vektor síly

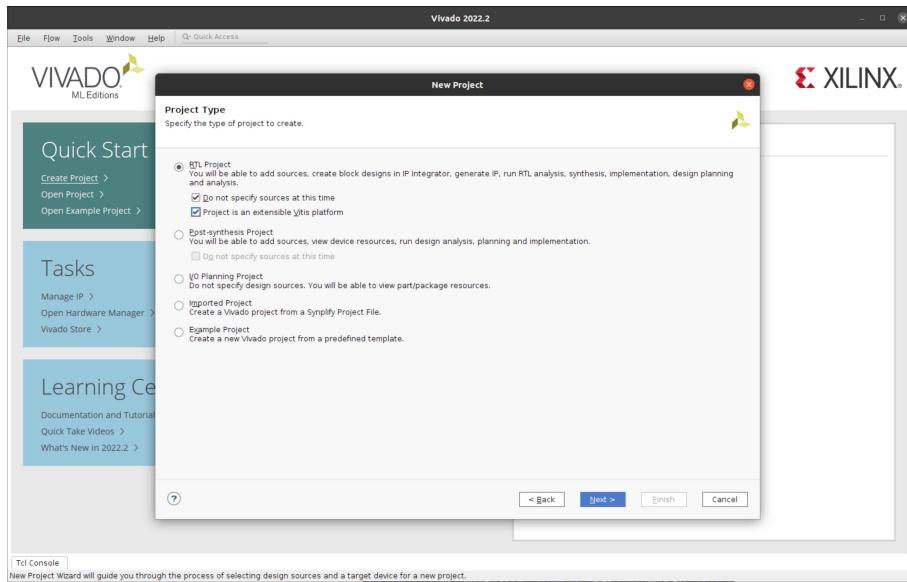
A.2 Seznam zkratek

DCM DC Master

Příloha B: Tvorba HW designu pro Digilent Zynq-7000 vývojovou desku

V této části bude představen postup tvorby HW architektury pro vývojovou desku Digilent Zynq-7000. Postup tvorby platformy byl částečně převzat z [50]. V případě, že je požadováno vytvoření dalších speciálních bloků v čipu PL je třeba do blokového designu vložit odpovídající IP bloky, které zajistí potřebnou funkcionality.

Nejprve je nutné vytvořit nový Vivado projekt a pojmenovat ho dle požadavků. Při výběru typu projektu je nutné zvolit možnost *RTL Project* a aktivovat možnost *Project is an extensible Xilinx platform*. Tento úkon je naznačen na obr. B - 1.



Obr. B - 1 Xilinx Vivado – volba typu projektu pro Digilent Zynq.

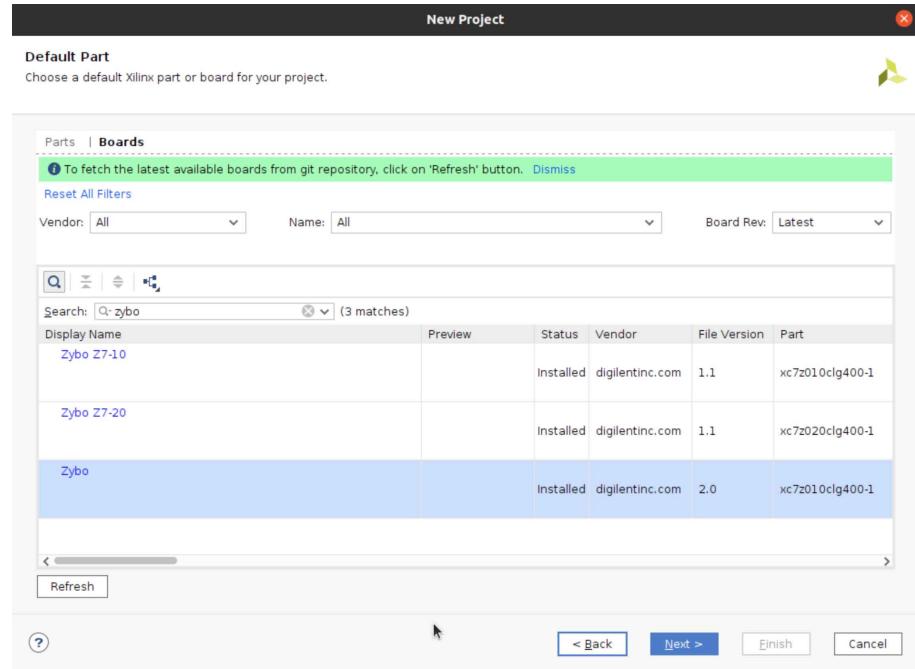
Následně v nabídce *Xilinx part* vybrat možnost *Board* a do vyhledávání zadat název využívané desky. V této práci bude využíváno desky *Zybo*. Díky instalovaným *board files*, představených v části *Vivado Board Files*, je možné nalézt požadovanou desku verze 2.0 a pokračovat v tvorbě designu. Výběr základního HW je zobrazen na obr. B - 2.

Po úspěšné inicializaci projektu je pro další pokračování nutné v menu *Flow Navigator/IP Integrator* zvolit možnost *Create Block Design* a vytvořit nový blokový design. Tvorba blokového designu je naznačena na obr. B - 3.

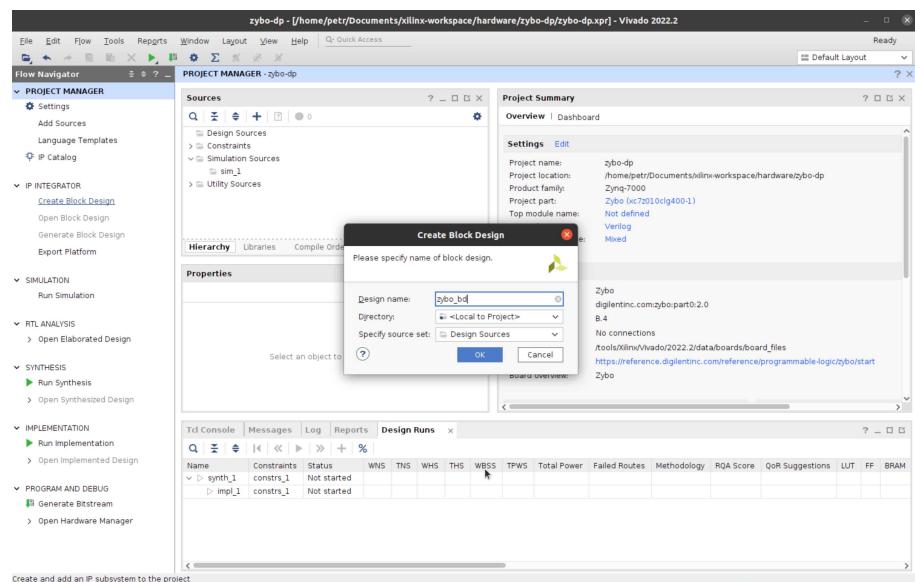
Nyní je možné již přistoupit k tvorbě vlastní architektury. Prvotním krokem tvorby designu je vložit blok *ZYNQ7 Processing System* a zvolit nově zobrazenou možnost *Run Block Automation*. V těchto pomocných automatizacích je většinou výhodné ponechávat nastavené výchozí hodnoty, které jsou pro většinu tvořeného HW designu dostačující. Menu s výběrem IP bloku ZynQ PS je zobrazeno na obr. B - 4.

Poté je pro funkční akcelerované aplikace nutné vložit do designu blok *Clocking Wizard*, ve kterém nastavit v záložce *Output Clocks*, aby byl signál aktivní v 0 a aktivovat pět výstupních signálů *Clock*. Těmto signálům je po aktivaci možné nastavit taktovací frekvenci na 50, 100, 150, 200 a 300 Hz. Poté je nutné na výstup *FCLK_CLK0* bloku *ZYNQ7 Processing System* připojit vstup *clk_in1* a k výstupu *FCLK_RESET0_N* vstup *resetn*.

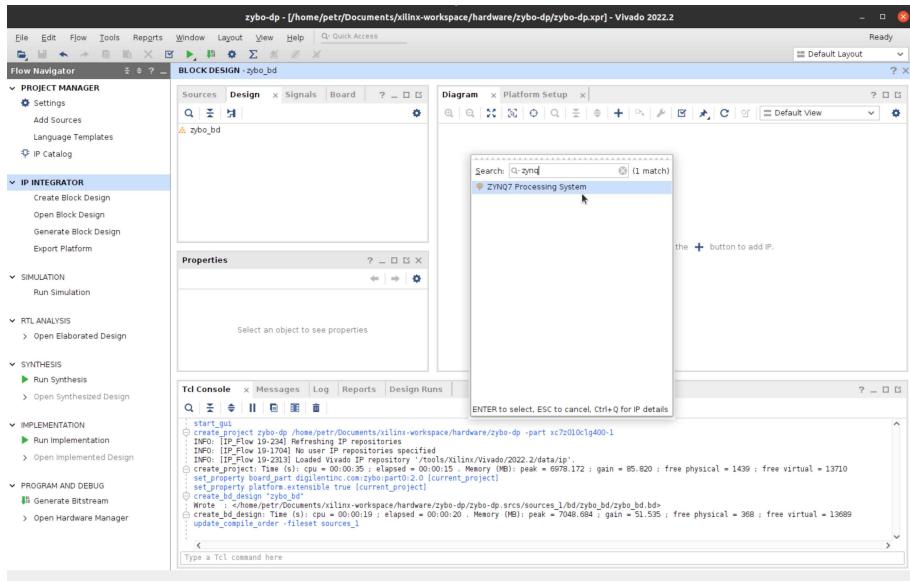
Po nastavení bloku *Clocking Wizard* je zapotřebí do designu vložit pět bloků *Processor System Reset*.



Obr. B - 2 Xilinx Vivado – výběr základního HW, pro který bude vytvářena architektura pro Digilent Zybo.

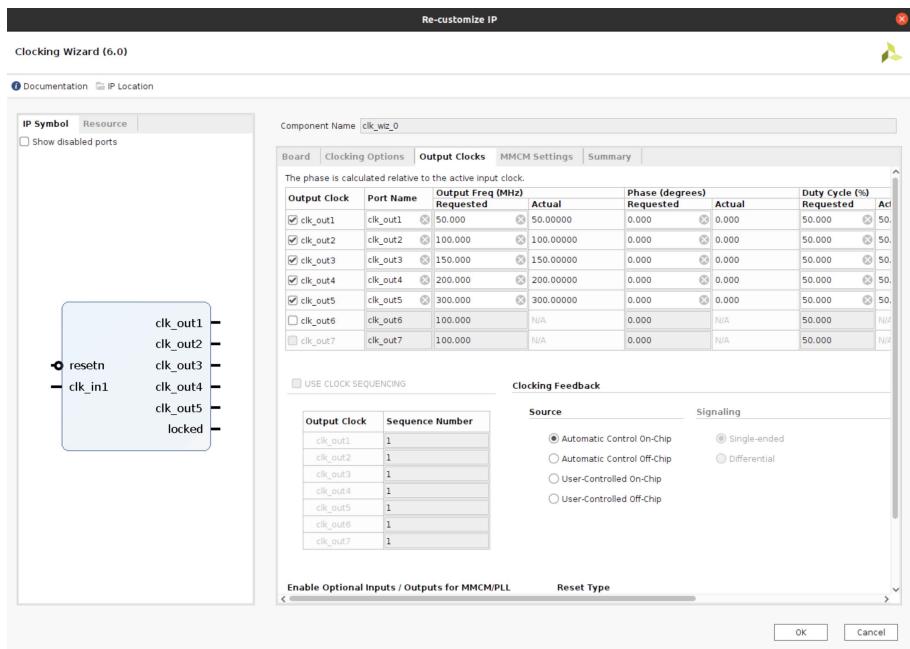


Obr. B - 3 Xilinx Vivado – vytváření Block Design pro Digilent Zybo.

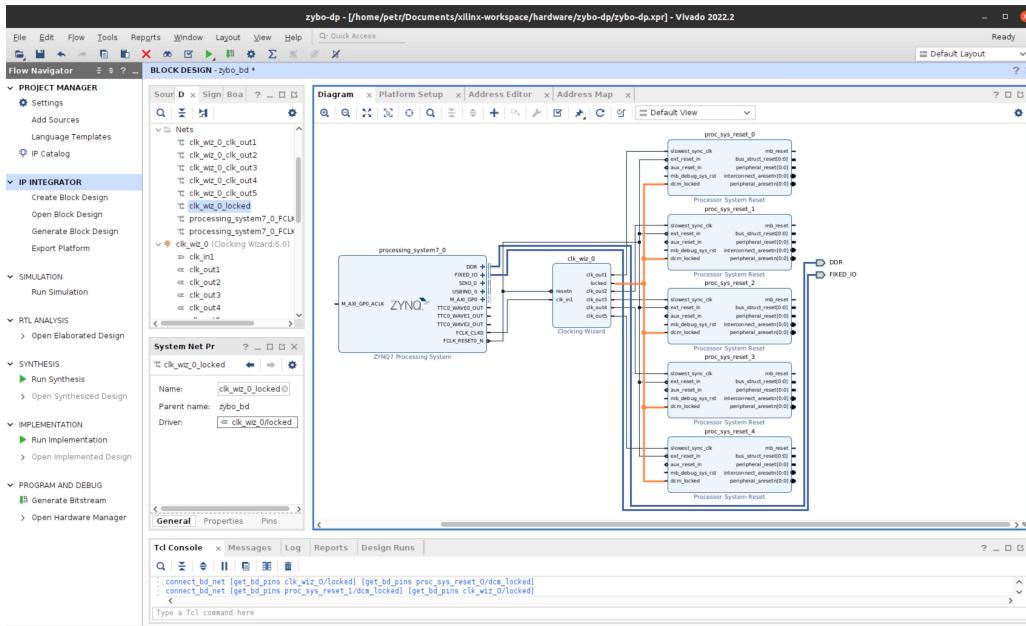


Obr. B - 4 Xilinx Vivado – vložení bloku ZYNQ7 Processing System pro Digilent Zybo.

Následuje propojení odpovídajících výstupů bloků *Clocking Wizard* s názvem *clk_outX*, kde *X* značí pořadí výstupního signálu, s odpovídajícími bloky *Processor System Reset* a jejich vstupy *slowest_sync_clk*. Ke všem vstupům *dcm_locked* bloků *Processor System Reset* je nutné připojit výstup *locked Clocking Wizard*. A konečně ke všem vstupům *ext_reset_in* připojit výstup *FCLK_RESET0_N* ZynQ bloku. Představené propojení jednotlivých bloků je možné pozorovat na obr. B - 6.



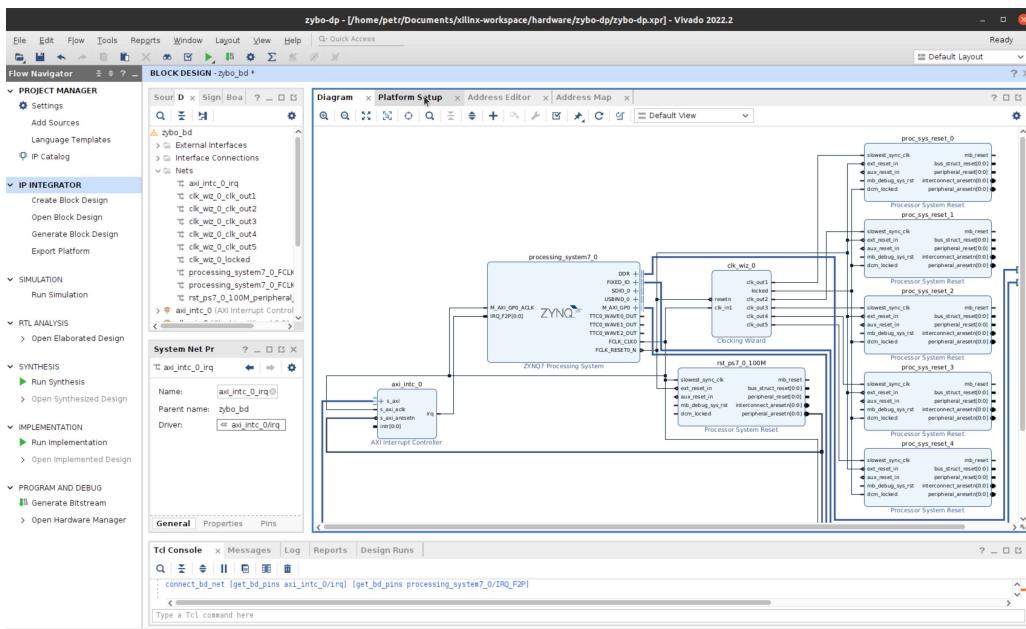
Obr. B - 5 Xilinx Vivado – nastavení výstupních taktovacích signálů pro Digilent Zybo.



Obr. B - 6 Xilinx Vivado – propojení bloků taktování pro Digilent Zybo.

Nyní je možné otevřít nastavení *ZYNQ7 Processing System* a v záložce *Interrupts* povolit nastavení *Fabric Interrupts/PL-PS Interrupt Ports/IRQ_F2P* přerušení. Následně do designu je nutné vložit blok řídící přerušení se jménem *AXI Interrupt Controller*, otevřít jeho nastavení a v sekci *Processor Interrupt Type and Connection* změnit nastavení *Interrupt Output Connection* z *Bus* na *Single*. Následně je opět možné spustit automatické propojení jednotlivých bloků s výchozím nastavením.

Aby byly přerušení funkční, je třeba propojit výstup bloku *AXI Interrupt Controller* se jménem *irq* se vstupem bloku *ZYNQ7 Processing System IRQ_F2P*. Minimální funkční blokový design je zobrazen na obr. B - 7.



Obr. B - 7 Xilinx Vivado – minimální funkční blokový design pro akcelerovanou aplikaci pro Digilent Zybo.

Nyní je možné přejít ze záložky *Diagram* do záložky *Platform Setup* ve které je pro zajištění funkč-

nosti nutné nastavit určité potřebné konektory a výstupy. Následuje nastavení parametrů bloku *ZYNQ7 Processing System* v záložce *AXI Port* dle tabulky č. B - 1.

Tab. B - 1 Ukázka nastavených AXI portů v Xilinx Vivado platformě pro Digilent Zybo.

Name	Enabled	Mexport	SP Tag
M_AXI_GP1	X	M_AXI_GP	-
S_AXI_ACP	O	-	-
S_AXI_HP0	X	S_AXI_HP	HP0
S_AXI_HP1	X	S_AXI_HP	HP1
S_AXI_HP2	X	S_AXI_HP	HP2
S_AXI_HP3	X	S_AXI_HP	HP3

Aby bylo možné zapisovat do globální paměti přes MAXI Adapter je nutné povolit funkci vybraných portů v bloku *AXI Interconnect*. V této práci byly povoleny porty *M01_AXI* až *M32_AXI*.

Následně v záložce *Clock* je nutné povolit *clk_outx*, kde $x \in <1, 5>$, nastavit jejich odpovídající ID a jako výchozí použít taktovací signál 100 MHz.

Dále je v záložce *Interrupt* nutné aktivovat výstup *intr* bloku *AXI Interrupt Controller*.

Aby bylo možné případně provádět HW-emulaci, je nutné v kartě *Diagram* zvolit blok *ZYNQ7 Processing System* a v záložce *Block Properties* v nabídce *SELECTED_SIM_MODEL* zvolit možnost *tlm*. [50]

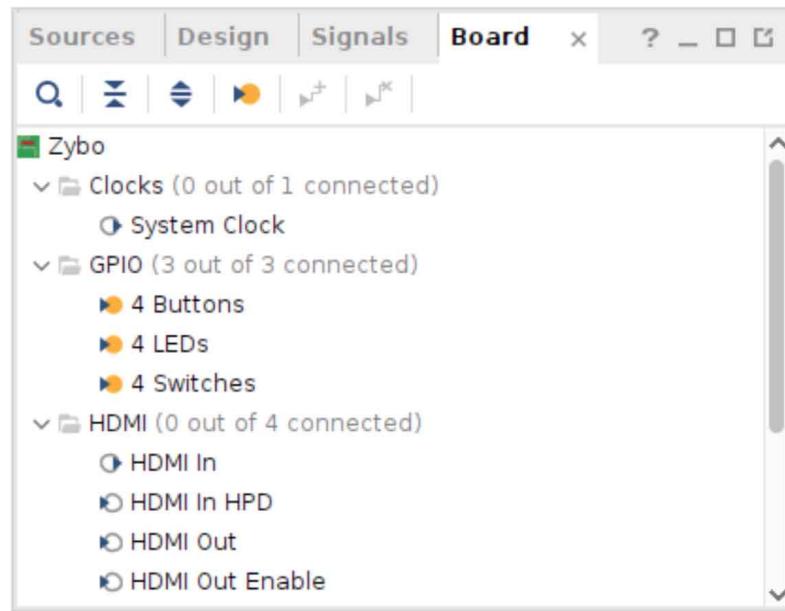
V této práci nebylo dosaženo funkční SW ani HW simulace pro desku Digilent Zybo z neznámých důvodů. Pokud byl emulátor QEMU spuštěn zvlášť pomocí příkazové řádky a přes příkaz byly *scp* přesunuty potřebné soubory, jednalo se pouze o SW simulaci bez připojeného PL a tudíž nebylo možné algoritmy ověřit.

Pro zajištění funkčních GPIO (General Purpose Input/Output) pro ovládání LED signalizace, tlačítek a přepínačů, připojených na PL, je nutné do blokového designu z karty *Board/Zybo/GPIO* vložit potřebné IP. Po kliknutí pomocí pravého tlačítka myši na vybraný blok je nutné zvolit z nabídky *Connect board component* a požadovaný GPIO interface. Blok *AXI GPIO* je automaticky vložen do blokového designu a jeho přítomnost je signalizována na kartě *Board/Zybo/GPIO* zvýrazněním vložených bloků (ukázka na obr. B - 8). Dle požadavku uživatele je možné vybrat zda bude využíváno *GPIO* nebo *GPIO2* rozhraní. Dle vybraného rozhraní budou poté adresovány jednotlivé výstupy a vstupy v *Petalinux*. Ukázka vytvořeného designu s IP pro GPIO je na obr. B - 9.

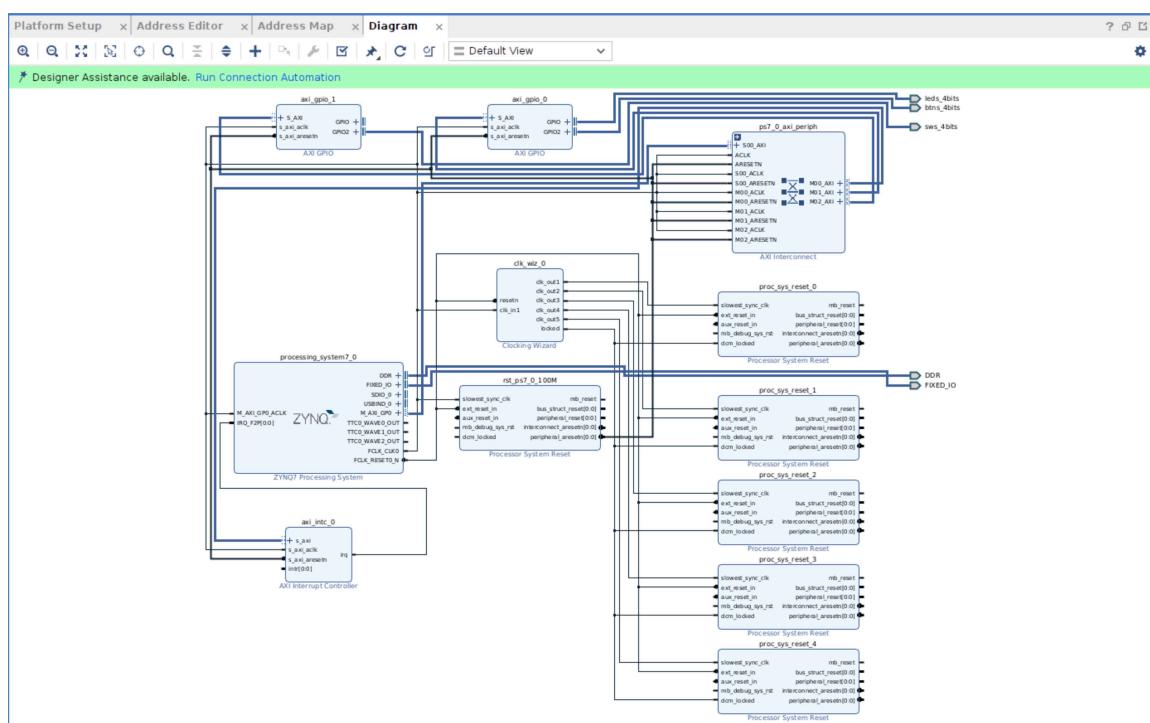
Rozdělení vstupů a výstupů do jednotlivých částí SoC – PS a PL je vyzobrazeno na obr. B - 10.

Před dalším pokračováním je možné design validovat pomocí příslušného tlačítka validace na horizontální ovládací liště. Pokud je již HW design vytvořen a nakonfigurován, je možné v kartě *Sources/Design Sources* vybrat vytvořený design a pomocí nabídky pravého tlačítka myši vybrat možnost *Create HDL Wrapper*. V tomto kroku je opět prováděna validace designu. Pokud se v designu vyskytují kritická upozornění, která jsou zobrazena například na obr. B - 11, je stále možné pokračovat v tvorbě konečného produktu.

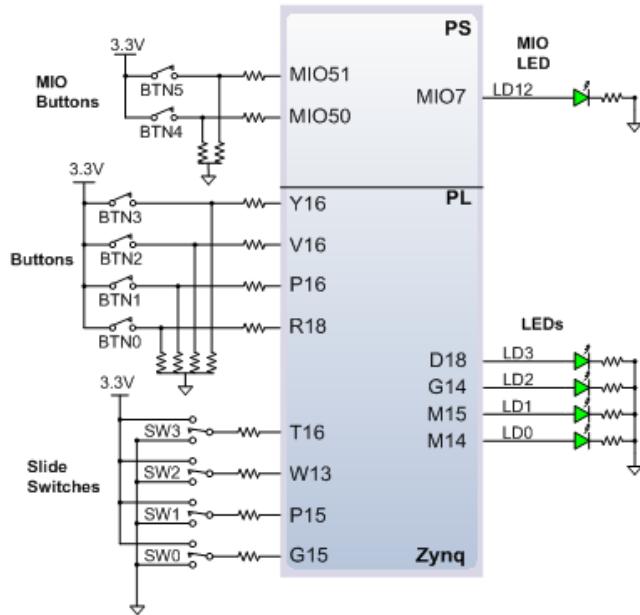
Po vytvoření *HDL Wrapper* je možné v menu *Flow Navigator/Program and Debug* zvolit krok *Generate Bitstream*. Pokud do tohoto kroku nebyla provedena syntéza ani implementace designu, objeví se hlášení, že je třeba tyto kroky provést, v případě pokračování v požadavku generování bitstreamu budou automaticky provedeny. V navazující nabídce možné vybrat, zda procesy budou probíhat lokálně či na



Obr. B - 8 Xilinx Vivado – signalizace vložených AXI GPIO bloků pro LED, BTN, SW na kartě Board/Zybo/GPIO pro Digilent Zybo.

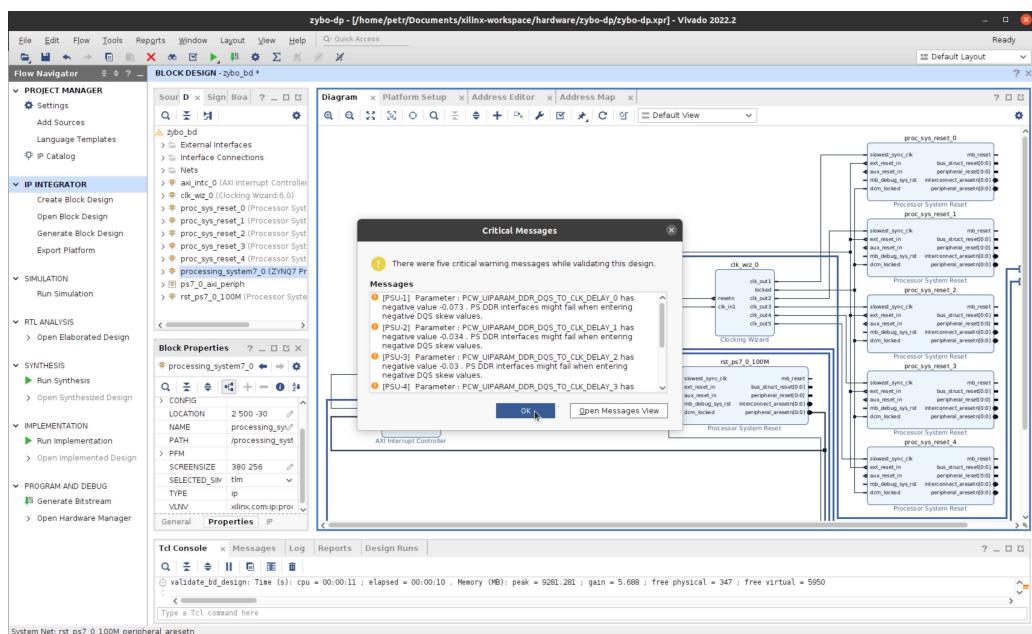


Obr. B - 9 Xilinx Vivado – block design s využitím GPIO pro LED, BTN, SW propojených s PL pro Digilent Zybo.



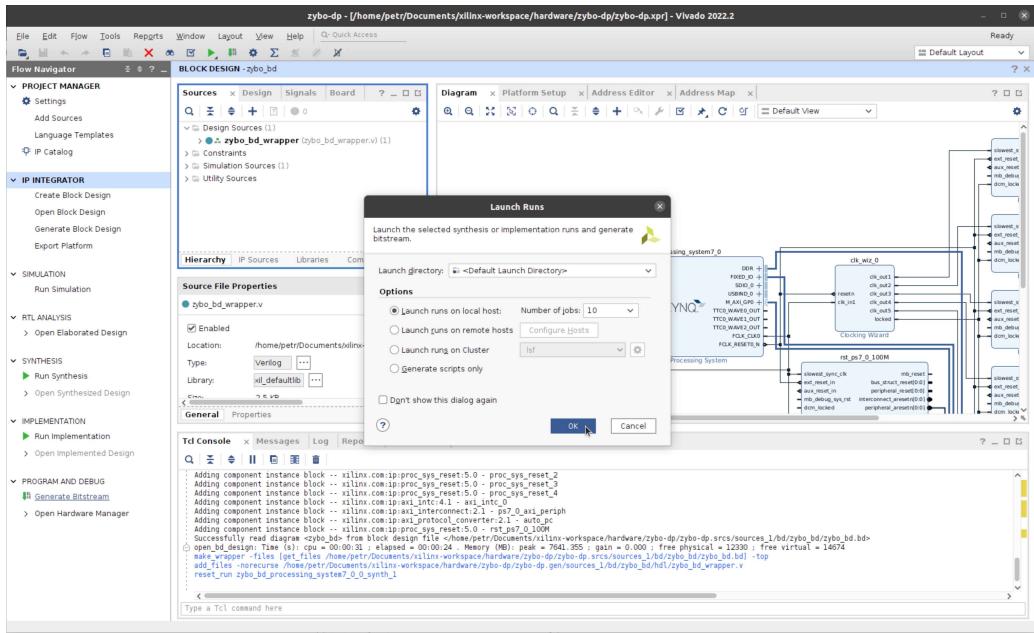
Obr. B - 10 Uspořádání připojení tlačítek, přepínačů a LED k PS a PL pro vývojovou desku Digilent Zybo. [24]

vzdáleném serveru, nebo clusteru. Také je možné zvolit kolik výpočetních jader procesoru se bude podílet na prováděných úkolech. V případě využití osobního počítače pro generaci bitstreamu (i předcházející syntézy a implementace) autor práce doporučuje používat méně než polovinu dostupných jader. Tato volba vychází z experimentálního zjištění, že v případě využití vyššího počtu jader může dojít k neočekávané chybě a proces provádění úkolů bude bez udání jakékoli informace ukončen a proces syntézy, implementace a generace bitstreamu bude nutné spustit znova. Ukázka nastavení procesu je zobrazena na obr. B - 12.



Obr. B - 11 Xilinx Vivado – kritická upozornění vzniklá po validaci designu, která je možné ignorovat.

Indikátor provádění jednotlivých procesů je umístěn v pravém horním rohu. Záznam prováděných



Obr. B - 12 Xilinx Vivado – nastavení provádění úkonů syntézy, implementace a generování bitstreamu, volba použitých výpočetních jader a určení, kde se mají procesy vykonávat pro Digilent Zybo.

procesů je umístěn v kartě *Log*.

Po úspěšném provedení jednotlivých kroků je zobrazena nabídka, která umožňuje nahlédnout na vytvořený design. Tuto nabídku je možné zavřít aniž by byla vykonávána jakákoli z nabízených možností.

Po ukončení procesů je pro možné použití vytvořeného designu pro tvorbu PetaLinux systému a aplikací v Xilinx Vitis nutné exportovat vytvořenou platformu. Export je proveden pomocí sekvence tlačítek *File/Export/Export platform*. Ve výběru platformy je výhodné zvolit možnost *Hardware and hardware emulation*, která umožňuje použít design pro skutečný HW i jeho emulaci. V nabídce *Platform State* je nutné vybrat možnost *Pre-Synthesis*, která umožňuje další zpracování aplikace v Xilinx Vitis pomocí V++. Důležitou volbou je zvolení možnost *Include bistream*, který byl produktem tvorby designu v této části.

Po nastavení dodatečných informací platformy je možné jej vyexportovat do požadované lokace, kde bude dále využívána.