



# **ČESKÉ VYSOKÉ UČENÍ TECHNICKÉ V PRAZE**

**Fakulta elektrotechnická**

**Katedra elektrických pohonů a trakce**

**Možnosti využití SoC platformy procesorů pro řízení elektrických pohonů**

**Possibilities of Using SoC Platform Processors for Controlling Electric Drives**

Diplomová práce

Studijní program: Elektrotechnika, Energetika a Management

Studijní obor: Elektrické pohony

Vedoucí práce: Ing. Jan Bauer, Ph.D.

**Petr Zakopal  
Praha 2023**



## I. OSOBNÍ A STUDIJNÍ ÚDAJE

Příjmení: **Zakopal** Jméno: **Petr** Osobní číslo: **483802**  
Fakulta/ústav: **Fakulta elektrotechnická**  
Zadávající katedra/ústav: **Katedra elektrických pohonů a trakce**  
Studijní program: **Elektrotechnika, energetika a management**  
Specializace: **Elektrické pohony**

## II. ÚDAJE K DIPLOMOVÉ PRÁCI

Název diplomové práce:

**Možnosti využití SoC platformy procesorů pro řízení elektrických pohonů**

Název diplomové práce anglicky:

**Possibilities of Using SoC Platform Processors for Controlling Electric Drives**

Pokyny pro vypracování:

- 1) Proveďte rešerši struktur SoC pro využití v oblasti řízení elektrických pohonů
- 2) Zvolte jednu platformu SoC popište její vlastnosti a volbu zdůvodněte
- 3) Seznamte se se softwareovými prostředky potřebnými pro vývoj SoC aplikací a popište jejich ovládání
- 4) Funkčnost a potenciál zvolené platformy demonstreujte jednoduchým příkladem na řízení pohonů

Seznam doporučené literatury:

- [1] PAVELKA, Jiří a Pavel KOBRLE. Elektrické pohony a jejich řízení. 3. přepracované vydání. Praha: České vysoké učení technické v Praze, 2016. ISBN 978-80-01-06007-0.
- [2] XILINX, Inc. Kria K26 SOM Data Sheet (DS987). In: AMD Xilinx Documentation Portal [online]. <https://docs.xilinx.com/r/en-US/ds987-k26-som>.
- [3] XILINX, Inc. Vivado Design Suite User Guide: Release Notes, Installation, and Licensing (UG973). In: AMD Xilinx Documentation Portal
- [4] XILINX, Inc. Vitis Unified Software Platform Documentation: Application Acceleration Development (UG1393). In: AMD Xilinx Documentation Portal
- [5] XILINX, Inc. PetaLinux Tools Documentation: Reference Guide (UG1144). In: AMD Xilinx Documentation Portal

Jméno a pracoviště vedoucí(ho) diplomové práce:

**doc. Ing. Jan Bauer, Ph.D.    katedra elektrických pohonů a trakce    FEL**

Jméno a pracoviště druhé(ho) vedoucí(ho) nebo konzultanta(ky) diplomové práce:

Datum zadání diplomové práce: **25.04.2023** Termín odevzdání diplomové práce: **26.05.2023**

Platnost zadání diplomové práce: **16.02.2025**

doc. Ing. Jan Bauer, Ph.D.  
podpis vedoucí(ho) práce

podpis vedoucí(ho) ústavu/katedry

prof. Mgr. Petr Páta, Ph.D.  
podpis děkana(ky)

## III. PŘEVZETÍ ZADÁNÍ

Diplomant bere na vědomí, že je povinen vypracovat diplomovou práci samostatně, bez cizí pomoci, s výjimkou poskytnutých konzultací. Seznam použité literatury, jiných pramenů a jmen konzultantů je třeba uvést v diplomové práci.

Datum převzetí zadání

Podpis studenta



## PROHLÁŠENÍ

Prohlašuji, že jsem předloženou práci vypracoval samostatně a že jsem uvedl veškeré použité informační zdroje v souladu s Metodickým pokynem o dodržování etických principů při přípravě vysokoškolských závěrečných prací.

V Praze dne \_\_\_\_\_

Petr Zákapal

## PODĚKOVÁNÍ

Nam quis commodo justo. Mauris diam metus, mattis sed rutrum in, volutpat sit amet sem. Nam bibendum commodo porttitor. Quisque eget lectus rutrum, molestie tortor id, iaculis nunc. Sed et maximus ipsum. Vivamus vel facilisis nisl. Curabitur eu nibh nec erat mollis finibus at in sapien. Mauris viverra sapien neque, nec lacinia odio laoreet eu. Quisque consectetur eros ac orci interdum scelerisque.

## **ABSTRAKT**

Nam quis commodo justo. Mauris diam metus, mattis sed rutrum in, volutpat sit amet sem. Nam bibendum commodo porttitor. Quisque eget lectus rutrum, molestie tortor id, iaculis nunc. Sed et maximus ipsum. Vivamus vel facilisis nisl. Curabitur eu nibh nec erat mollis finibus at in sapien. Mauris viverra sapien neque, nec lacinia odio laoreet eu. Quisque consectetur eros ac orci interdum scelerisque.

**Klíčová slova:** Lorem ipsum dolor sit amet, consectetur adipiscing elit. Duis aliquam finibus sagittis. Nunc venenatis, augue quis luctus dictum, elit justo pharetra leo, nec viverra purus dui at quam.

## **ABSTRACT**

Nam quis commodo justo. Mauris diam metus, mattis sed rutrum in, volutpat sit amet sem. Nam bibendum commodo porttitor. Quisque eget lectus rutrum, molestie tortor id, iaculis nunc. Sed et maximus ipsum. Vivamus vel facilisis nisl. Curabitur eu nibh nec erat mollis finibus at in sapien. Mauris viverra sapien neque, nec lacinia odio laoreet eu. Quisque consectetur eros ac orci interdum scelerisque.

**Keywords:** Lorem ipsum dolor sit amet, consectetur adipiscing elit. Duis aliquam finibus sagittis. Nunc venenatis, augue quis luctus dictum, elit justo pharetra leo, nec viverra purus dui at quam.

## OBSAH

<b>1</b>	<b>Úvod.....</b>	<b>1</b>
<b>2</b>	<b>System on a chip.....</b>	<b>2</b>
2.1	Application Specific Integrated Circuit .....	2
2.2	Aplikace SoC .....	2
<b>3</b>	<b>System on Modules .....</b>	<b>3</b>
3.0.1	Embedded Systems.....	3
3.0.2	Hardware Accelerated Applications .....	4
3.0.3	Výpočetní technika, mobilní zařízení a elektronika .....	5
<b>4</b>	<b>Programovatelné hradlové pole – FPGA .....</b>	<b>6</b>
4.1	Vývoj FPGA z PLD .....	6
4.2	Aktuální složení FPGA .....	6
4.2.1	Generátory funkcí .....	7
4.2.2	Paměťové elementy .....	8
4.2.3	Logické buňky .....	8
4.2.4	Logické bloky .....	8
4.2.5	Propojení bloků.....	9
4.2.6	I/O bloky .....	9
4.2.7	Bloky speciálních funkcí .....	9
4.3	Programování .....	9
4.3.1	Forma tvorby algoritmu pro FPGA .....	10
4.3.2	Konverze HDL na konfigurační Bitstream.....	10
4.4	Spotřeba .....	11
4.5	Využití .....	11
4.5.1	Aplikace v nepohonářských odvětví.....	11
4.5.2	Aplikace v elektrických pohonech.....	12
<b>5</b>	<b>Vývojová deska Digilent Zybo .....</b>	<b>14</b>
5.1	Základní přehled.....	14
5.1.1	CPU a FPGA čip .....	14
5.1.2	Uspořádání vývojové desky Zybo Zynq-7000 .....	17
<b>6</b>	<b>Vývojová deska Xilinx Kria KR260.....</b>	<b>20</b>
6.1	Základní přehled.....	20
6.1.1	CPU a FPGA čip .....	20
6.2	Uspořádání vývojové desky .....	22
6.2.1	Dostupné K26 SOM .....	24
<b>7</b>	<b>Porovnání představených SoC/SoM platforem pro řízení elektrických pohonů</b>	<b>25</b>
7.1	Konektivita .....	25
7.2	PS a PL .....	25

7.3	Developer Experience .....	26
7.4	Aplikace a operační systém .....	26
<b>8</b>	<b>Zpětnovazební vektorová regulace .....</b>	<b>28</b>
<b>9</b>	<b>Model stroje .....</b>	<b>30</b>
9.1	Matematický popis „kompletního“ modelu stroje .....	30
9.2	I-n model asynchronního motoru .....	31
<b>10</b>	<b>Použité nástroje pro vývoj aplikace pro PS a PL .....</b>	<b>33</b>
10.1	Xilinx Vivado .....	33
10.2	Xilinx Vitis .....	33
10.3	PetaLinux Tools .....	34
10.4	RealTime Linux Patch .....	35
10.4.1	Postup aplikace PREEMPT_RT patch .....	36
10.5	Programovací prostředí – operační systém Linux .....	37
<b>11</b>	<b>Struktura složek .....</b>	<b>38</b>
<b>12</b>	<b>Tvorba HW architektury Xilinx Vivado .....</b>	<b>39</b>
12.1	Vivado Board Files .....	39
12.2	Tvorba HW designu pro Xilinx Kria KR260 vývojovou desku .....	39
12.2.1	Konfigurace PS pro využití implementovaných periferií .....	47
12.2.2	Design Constraints .....	51
12.2.3	HW block design vyvýjené aplikace .....	52
<b>13</b>	<b>Tvorba PetaLinux .....</b>	<b>54</b>
13.1	Hardware konfigurace PetaLinux .....	54
13.2	Konfigurace kernelu PetaLinux .....	55
13.2.1	Konfigurace Device Tree .....	56
13.3	Konfigurace Root File System .....	57
13.4	Závěrečný build PetaLinux, generování SDK a tvoření WIC obrazu systému .....	59
13.5	Spuštění systému PetaLinux na KR260 .....	60
13.6	Nastavení Ethernet adaptéru po spuštění systému .....	60
<b>14</b>	<b>Tvorba akcelerované aplikace ve Vitis IDE .....</b>	<b>61</b>
14.1	Tvorba platformy pro akcelerovanou aplikaci .....	61
14.2	Tvorba application projektu .....	62
<b>15</b>	<b>Deployment aplikace na platformu .....</b>	<b>65</b>
<b>16</b>	<b>Vytvořená aplikace .....</b>	<b>67</b>
16.1	Bezpečnost při uživatelském ukončení aplikace .....	67
16.2	Keyboard Input .....	69
16.2.1	Konfigurace PL .....	69

16.2.2	PS Aplikace .....	69
16.2.3	Interakce s kernelem .....	70
16.3	CPU/FPGA Model .....	73
16.3.1	Zobrazení výsledků simulace .....	73
16.4	Preloaded Data .....	76
16.5	SPI .....	78
16.6	Timer Thread .....	81
16.6.1	Thread Loop .....	82
16.7	Akcelerované algoritmy (kernely) v PL .....	87
16.7.1	Implementace výpočtu diferenciálních rovnic .....	88
16.7.2	Implementace regulátorů .....	88
16.7.3	Implementace modulace prostorového vektoru .....	89
16.7.4	Implementace modelu invertoru .....	90
16.7.5	Implementace modelu asynchronního motoru .....	90
<b>17</b>	<b>Popis pracovišť .....</b>	<b>91</b>
17.1	SPI komunikace .....	92
<b>18</b>	<b>Poznatky získané profilováním aplikací .....</b>	<b>94</b>
18.1	Preloaded Data – Legacy Application .....	94
18.2	CPU/FPGA .....	97
18.3	Využití zdrojů pro PL jednotlivých akcelerovaných aplikací .....	99
	<b>Závěr .....</b>	<b>100</b>
	<b>Literatura .....</b>	<b>105</b>
<b>Příloha A</b>	<b>Seznam symbolů a zkratek .....</b>	<b>106</b>
A.1	Seznam zkratek .....	106
A.2	Seznam symbolů .....	108
<b>Příloha B</b>	<b>Tvorba HW designu pro Digilent Zybo Zynq-7000 vývojovou desku.</b>	<b>110</b>
<b>Příloha C</b>	<b>Upravený postup debugingu PL pro Digilent Zybo .....</b>	<b>118</b>

## SEZNAM OBRÁZKŮ

3 - 1	Blokové schéma Embedded systému a řízeného fyzikálního systému. (převzato a upraveno z [8]) .....	4
4 - 1	Blokové schéma složení moderních FPGA.....	6
4 - 2	Základní koncept uspořádání FPGA.....	7
4 - 3	Ukázka, jakým způsobem realizuje funkční generátor požadovanou funkci pomocí SRAM a MUX. ....	8
4 - 4	Blokové schéma převodu aplikace, naprogramované v procedurálním jazyce, na bit-stream, kterým je konfigurováno FPGA.....	11
5 - 1	Vývojová deska Digilent ZYBO Zynq-7000 ARM/FPGA SoC Trainer Board – boční pohled. ....	14
5 - 2	Detailní schéma čipu Zynq-7000, umístěného na vývojové desce <i>Digilent ZYBO Zynq-7000 ARM/FPGA SoC Trainer Board</i> . (převzato z [23]) .....	16
5 - 3	Vývojová deska Digilent ZYBO Zynq-7000 ARM/FPGA SoC Trainer Board vrchní pohled s vyznačením komponent. ....	17
5 - 4	Vývojová deska Digilent ZYBO Zynq-7000 ARM/FPGA SoC Trainer Board – spodní pohled. ....	18
6 - 1	Vývojová deska Xilinx Kria KR260 – boční pohled.....	20
6 - 2	Blokový diagram K26 SOM Kria. [5] .....	21
6 - 3	Vývojová deska Xilinx Kria KR260 vrchní pohled s vyznačením komponent. ....	23
6 - 4	Vývojová deska Xilinx Kria KR260 – spodní pohled. ....	23
8 - 1	Obecné schéma zpětnovazební vektorové regulace. (převzato z [33], [34], upraveno)....	28
8 - 2	Simulační schéma zpětnovazební vektorové regulace, realizované v této práci. (převzato z [33], [34], upraveno) .....	29
10 - 1	Blokový diagram tvorby spustitelné aplikace v prostředí Vitis. (převzato z [27], upraveno)	34
10 - 2	Graf prováděné simulace při testování PREEMPT_RT Linux Patch. ....	35
12 - 1	Xilinx Vivado – volba typu projektu, použitelného dále jako platforma ve Vitis, pro Xilinx KR26. ....	40
12 - 2	Xilinx Vivado – výběr základní komponenty, pro který bude HW design vytvářen. ....	40
12 - 3	Xilinx Vivado – nabídka vytváření block design. ....	41
12 - 4	Xilinx Vivado – vložení PS IP bloku. ....	41
12 - 5	Xilinx Vivado – automatické propojení pro PS. ....	42
12 - 6	Xilinx Vivado – zablokování FPD a odblokování LPD pro block design. ....	42
12 - 7	Xilinx Vivado – nastavení bloku Clocking wizard. ....	43
12 - 8	Xilinx Vivado – blokový design s PS a blokem Clocking wizard po provedení automatizace.	43
12 - 9	Xilinx Vivado – propojení bloků Clocking wizard a Processor System Reset. ....	44
12 - 10	Xilinx Vivado – nastavení bloku AXI Interrupt Controller.....	44
12 - 11	Xilinx Vivado – block design po automatizaci a propojení bloku AXI Interrupt Controller.	45
12 - 12	Xilinx Vivado – nastavení bloku Slice pro odstranění dvou horních bitů signálu. ....	46
12 - 13	Xilinx Vivado – minimální funkční design s výstupním pinem pro řízení ventilátoru. ....	46
12 - 14	Xilinx Vivado – záložka nastavení clock signálů na platformě. ....	47
12 - 15	Xilinx Vivado – PS I/O Configuration QSPI zařízení. ....	48

12 - 16	Xilinx Vivado – PS I/O Configuration I2C zařízení .....	48
12 - 17	Xilinx Vivado – PS I/O Configuration PMU (GPIO 4 a GPIO 5 není vybráno). ....	48
12 - 18	Xilinx Vivado – PS I/O Configuration SPI zařízení. ....	49
12 - 19	Xilinx Vivado – PS I/O Configuration UART zařízení.....	49
12 - 20	Xilinx Vivado – PS I/O Configuration GPIO zařízení.....	49
12 - 21	Xilinx Vivado – PS I/O Configuration System Watchdog Timers (SWDT).....	49
12 - 22	Xilinx Vivado – PS I/O Configuration Triple Timer Counter (TTC), TTC 0 výstup Wa- veout je využit pro PIN řídící chladící ventilátor na SoM .....	49
12 - 23	Xilinx Vivado – PS I/O Configuration USB. ....	50
12 - 24	Xilinx Vivado – PS I/O Configuration DisplayPort. ....	50
12 - 25	Xilinx Vivado – PS UltraScale+ Block Design v PS IP. ....	50
12 - 26	Xilinx Vivado – okno tvorby/vložení Constraints File. ....	51
12 - 27	Xilinx Vivado – HW block design vyvýjené aplikace.....	53
13 - 1	Xilinx Vivado – snímek obrazovky konfigurace PetaLinux pomocí „petalinux-config“ příkazu. ....	55
14 - 1	Xilinx Vitis IDE – tvorba platformy pro akcelerovanou aplikaci. ....	62
14 - 2	Xilinx Vitis IDE – build proces platfromy. ....	62
14 - 3	Xilinx Vitis IDE – výběr platformy pro vytvoření Application Project.....	63
16 - 1	Základní větvení ukázkové aplikace. ....	67
16 - 2	Keyboard Input větev aplikace – manuální nastavování vstupních hodnot do I-n modelu.	70
16 - 3	Snímek obrazovky konzole, zobrazující postup spuštění podaplikace Keyboard Input a výpis první iterace výsledků z kernelu.....	72
16 - 4	CPU/FPGA Model větví aplikace – matematický I-n model, regulace, ASM model v FPGA. 74	
16 - 5	Časová závislost velikosti mechanické otáčivé rychlosti $\Omega$ a velikosti magnetického toku rotoru $\psi_2$ . Výsledné hodnoty získané ze simulace akcelerované pomocí kernelu v PL....	76
16 - 6	Preloaded Data větví aplikace – automatické čtení změřených/simulovaných vstupních hodnot do I-n modelu a jejich následné hromadné zpracování v kernelu. ....	78
16 - 7	SPI větví aplikace – manuální odesílání dat přes SPI. ....	79
16 - 8	SPI Timer Thread větví aplikace – AXI Timer Thread s automatickým odesíláním dat. ..	81
16 - 9	SPI Timer Thread detail threadLoop části.....	83
16 - 10	Blokové schéma regulátoru s ošetřením anti-windup pomocí principu clamping. ....	89
17 - 1	Blokové schéma uspořádání vývojového pracoviště. ....	91
17 - 2	Názorné schéma připojení PMOD 3 Xilinx Kria KR260 k LED Matici s obvodem MAX7219. 92	
17 - 3	Oscilogram znázorňující časové průběhy SPI komunikace – 10 MHz CLK signál a MOSI signál, přenášející data 0x10000001. ....	93
17 - 4	Oscilogram znázorňující detail časového průběhu SPI komunikace – 10 MHz CLK signál. 93	
18 - 1	System diagram – Vitis Analyzer pro Preloaded Data aplikaci. ....	94
18 - 2	Timeline Trace – Vitis Analyzer pro Preloaded Data aplikaci při zpracování 1 M dat. Na obrázku je zobrazen celý životní cyklus aplikace od startu až po ukončení. ....	96
18 - 3	Timeline Trace – Vitis Analyzer pro Preloaded Data aplikaci při zpracování 1 M dat. Na obrázku je zobrazena část, kdy je spuštěn kernel a aplikace v PS čeká na výsledky jeho kalkulací.....	96

18 - 4	System diagram – Vitis Analyzer pro CPU/FPGA aplikaci. ....	97
18 - 5	Timeline Trace – Vitis Analyzer pro CPU/FPGA aplikaci při zpracování 1000 souborů dat. Na obrázku je zobrazen celý životní cyklus aplikace od startu až po ukončení. ....	98
18 - 6	Timeline Trace – Vitis Analyzer pro CPU/FPGA aplikaci při zpracování 1000 souborů dat. Na obrázku je zobrazena přibližená část, kdy dochází k iteraci spuštění jednotlivých kernelů. ....	99
B - 1	Xilinx Vivado – volba typu projektu pro Digilent Zybo. ....	110
B - 2	Xilinx Vivado – výběr základního HW, pro který bude vytvářena architektura pro Digilent Zybo. ....	111
B - 3	Xilinx Vivado – vytváření Block Design pro Digilent Zybo. ....	111
B - 4	Xilinx Vivado – vložení bloku ZYNQ7 Processing System pro Digilent Zybo. ....	112
B - 5	Xilinx Vivado – nastavení výstupních taktovacích signálů pro Digilent Zybo. ....	112
B - 6	Xilinx Vivado – propojení bloků taktování pro Digilent Zybo. ....	113
B - 7	Xilinx Vivado – minimální funkční blokový design pro akcelerovanou aplikaci pro Digilent Zybo. ....	113
B - 8	Xilinx Vivado – signalizace vložených AXI GPIO bloků pro LED, BTN, SW na kartě <i>Board/Zybo/GPIO</i> pro Digilent Zybo. ....	115
B - 9	Xilinx Vivado – block design s využitím GPIO pro LED, BTN, SW propojených s PL pro Digilent Zybo. ....	115
B - 10	Uspořádání připojení tlačítek, přepínačů a LED k PS a PL pro vývojovou desku Digilent Zybo. [24] ....	116
B - 11	Xilinx Vivado – kritická upozornění vzniklá po validaci designu, která je možné ignorovat. ....	116
B - 12	Xilinx Vivado – nastavení provádění úkonů syntézy, implementace a generování bitstreamu, volba použitých výpočetních jader a určení, kde se mají procesy vykonávat pro Digilent Zybo. ....	117
C - 1	Diagram popisující upravený postup pro debuggování a spuštění host programu a nahrávání host programu do PL. ....	118

## SEZNAM TABULEK

4 - 1	Pravdivostní tabulka ukázkové funkce, realizované v generátoru funkcí, umístěném v logickém bloku FPGA.....	8
5 - 1	Popis označených komponent na vývojové desce Digilent Zybo Zynq-7000. (informace a značení převzaty z [24]).....	19
6 - 1	Popis označených komponent na vývojové desce Xilinx Kria KR260. (informace a značení převzaty z [25]) .....	22
6 - 2	Porovnání hlavních parametrů Kria K26 SOM Commercial a Industrial. (informace a značení převzaty z [26]).....	24
9 - 1	Štítkové údaje stroje. ....	30
9 - 2	Změřené parametry stroje. ....	30
12 - 1	Ukázka nastavených AXI portů v Xilinx Vivado platformě pro <i>Xilinx Kria KR260</i> .....	47
14 - 1	Nastavení cest souborů pro platformu ve Vitis IDE souboru platform.spr. ....	61
18 - 1	Porovnání vybraných hodnot běhu kernelu v aplikaci Preloaded Data – Legacy App pro 1 milion a 100 tisíc sad hodnot. (UVH – ukládání a výpis hodnot, BUVH – bez ukládání a výpisu hodnot) .....	95
18 - 2	Vybrané hodnoty běhu kernelu v podaplikaci CPU/FPGA.....	98
18 - 3	Využití zdrojů PL pro akcelerované aplikace. ....	99
B - 1	Ukázka nastavených AXI portů v Xilinx Vivado platformě pro <i>Digilent Zybo</i> . ....	114





# 1 Úvod

V době, kdy byla od elektrických pohonů požadována spolehlivost, vysoká účinnost a nenáročné ovšem kvalitní řízení, byly k řízení využívány samotné digitální signálové procesory. Postupem času dochází ke zjištění, že výkon DSP není dostatečný a na některé aplikace, kde je vyžadováno provedení značného množství náročných výpočtů za co nejkratší čas, nejsou vhodné. Proto nastupuje éra logických programovatelných polí (FPGA), které jsou schopny tyto výpočty provést s velmi nízkými nároky na energii a za velmi krátký čas.

V mnoha odvětvích se již začíná využívat embedded systém s Application Specified Hardware, který je určen pouze na využití v předem dané aplikaci. Tento hardware slouží v dané aplikaci k jedinému účelu, který vykonává a na který je optimalizován. Tím se liší od procesoru, který vykonává mnoho instrukcí a využít ho pouze jako samostatnou výpočetní jednotku je z hlediska energetické i finanční náročnosti nevýhodné. Implementace hradlových polí přináší nejen v řízení elektrických pohonů zvýšení výpočetního výkonu, ale také snižování energetické náročnosti řízení.

Perspektiva logických programovatelných polí a hardwaerově urychlovaných aplikací je podpořena jejich využíváním i mimo obor elektrických pohonů a trakce. Z důvodu jejich veliké propustnosti, vysokých výpočetních výkonů a nízké energetické náročnosti jsou využívány v AI, machine learningu, zpracování obrazu, těžení kryptoměn a jiných nepohonářských aplikacích.

Nevýhodou problematiky FPGA je jejich složitější programovatelnost z hlediska tvoření aplikace. Aplikace je tvořena určitým postupem (workflow), který kladne vysoké nároky na vzdělání a zkušenosti vývojářů. Většina FPGA je programována pomocí jazyků Verilog či VHDL, které mohou pro softwarově orientované programátory představovat značnou překážku. Proto bylo vyvinuto tvoření aplikací pomocí vyšší úrovně syntézy (HLS), kdy je možné tvořit programy ve vyšších programovacích jazycích jako je například C, C++ či Python. HLS umožnilo rapidní rozšíření a využití Embedded FPGA Accelerated Applications v mnoha aplikacích a značně vylepšilo vývojářský požitek (developer experience, DX) při tvorbě aplikací.

Protože může být náročné vytvořit vlastní architekturu, složenou z CPU a spolupracujícího FPGA, je vhodné při prvotním vývoji aplikace využít dostupné vývojové desky obsahující již předpřipravené propojení jednotlivých komponent. Součástí těchto vývojových desek bývá také mnoho vstupů a výstupů (I/O) pro snadnější využití při lazení a tvoření aplikace. V této práci je využívána vývojová deska Zybo od firmy Digilent. Ovšem autor v textu představuje další možnosti, které mohou být pro konkrétní aplikace a využití vhodnější.

Tato práce se zajímá o aplikace a možné využití FPGA při řízení elektrických pohonů. Autor v ní představuje základní principy Hardware Accelerated Applications, z jakého důvodu je tento přístup perspektivní a proč je vhodné se orientovat tímto směrem.

## 2 System on a chip

System on a chip (SoC) je architektura čipu, využívající takovou konstrukci, kdy jsou integrovány různé části/bloky systému na jeden čip. Integrace prvků na jeden čip značně sniže nároky na rozměry nosičů, na kterých jsou tyto SoC umístěny. Místo diskrétních čipů, obstarávající jednotlivé funkce, je využito jednoho čipu s mnoha částmi vykonávající požadované funkce.

Protože integrování čipů do jedné polovodičové struktury představuje relativně veliké snížení nároků na kovové vodivé spoje a sniže časovou náročnost a zvyšuje rychlosť přenosu dat, je SoC upřednostňováno před metalicky spojenými diskrétními částmi vykonávajícími dané operace.

Označení SoC může představovat mnoho architektur. Obecné rozdělení, nalezitelné v literatuře a veřejných zdrojích, těchto architektur je následující:

- SoC využívající mikrokontrolér (CPU, RAM, ROM),
- SoC využívající pouze mikroprocesoru (CPU, možné i GPUs, jádra pro specializované výpočty),
- SoC pro specifické aplikace (Application Specific Integrated Circuit – ASIC).

Jedná se tudíž o rozdělení dle hlavní výpočetní jednotky, resp. procesoru v čipu. [1]

Z uvedených rozdělení jsou pro řízení elektrických pohonů nejvíce využívány SoC s mikrokontrolérem a ASIC.

### 2.1 Application Specific Integrated Circuit

Významnou část SoC tvoří *Application Specific Integrated Circuits, popř. Hardware* (ASIC, ASHW). Při použití těchto SoC je využíváno přesvědčení, že pokud je architektura HW přímo specializovaná na jednu aplikaci, je vysoká pravděpodobnost, že ji bude vykonávat bezchybně, kvalitně a rychle.

Tyto aplikace jsou využívány v širokém spektru oborů jako je např. zpracování zvuku, videa, výpočtů apod. Tyto ASIC mohou také vykonávat potřebné rychlé výpočty pro matematické modely elektrických strojů, které jsou využívány např. pro HIL.

Než je tento specifický obvod vytvořen, je nutné jej navrhnout, vyzkoušet a odladit. K tomu slouží logická programovatelná pole, ve kterých je možné požadovaný HW navrhnout a odladit před velkou produkcí ASIC. Pokud velká produkce není z ekonomických důvodů možná, jsou FPGA využívány přímo v produkci s jejichž pomocí je vytvořena HW struktura, která by byla přítomna na ASIC.

### 2.2 Aplikace SoC

Systémy na čipu se pro jejich výpočetní výkon, prostorovou a energetickou efektivnost využívají v mnoha aplikacích. Nejvýznamnější využití v problematice elektrických pohonů je v embedded systémech a hardwaerově akcelerovaných aplikacích.

### 3 System on Modules

System on modules (SOMs) je architektura jejíž jednou z hlavních součástí je dříve zmiňovaný SoC. SOMs se oproti SoC již dodávají na PCB a kromě SoC mají na desce umístěné další komponenty, které jsou pro danou aplikaci vyžadovány. [2]

SOMs se mohou dodávat jako vývojové desky [3], které obsahují krom SOMs takéž podpůrnou desku s dalšími obecnými komponenty, jež jsou vhodné pro vývoj standardních aplikací. Pokud zákazník již pomocí vývojové desky odladil vytvářenou aplikaci, může zakoupit samostatný SOMs na základní desce (base board, BB) a nosnou desku (tzv. Carrier Card, CC) pro danou aplikaci navrhnou tak, aby obsahovala pouze komponenty, které daná aplikace využívá. Tudíž se snižuje cena konečného výrobku o komponenty, které byly z CC při návrhu odstraněny pro jejich nevyužití.

Výrobce platformy *Kria KR260 Robotics Starter Kit*, použité v této práci, dodává k produktu rozsáhlou dokumentaci [4] [5], podle které je možné individuální CC sestavit.

Příkladem individuálně vytvořené CC je open source projekt od firmy *Antmicro Ltd.* Tato firma vydala open source design CC pro zařízení *Kria K26*, které je předchůdcem *KR260*, a bylo určeno pro akcelero-vání audiovizuálních aplikací. Využívá však totožný SOMs ale rozdílný CC. Dokumentace a vytvořený návrh je dostupný z [6].

#### 3.0.1 Embedded Systems

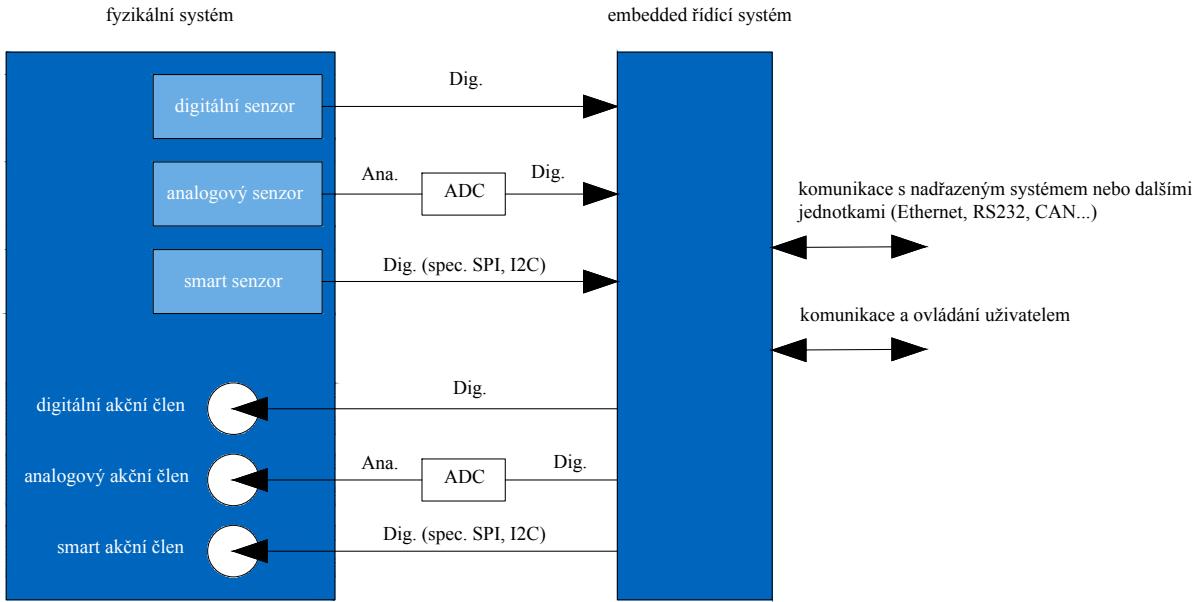
Embedded systéms je název pro skupinu zařízení, obecně systémů, které je možné charakterizovat jako specifické výpočetní zařízení, resp. počítače, které jsou určeny pro podporu funkce nebo řízení nějakého většího celku, produktu nebo fyzikálního systému. Oproti tomu osobní počítač je sice výpočetní zařízení, ale nelze mluvit o embedded systému, protože je určen pro mnoho univerzálních aplikací. [7]

Dalším důležitým rozdílem mezi *Embedded System* a obecným výpočetním zařízením je ten, že v případě embedded systému je interakce mezi systémem a uživatelem uměle omezena na základní ovládání či kontrolu funkce. Není předpokládáno, že by uživatel, jež aplikaci embedded systému využívá, výrazným způsobem zasahoval do jeho funkce. Naopak obecný výpočetní systém je uzpůsoben na podstatné zásahy uživatele. [7] [8]

Do embedded systému vstupují signály, které jsou následně zpracovány a poté vybrané výsledky výpočtu jsou v podobě výstupní signálů výstupním produktem systému. Tyto produkty mohou pomoci akčních členů zasahovat do řízeného systému. Vstupní signály většinou přicházejí ze speciálních snímačů, kompatibilních s embedded systémem (senzor teploty, senzor tlaku, senzor zrychlení, gyroskop, senzory proudu, inkrementální čidla apod.). Naopak jeho výstupní signály jsou například specifická ovládací hodnota napětí, proudu nebo jiné veličiny. Také mohou být na výstupních pinech připojené LED signalizace, komunikační sběrnice některých komunikačních systémů nebo LCD displaye. Způsob, kterým jsou kódovány vstupní a výstupní signály, je většinou specificky určený daným řízeným systémem. [7]

K obecnému výpočetnímu systému je možné připojit vstupní periferie klasických osbních počítačů – myš, klávesnice, mikrofon. Komunikace embedded systému s periferiemi je většinou standardizována tak, aby bylo možné periferie libovolně zaměňovat bez změny funkčnosti. [7].

Na obrázku 3 - 1 je zobrazeno názorné blokové schéma řízení fyzikálního systému pomocí embedded systému. Tyto bloky mezi sebou komunikují pomocí digitálních signálů. Pokud tyto signály nejsou digitální, musí se před zpracováním v embedded systému zdiskretizovat.



Obr. 3 - 1 Blokové schéma Embedded systému a řízeného fyzikálního systému. (převzato a upraveno z [8])

### 3.0.2 Hardware Accelerated Applications

V mnoha aplikacích, nejen při řízení elektrických pohonů, je vyžadováno, aby výpočty nebo zpracování dat probíhalo vysokou rychlosí. Tento problém nemůže být většinou vyřešen použitím běžného procesoru (CPU), který je optimalizován na provádění obecných komplexních funkcí, řízení běhu uživatelského programu, komunikaci či přesun dat. V moderním světě je třeba zpracovávat exponenciálně narůstající množství dat. Aby tyto data bylo možné v požadovaném čase, s co nejnižším zpožděním zpracovat, je vhodné využít specifický HW a přístup, který bude schopen požadavky rychlosti a výkonu uspokojit. Tento přístup se nazývá *Hardware Acceleration* (hardware acceleration). [9]

Princip hardware akcelerace spočívá v přesunu výpočetně náročných aktivit na specifický a oddělený hardware. Celkové řízení běhu aplikace a komunikace je ovšem stále vykonáváno řídícím CPU. Oddělený hardware, na kterém dochází k akceleraci výpočtů, je optimalizován na vykonávanou úlohu a jeho využití přináší zefektivnění běhu celkové aplikace. [9]

Struktura, ve které je využíváno více fyzicky oddělených procesorových a hardwaerových akceleračních jednotek, se často nazývá heterogenní. [9]

Hardwaerová akcelerace poskytuje rychlejší výpočty než CPU, protože využívá maximální paralelizace výpočtů. Klasické CPU však vykonává jednotlivé instrukce sériově. I v případě, že CPU má více jader a využívá více vláken, nemůže se specifické úrovni paralelismu při dané omezujicí energetické náročnosti HW vyrovnat. Pro HW akceleraci je v mnoha oblastech využíváno několik druhů jednotek, které jsou optimální pro dané aplikace.

**Graphics Processing Units (GPUs)** jsou jednotky, které převážně slouží k akceleraci zpracování

vizuálních úloh. V době rychlého rozvoje elektroniky a SW je možné využítí GPUs v mnoha odvětví umělé inteligence (AI) či kreativních odvětví. GPUs jsou využívány v aplikacích, kde není kladen veliký důraz na nízkou odezvu (latenci). [9]

**Tensor Processing Units** (TPUs) jsou jednotky, které slouží k provádění algoritmů strojového učení (machine-learning, ML). Jejich přímé datové propojení umožňuje velmi rychlý a přímý přenos dat. Díky přímému připojení nevyžadují využití pamětí, které by přenos dat zpomalovaly. [9]

**Field Programmable Gate Arrays** (FPGAs) jsou jednotky, ve kterých není při výrobě pevně daná HW struktura. To umožňuje vytvoření, resp. naprogramování HW dle požadavků akcelerované aplikace. FPGAs mohou být využívány i při výpočtech v reálném čase matematických modelů elektrických strojů. Při realizaci této práce je pro akceleraci využíváno právě těchto programovatelných polí.

Porovnání časové náročnosti matematických výpočtů pro selektivní eliminaci harmonických složek v trakci pomocí CPU a GPUs (graphics processing unit) je provedeno v [10].

Z článku vyplývá že využitím GPUs skutečně dochází k snížení potřebného času na představený výpočet. V některých případech se jedná o snížení výpočetního času z 183 ms (při použití CPU) na 0,81 ms (při použití NVIDIA Titan V GPU). Díky využití GPUs je tedy možné algoritmus provádět v reálném čase v lokomotivě.

### 3.0.3 Výpočetní technika, mobilní zařízení a elektronika

Kromě průmyslových odvětví jsou CPU využívány i pro běžné aplikace spotřební elektroniky.

Protože jsou kladený stále vyšší nároky na výpočetní rychlosť a nižší cenu ve spotřební elektronice, jako jsou mobilní zařízení (mobilní telefony, osobní počítače), servery apod., začíná převažovat využívání SoC i v těchto oblastech.

Společnost Apple Inc. již téměř ve všech vlastních novějších zařízeních používá individuálně navrhnutý SoC.

Příkladem je A16 Bionic pro iPhone 14 Pro, Apple M1 a M2 pro tablety a počítače.

Díky specifickým řešením a vylepšeným architekturám (jádra SoC pro vysoký výkon a jádra pro ekonomickou spotřebu energie) bylo možné značně zvýšit výkon a snížit energetickou náročnost zařízení spotřební elektroniky. [11]

## 4 Programovatelné hradlové pole – FPGA

### 4.1 Vývoj FPGA z PLD

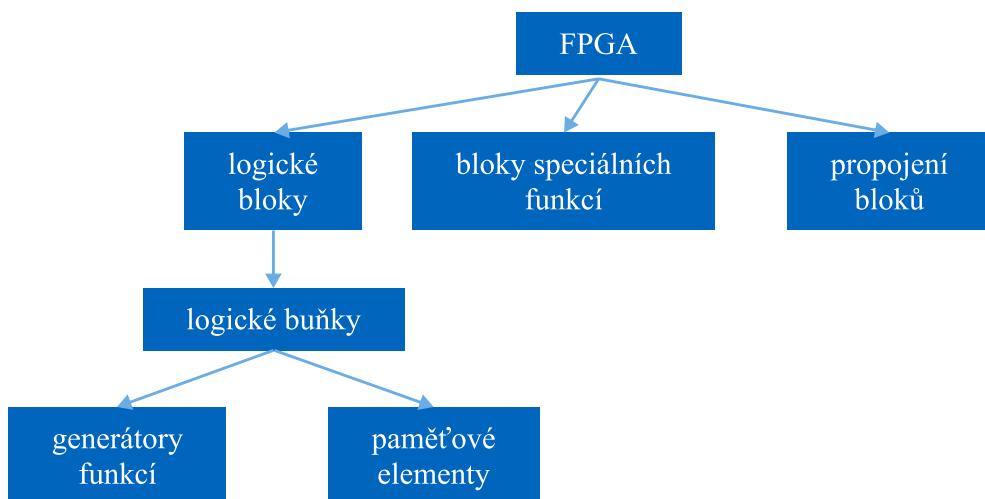
Programovatelné hradlové pole jsou zařízení, jejichž historický vývoj stojí na programovatelných logických zařízeních (programmable logic devices, PLD). První PLD fungovala na principu Booleových funkcí součtu násobení (sum of products). Tato zařízení obsahovala matici (proto se také nazývají programmable logic arrays, PLA) více vstupových bloků AND a OR. Programování požadované funkce probíhalo pomocí přerušování vstupů do jednotlivých logických bloků. Později byly do PLA přidány D klopné obvody s multiplexory. Díky těmto součástím bylo možné vytvářet logické kombinační a sekvenční obvody, resp. automaty. Posledním vylepšením PLA, které stálo před zrodem FPGA, spočívalo v umístění více PLA bloků (skládajících se z AND, OR, multiplexeru a D klopného obvodu) na jeden integrovaný čip. Programovatelné spojení různých PLA bloků a výstupů umožnilo vytvořit požadovanou funkci. [7]

### 4.2 Aktuální složení FPGA

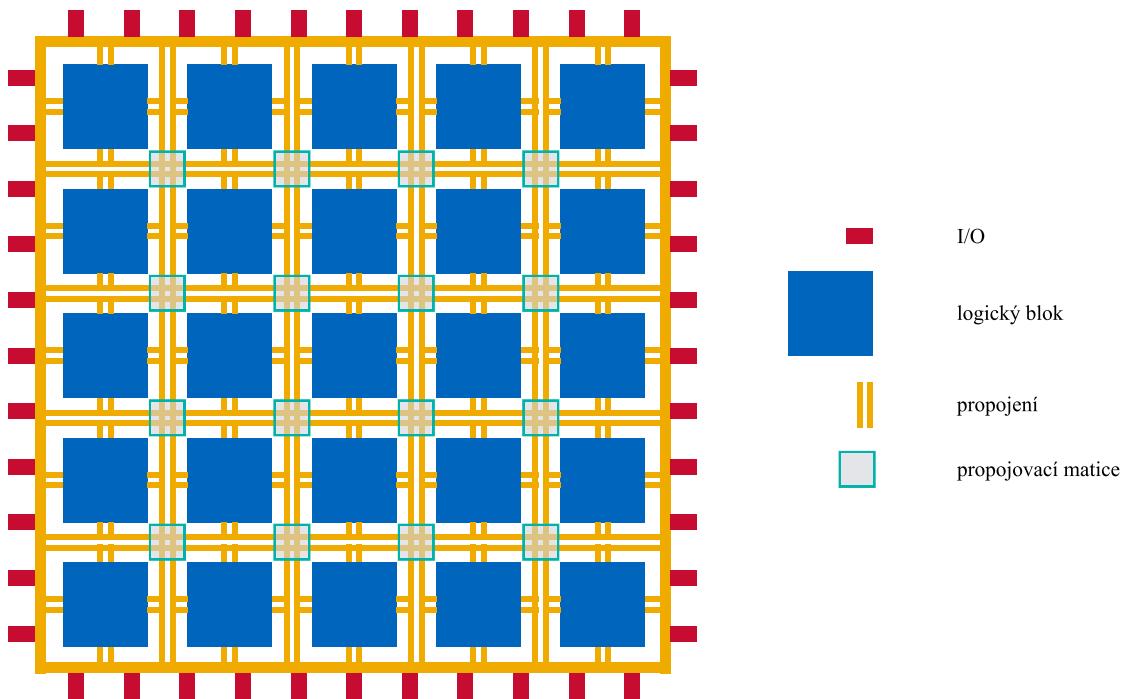
Moderní FPGA se skládají z 2D matice propojených programovatelných logických bloků, bloků speciálních funkcí a propojů vytvořených pomocí CMOS technologie. Po obvodě FPGA jsou rozmístěny vstupní a výstupní piny (I/O), připojené na zvláštní logické bloky. Použité logické bloky se skládají z mnoha buňek, které se skládají z generátorů funkcí a paměťových elementů. [7]

Na obr. 4 - 2 je možné pozorovat názorné schéma základního konceptu uspořádání FPGA. Na schématu jsou vyznačeny logické bloky, jejich propojení, propojovací maticy pro aktivování jednotlivých propojů a vstupů a výstupů (I/O) FPGA.

I přesto, že se tato práce převážně věnuje využití SoC a SOMs pro řízení elektrických pohonů je vhodné představit základní části FPGA a nastínit jejich funkci.



Obr. 4 - 1 Blokové schéma složení moderních FPGA.



Obr. 4 - 2 Základní koncept uspořádání FPGA.

#### 4.2.1 Generátory funkcí

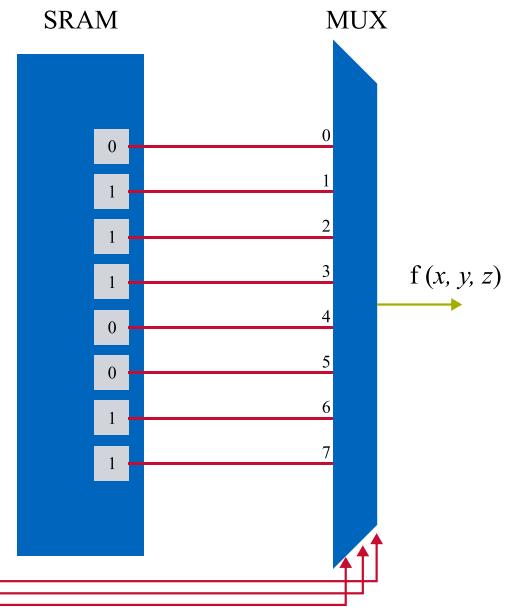
Oproti předchůdcům (PLD), které pro generování funkcí používaly logická hradla tvořená CMOS tranzistory, využívají FPGA generátory funkcí.

Logickou funkci je možné popsat pravdivostní tabulkou, která má určitý počet vstupů a odpovídající počet výstupů. Dle [7] je možné si představit, že se generátor dané funkce skládá ze samostatné statické paměti (SRAM), jejíž výstupy jsou přímo přivedeny na vstup multiplexeru (MUX). Signály výběru výstupů by odpovídaly vstupním proměnným a jednotlivé vstupy do MUX výstupům funkce.

Pro bližší pochopení funkce generátoru funkcí z předchozího odstavce je možné představit realizaci smyšlené logické funkce  $f(x, y, z) = \bar{x}z + y$ . Pravdivostní tabulka této smyšlené logické funkce je zobrazena v tab. 4 - 1. Odpovídající realizace pomocí MUX a SRAM je zobrazena na obr. 4 - 3. Tato reprezentace se nazývá look-up table (LUT). Grafické znázornění inspirováno [7].

Tab. 4 - 1 Pravdivostní tabulka ukázkové funkce, realizované v generátoru funkcií, umístěném v logickém bloku FPGA.

$i$	$x$	$y$	$z$	$f(x, y, z)$
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	1
4	1	0	0	0
5	1	0	1	0
6	1	1	0	1
7	1	1	1	1



Obr. 4 - 3 Ukázka, jakým způsobem realizuje funkční generátor požadovanou funkci pomocí SRAM a MUX.

Výhoda této reprezentace funkcí oproti logickým hradlům je, že doba zpoždění signálu (propagation delay) pro funkci je konstantní. Respektivně je konstantní, pokud funkci je možné realizovat jednou LUT. Pro realizaci obecné funkce je zapotřebí multiplexer  $2^n \rightarrow 1$  a SRAM s počtem buněk  $2^n$ , kde  $n$  je počet vstupních proměnných dané funkce. [7]

#### 4.2.2 Paměťové elementy

Paměťové elementy jsou v LUT realizovány pomocí D-klopňových obvodů. Tyto obvody mohou při konfiguraci FPGA být nastaveny, že budou reagovat na nástupnou nebo sestupnou hranu časovacího signálu (clock, CLK) řídícího procesoru nebo na úroveň řídícího signálu (latch).[7]

Protože typ latch je citlivý na úroveň signálu, může být problematické dovést požadovaný signál na vstup klopňového obvodu v požadovaném čase. Velmi často jsou proto paměťové členy konfigurovány jako D-klopňové obvody reagující na hranu. Pokud je používán signál CLK vyšších frekvencí, je D-klopňový obvod reagující na hranu snadněji schopný reagovat v požadovaném čase. [7]

Často jsou na vstup paměťových elementů připojeny výstupy multiplexerů generátorů funkcií. [7]

#### 4.2.3 Logické buňky

Logické buňky jsou elementy, skládající se z generátorů funkcií a paměťových elementů. Velmi často se počet logických buněk údává jako jeden ze základních parametrů FPGA, podle kterého je uživatel možný rozhodnout, zda je vhodný pro jeho aplikaci. Pomocí logické buňky nebo skupiny logických buněk je již možné vytvářet plnohodnotnou kombinaci a sekvenční logiku.[7]

#### 4.2.4 Logické bloky

Logické bloky se skládají ze spojení několika logických buněk do jedné skupiny. Díky umístění této skupiny buněk na čip geograficky blízko, dochází k minimalizaci zpoždění signálu mezi jednotlivým

buňkami. Častá skutečnost je, že jednotlivé bloky mohou mít již předkonfigurovanou funkci, jako je např. sčítačka, dělička nebo násobička. [7]

#### 4.2.5 Propojení bloků

Propojení bloků je prováděno ke spojení jednotlivých logických bloků a I/O. Pro spínání určených propojů jsou na čipu mezi jednotlivými propojí umístěny propojovací matice, resp. „přepínače“. Ty slouží ke spojení jinak oddělených propojů, logických bloků a I/O. [7] Na obr. 4 - 1 je prezentována 2D struktura pole. Ovšem pro zvětšení počtu LUTs, tudíž výpočetního výkonu, a snížení vzdáleností mezi logickými bloky je v moderních FPGA použita 3D struktura, kdy dochází k vrstvení jednotlivých logických bloků a jejich propojů do výšky. [12]

#### 4.2.6 I/O bloky

I/O bloky jsou obvykle umístěny na okraji designu FPGA. Slouží k přivedení resp. vyvedení signálů FPGA na externí připojovací piny struktury. Tyto výstupní bloky mohou využívat různé standardy k přenosu informací typu *single-ended* (napětí vztaženo k referenční nule) (LVTTL, LVCMOS PCI, PCIe, SSTL) nebo typu *double data rate* (diferenciální signál, vztažený k výstupu jiného I/O bloku) (LVDS). I/O bloky jsou strategicky umístěny na okraj struktury, aby byla minimalizována vzdálenost mezi I/O blokem a hranicí FPGA, představující vnější okolí. [7] [12]

#### 4.2.7 Bloky speciálních funkcí

Aby došlo např. ke zvýšení rychlosti přenosu dat z FPGA do externího CPU a naopak, jsou některé speciální funkce implementovány jako funkční bloky přímo do struktury FPGA. To umožňuje efektivní využití FPGA pro různorodé aplikace. [7]

**Block RAM (BRAM)** je blok, který slouží k uchování dat. Sice by bylo možné vytvořit paměťový blok z *Logických bloků*, ale docházelo by k omezení využití FPGA pro jeho původní aplikaci a pro realizaci by bylo potřeba využít mnoho bloků. BRAM mají oddělený vstup a výstup, současně s odděleným CLK. Proto je možné do BRAM zároveň data zapisovat a zároveň z něj číst. [7]

**DSP**, resp. digital signal processing bloky slouží ke zpracování digitálního signálu. V těchto blocích jsou implementované funkce AND, OR, NAND, NOT, násobičky a sčítáčky. Mají nízkou spotřebu. DSP bloky jsou často umístěny geograficky blízko bloků BRAM, které slouží jako „mezipaměti“ (buffer). [7]

**Procesor** implementovaný do struktury FPGA snižuje časové zpoždění při vzájemné komunikaci. [7]

**Digital Clock Manager** slouží k vytvoření jiného, resp. nižšího taktovacího signálu CLK, který je odvozen z původního vstupního/zdrojového CLK, pro různé bloky v FPGA. [7]

**Multi-Gigabit Transcievers** slouží k přenosu dat takovým způsobem, aby došlo k minimalizaci vlivu ručení na přenášená data. Obecně obstarávají optimální serializaci a paralelizaci dat. [7]

Struktura FPGA, která je obsahuje všechny zdroje a funkcionalitu potřebné pro kompletní realizaci aplikace, se nazývá *platform FPGA*.

### 4.3 Programování

Ve skutečnosti není možné mluvit o programování FPGA jako o klasickém programování mikroprocesorů. Při tvorbě „programu“ pro FPGA dochází k vytváření struktury, jež bude následně v FPGA vytvořena. Ovšem z praktických důvodů se v praxi využívá pojmenování „programovat FPGA“.

### 4.3.1 Forma tvorby algoritmu pro FPGA

K programování, resp. konfiguraci FPGA je možné přistupovat z několika úrovní. Jednou z využívaných metod popisu požadovaného HW na FPGA je popis struktury/toku signálu obvody (structural/data flow circuits). K tomuto popisu je využíváno jazyků HDL, VHDL a Verilog (Hardware Description Language, Very High-Speed Integrated Circuit Hardware Description Language, -). V těchto jazycích je využíváno logických členů AND, OR, NOT nebo bloků sčítáček a násobiček. Forma popisu, jež naopak využívá vyššího programovacího jazyka než HDL je nazývána metoda popisu chování obvodů (behavioral circuits). Zatímco HDL slouží k popisu hardware s využitím nízké míry abstrakce, popis ve vyšších programovacích jazycích, které popis pomocí behavioral circuits umožňuje, je pro programátory (zejména ty softwaerové) značně příjemnější, protože využívá běžných procedurálních programovacích jazyků jako je C, C++ nebo Python. Tyto jazyky jsou následně přeloženy/kompilovány do HDL. Po překladu do HDL pomocí *high level synthesis* (HLS) jsou provedeny kroky *synthesis* (syntéza), *place-and-route* (umístění-a-pospojování) a *bitgen* (generace bitstreamu). [7]

Při použití HLS může vzniknout situace, že bude vytvořen algoritmus, který bude takovým způsobem komplexní, že ho nebude možné syntetizovat na FPGA. Oproti tomu při použití popisu pomocí structural/data flow circuits, je prakticky vždy algoritmus syntetizovatelný. [7]

Dalším negativním jevem je vytvoření neoptimalizovaného komplexního algoritmu, který se ve vyšším programovacím jazyce jeví jako jednoduchý, ale při překladu do HDL a následných kroků *synthesis* -> *place-and-route* -> *bitgen* nebude možné vytvářený HW design do FPGA umístit, protože bude vyžadovat více *resources* (zdrojů LUTs, BRAM, atd.), než je v zařízení dostupných.

V praxi je k tvorbě algoritmů často využíváno vyšších programovacích jazyků a HLS, protože je tento přístup pro značný počet vývojářů SW srozumitelnější. Dalším častým přístupem v praxi je použití specializovaných SW jako je MATLAB™ a Simulink, které jsou schopny při použití odpovídajících balíčků přeložit vytvořený algoritmus do HDL, který je poté možné dále zpracovat a použít pro konfiguraci FPGA. Ovšem využití přístupu se SW MATLAB™ je třeba disponovat podporovaným HW, který disponuje dostatečným počtem zdrojů v FPGA struktuře. Tento přístup je značně finančně náročný v ohledu licence SW a taktéž vlivem vyšší ceny HW s větším počtem zdrojů.

### 4.3.2 Konverze HDL na konfigurační Bitstream

V části *Forma tvorby algoritmu pro FPGA* byly představeny dvě hlavní formy tvorby algoritmu pro FPGA. Aby bylo možné algoritmy na FPGA „umístit“, je třeba vytvořenou rezprezentaci dále zpracovat.

Všechny vyšší úrovně reprezentace algoritmů jsou převedeny na HDL. Následným krokem je *syntéza* (*synthesis*), která slouží k převodu HDL na tzv. *netlist*. Při převodu je HDL převáděna na logické členy AND, OR apod. [7]

Po vytvoření netlistu je nutné rozhodnout, jakým způsobem je možné a výhodné realizovat jednotlivé bloky v logických buňkách a LUT. Konečné sloučení členů závisí na rozsahu vstupů realizovatelných LUT. Proces seskupování logických členů a určování funkce LUT se nazývá mapování (MAP). Výsledkem MAP je opět netlist. Tento netlist však reprezentuje FPGA členy (LUT, klopné obvody apod.). [7]

Po mapování následuje proces umisťování (placement) při kterém je rozhodováno které z logických bloků budou realizovat FPGA členy, získané v kroku MAP. [7]

Bloků, které jsou umístěny ve struktuře FPGA je nutné spojit pomocí dostupných propojů. Proces spojování a optimalizace propojů takovým způsobem, aby bylo minimalizováno časové zpoždění signálu, se nazývá *routing*. Obvykle se proces slučuje s MAP do jedné fáze a nazývá se *place-and-route* (PAR).

[7]

Posledním krokem je vytvoření binárního souboru, nazývaného *bitstream*, který je poté „programováno“ FPGA. Tento proces převede netlist z kroku PAR na nastavení SRAM v jednotlivých logických buňkách FPGA tak, aby byl vytvořen požadovaný design v FPGA. Proces převede konfiguraci propojů a propojovacích matic do SRAM, ovládající příslušné propoje a matice. [7]



Obr. 4 - 4 Blokové schéma převodu aplikace, naprogramované v procedurálním jazyce, na bitstream, kterým je konfigurováno FPGA.

#### 4.4 Spotřeba

FPGA je využívano pro akceleraci aplikací pro svou nízkou spotřebu energie oproti CPU nebo GPUs. Ovšem oproti ASIC, FPGA má stále značnější spotřebu, proto je podnikán výzkum, který má za cíl jejich energetickou náročnost snížit ale zachovat jejich výkon a spolehlivost.

Nižší potřebný výkon pro realizaci nepohonářské aplikace podporuje výzkum a článek [13], ve kterém autoři představují svoji práci, v níž realizovali hru. Ve hře je hlavním úkolem aplikace výpočet stínů a odrazů materiálů. Způsob vykreslení, který je v aplikaci použit je nazýván *ray tracing*. Ray tracing je označován jako výpočetně náročný způsob, který není vhodný pro on-line aplikace ale pro vykreslování nepohyblivých obrazů, které není nutné zobrazovat v reálném čase. [14]

Autoři v textu popisují, že v případě využití FPGA pro výpočty v reálném čase byla jeho spotřeba 660 mW. Hru autoři vyzkoušeli spustit také na CPU platformě skládající se z Ryzen™ 4900H 8-core/16 threads 64-bit CPU @ up to 4,4 GHz clock. V případě testování na CPU byla indikována spotřeba 33 W. Tudíž při použití FPGA spotřeba klesla přibližně 50x. [13].

I přes nízkou spotřebu energie v FPGA jsou prováděny výzkumy, jak minimalizovat disipaci elektrické energie v podobě tepla a přiblížit se tak energetické náročnosti ASIC.

Disipace energie v FPGA je rozdělena na statickou a dynamickou.

Statická disipace je způsobena zbytkovým proudem tranzistorů ve vypnutém stavu mezi drain a source elektrodou, mezi gate a drain elektrodou a jevem, nazvaným gate direct-tunneling. [15]

Dynamická disipace je způsobena spínacími a vypínacími ztráty použitých tranzistorů (obvykle CMOS) a je závislá na použitém napětí, frekvenci a kapacitě přechodů, kterou je třeba nabít a vybit při spínání a vypínání tranzistorů. [15]

#### 4.5 Využití

Programovatelná logická hradlová pole se pro svoji nízkou spotřebu, vysoký výpočetní výkon a klesající cenu elektroniky začínají využívat mnohem častěji v mnoha odvětví, ve kterých bylo doposavad využíváno CPU a GPUs. Aplikace FPGA je možné v rámci této práce rozdělit na nepohonářské a pohonářské.

##### 4.5.1 Aplikace v nepohonářských odvětví

Díky univerzalitě PGAs je možné je využít v mnoha aplikacích různých odvětví. Stále se zvyšující požadavky na výpočetní výkon urychlují nasazování PGAs do provozu, kde jsou v současné době instalovány CPU nebo GPUs.

Poptávka po dostupnosti FPGA způsobila vznik Cloud služeb, které nabízí FPGA výkon on-demand. Jedním z velkých poskytovatelů je Amazon Web Services (AWS), který nabízí FPGA akceleraci v Cloudu. Tuto službu ocení především aplikace, které nejsou vázány na reálný hardware ale pouze potřebují dostupný výpočetní výkon, který mohou v průběhu tvorby, debugingu či realizace aplikace měnit bez nutnosti pořizování výkonných a někdy drahých FPGA zařízení. Více o *Amazon EC2 F1 Instances* služby virtuálních FPGA je dostupné na [16].

Existuje mnoho výpočetně náročných aplikací jako jsou např. výpočty finančních modelů pro ekonomiku, výpočty pro bioinformatiku, seismické modelování při hledání vzácných surovin apod. které je vhodné realizovat pomocí hardwaerového akcelerátoru. Více informací o těchto výpočetně náročných aplikacích je možné získat v [17].

Na akceleraci zpracování audiovizuálních děl je převážně určeno FPGA. Ovšem pro aplikace, v nichž je vyžadováno zpracování obrazu v reálném čase s minimální spotřebou energie a nízkou hmotností aplikace, je často využíváno FPGA. Aplikace využití FPGA pro vozidla, která analyzují okolní prostor jsou popsány v [18]. Tyto aplikace nesou souhrnný název „intelligent spaces applications“. Obvykle je pro analýzu okolního prostoru využíváno více kamer, z nichž každá obsahuje vlastní výpočetní jádro (FPGA). Díky tomu výpočetně náročné aplikace, jako např. analýza hloubky obrazu pro rozpoznání objektů, probíhá v FPGA a ostatní nenáročné výpočty a řízení v SW v CPU. [18]

Protože momentálním trendem je snižování energetické náročnosti a zvyšování výpočetního výkonu dochází neustále k vývoji nových aplikací, které využívají FPGA pro akceleraci výpočetně náročných kroků, není možné všechny aplikace v tomto textu obsáhnout.

#### 4.5.2 Aplikace v elektrických pohonech

V některých případech je elektrický pohon rozměrná a finančně náročná sestava, proto zkoumání určitých kritických stavů těchto soustav by mohlo být ekonomicky i technicky nevýhodné. V tomto případě je vhodné vytvořit přesný matematický model jednotlivých analyzovaných součástí a nezbytné náročné výpočty akcelerovat pomocí FPGA. Na základě odezvy modelu je poté možné analyzovat stavy, které by v případě analýzy na reálném stroji mohly způsobit jeho destrukci či částečnou ztrátu funkčnosti. Proto se v průmyslu využívá Hardware-in-the-loop simulation (HIL), kdy je vytvořen požadovaný matematický model, který poskytuje elektrické signály do testovaného systému a na základě jeho reakce je možné vyhodnotit, díky matematickému modelu, jakým způsobem by se choval reálný modelovaný systém. [18], [19]

Kromě FPGA simulace je možné FPGA využít také pro řízení elektrických pohonů. Možnosti realizace řízení AC elektrických strojů pomocí FPGA a analogově digitálních převodníků (ADC) jsou prezentovány v [20]. V dokumentu jsou popisovány tři realizace řízení, resp. regulace pohonu. Nejprve byla regulace realizována pomocí hystérezních on-off regulátorů, následně byly použity PI regulátory. Pomocí nich byl pohon regulován na základně měření a změny vektoru statorového proudu, resp. jeho složek  $\alpha\beta$  po aplikování Clarkové transformace. Jako poslení prezentovaný způsob autoři realizovali model ovládání synchronního motoru na základě prediktivních regulátorů. [20]

Všechny prezentované způsoby regulace v [20] byly před syntézou realizovány v prostředí MATLAB™ a Simulink. Tento způsob tvorby modelů a algoritmů je v praxi upřednostňován, protože umožňuje i expertům na řízení a regulaci pracovat na dané problematice bez znalostí mikroelektroniky, programování v HDL a způsobu fungování FPGA. Oproti tomu je třeba zvážit, jaké jsou požadavky na rychlosť, výkonnost a optimalizované řízení aplikace a zdali použití předpřipravených knihoven a zjednodušených

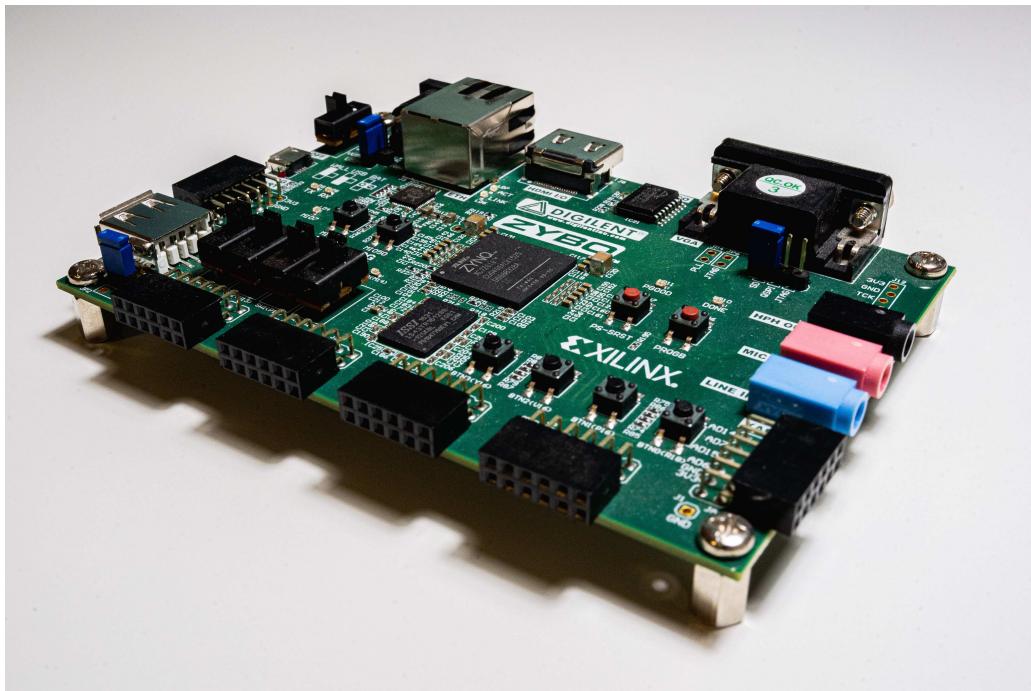
nástrojů nebude mít příliš značný vliv na rychlosť výpočtu a tudíž zpracování dat a řízení v reálném čase. [20]

## 5 Vývojová deska Digilent Zynq

Vývoj akcelerovaných aplikací je možné realizovat na relativně velikém množství dostupného HW. V některých případech je design vývojových desek dokonce výrobcem uveřejňován a tudíž v případě dostatečných znalostí je dokonce možné si sestavit vlastní HW s dostupných komponent takovým způsobem, aby vyhovoval požadované embedded aplikaci. Výhodné ovšem je využít již připravená řešení vývojových desek, které zjednoduší prvotní tvorbu aplikace.

V této práci byl realizován prvotní vývoj a seznámení s prostředím akcelerovaných aplikací na vývojové desce *Digilent ZYBO Zynq-7000 ARM/FPGA SoC Trainer Board* od firmy Digilent. [21] Jedná se o model vývojové desky, který byl na trhu nahrazen novějšími variantami s označením *ZYBO Z7-10* a *ZYBO Z7-20*, které jsou stále v aktivním prodeji. Hlavním rozdílem desek je verze Zynq čipu, který v moderních deskách disponuje ARM procesorem s vyšší taktovací frekvencí a s modernějším FPGA s vyšším počtem LUT, klopných obvodů a s rozsáhlější pamětí RAM. Bližší porovnání specifikací těchto desek je dostupné na [22].

V další části textu jsou představeny významné komponenty vývojové desky *Digilent ZYBO Zynq-7000 ARM/FPGA SoC Trainer Board*.



Obr. 5 - 1 Vývojová deska Digilent ZYBO Zynq-7000 ARM/FPGA SoC Trainer Board – boční pohled.

### 5.1 Základní přehled

#### 5.1.1 CPU a FPGA čip

Hlavní částí vývojové desky je čip, obsahující FPGA a CPU jednotky zakomponované v jedné polovodičové struktuře. Jak již bylo zmíněno v části *Hardware Accelerated Applications*, tato struktura se nazývá heterogenní.

Deska obsahuje čip Xilinx Zynq-7000 (typ XC7Z010), který umožňuje pro vývoj aplikací použít SDK od firmy Xilinx. V tomto čipu je integrován dvou jádrový procesor ARM Cortex-9, který slouží jako pro řízení akcelerovaných aplikací na Xilinx FPGA sedmé série. Detailní schéma blokové architektury SoC

s označním sběrnic a komunikace jednotlivých částí čipu je zobrazené na obr. 5 - 2.

Z naznačené architektury je možné vyvodit, že se SoC skládá ze dvou hlavních částí, které je možné dále rozdělit na jednotlivé bloky:

- Processing System (PS),
  - Application processor unit (APU),
  - Memory interfaces,
  - I/O peripherals (IOP),
  - Interconnect,
- Programmable Logic (PL).

### Blok PS

Blok PS se skládá z dílčích bloků, které neslouží k akceleraci aplikací, ale k podpoře běhu hostitelského programu. Blok PS reprezentuje prakticky celou architekturu čipu vyjma části věnované PL.

#### Blok APU

Blok APU obsahuje CPU Cortex-A9 a další podpůrné bloky jako např. přímý přístup do paměti (DMA controller), General interrupt controller (GIC) pro maskování a ovládání přerušení, watchdog a další podpůrné bloky.

#### Blok Memory interfaces

Memory interfaces slouží k přístupu APU a PL k pamětím typu DDR3, DDR3L, DDR2 a LPDDR-2. Je možné také vybrat, zda šířka sběrnice bude 16, nebo 32 bitů. K dispozici jsou zakonponované kotroléry přenosu dat pro optimalizaci rychlosti, Static Memory Controller nebo Quad-SPI Controller.

#### Blok IOP

IOP se skládá ze standardizovaných rozhraní vhodných pro průmyslovou komunikaci. Obsahuje nař. GPIO, Gigabit Ethernet, dva bloky USB Controller, dva bloky SD/SDIO Controller pro bootování SD karty, dva bloky SPI Controller, dva bloky CAN Controller, dva bloky UART Controller a dva bloky I2C Controller.

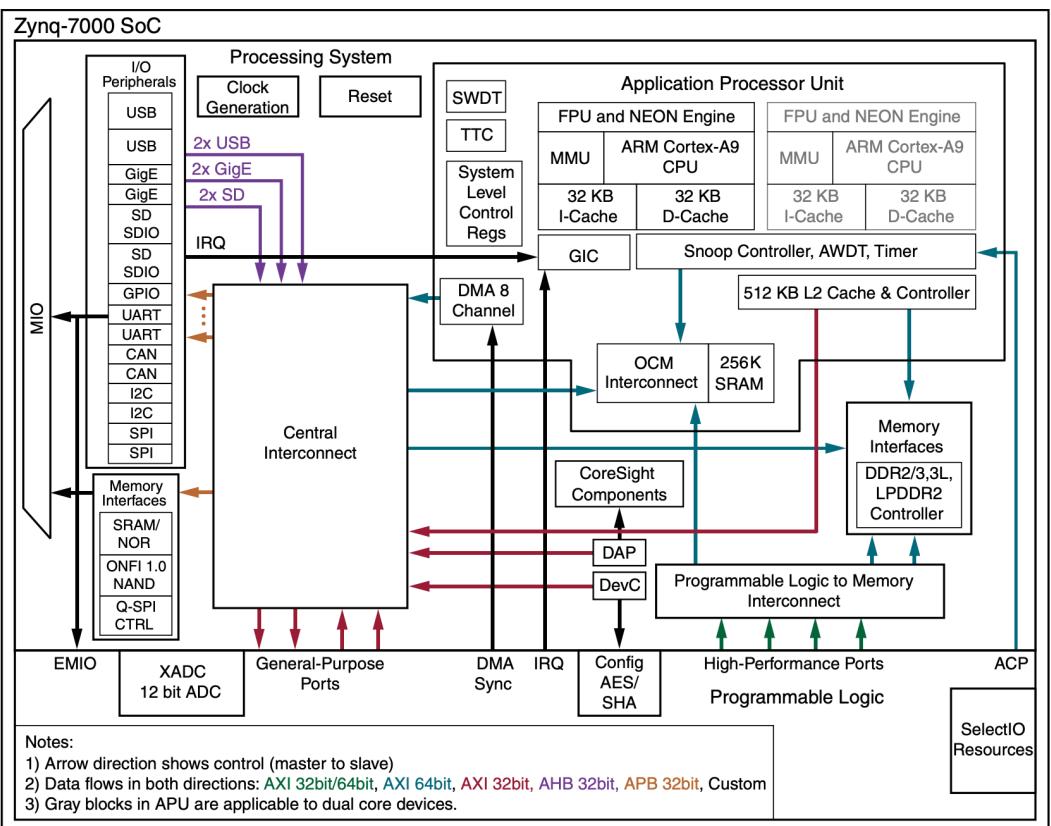
#### Blok Interconnect

Blok Interconnect, resp. na obr. 5 - 2 označený Central Interconnect slouží k propojení jednotlivých bloků SoC dle požadované technologie a rychlosti.

#### Blok PL

Blok PL reprezentuje logické programovatelné pole (FPGA), v němž jsou zakomponovány další podpůrné bloky jako např. blok zpracování digitálních signálů, řízení taktovacích hodin, analogově digitální převodník (ADC) apod.

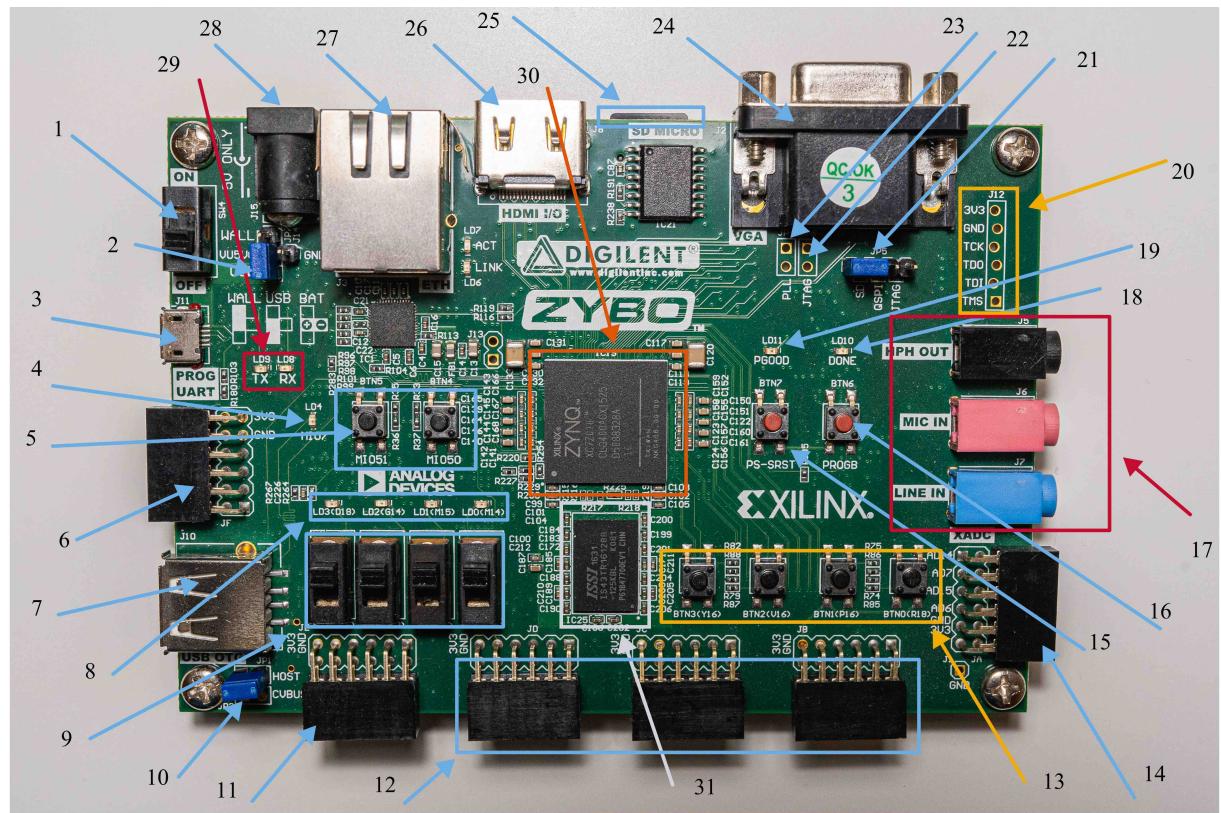
Detailní technické specifikace, složení a parametry jmenovaných bloků a jsou uvedeny v [23].



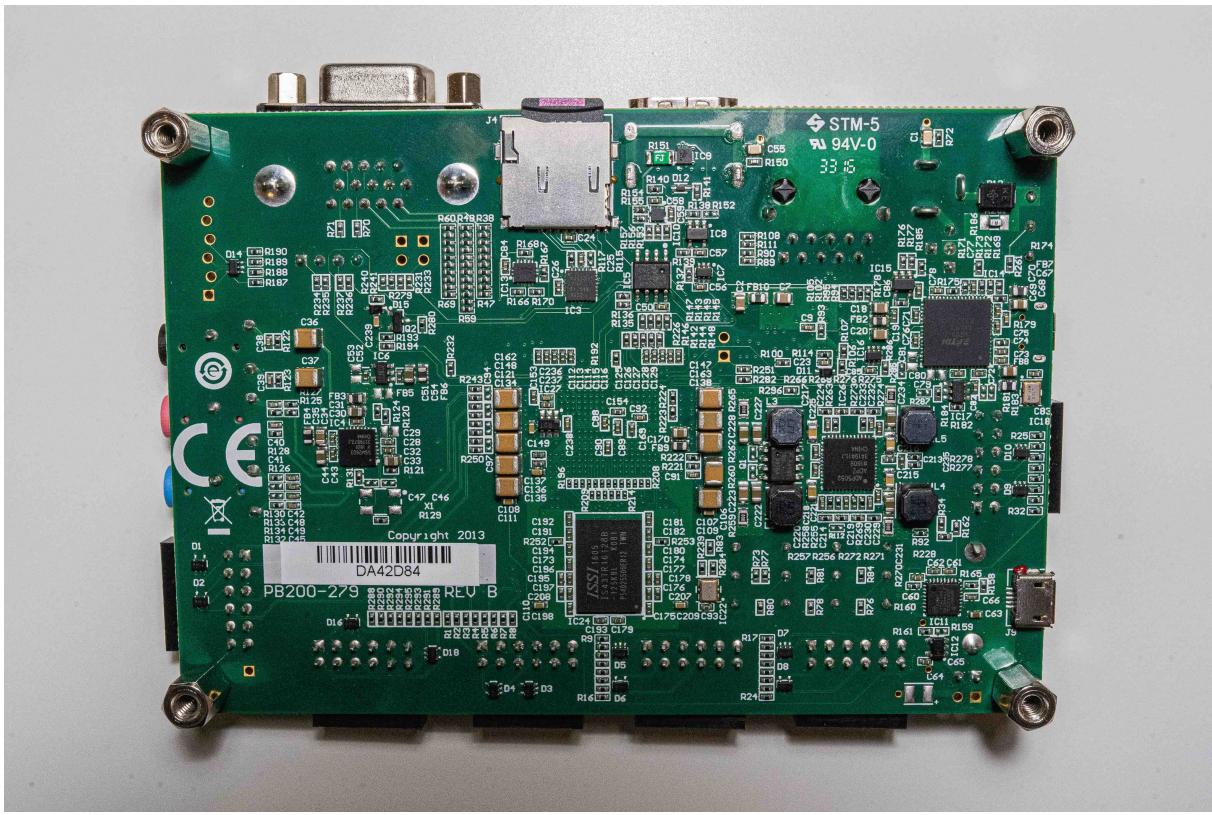
Obr. 5 - 2 Detailní schéma čipu Zynq-7000, umístěného na vývojové desce Digilent ZYBO Zynq-7000 ARM/FPGA SoC Trainer Board. (převzato z [23])

### 5.1.2 Uspořádání vývojové desky Zybo Zynq-7000

Na obr. 5 - 3 je zobrazen horní pohled na vývojovou desku, na které jsou vyznačeny významné části, kterým je vhodné věnovat pozornost. Číselné označení koresponduje s označením a vysvětlivkou v tabulce 5 - 1. Pro úplnost je spodní strana desky zobrazena na obr. 5 - 4.



Obr. 5 - 3 Vývojová deska Digilent ZYBO Zynq-7000 ARM/FPGA SoC Trainer Board vrchní pohled s vyznačením komponent.



Obr. 5 - 4 Vývojová deska Digilent ZYBO Zynq-7000 ARM/FPGA SoC Trainer Board – spodní pohled.

*Tab. 5 - I Popis označených komponent na vývojové desce Digilent Zybo Zynq-7000. (informace a značení převzaty z [24])*

označení	popis	poznámka
1	Power Switch	galvanické sepnutí napájecího obvodu
2	Power Select Jumper and Battery Header	výběr napájecího vstupu konektor, USB, baterie
3	Shared UART/JTAG USB port	komunikace UART a JTAG debugging
4	MIO LED	multiplexed LED – možnost výběru signálu
5	MIO Pushbuttons (2)	multiplexed input
6	MIO Pmod	možnost připojení periférií
7	USB OTG Connectors	USB port typ A/micro USB (spodní část)
8	Logic LEDs (4)	zobrazování 1/0
9	Logic Slide Switches (4)	logický vstup 1/0
10	USB OTG Host/Device Select Jumpers	výběr módů zařízení
11	Standard Pmod	chráněné Pmod, limitace max. přenosu informace
12	High-speed Pmods (3)	jako standard ale bez ochrany, vyšší rychlosť
13	Logic Pushbuttons (4)	logický vstup 1/0
14	XADC Pmod	možnost analog/digi input/output, spojeno s ADC v Zynq
15	Processor Reset Pushbutton	reset PL, paměti v PS
16	Logic Configuration reset Pushbutton	reset PL, zrušení DONE informace
17	Audio Codec Connectors	stereo line in, mono mikrofon, stereo output
18	Logic Configuration Done LED	signál o úspěšném dokončení konfigurace PL
19	Board Power Good LED	1/0, 1 – nominální napětí na všech sběrnících
20	JTAG Port for optional external cable	externí JTAG
21	Programming Mode Jumper	výběr „programovacího vstupu“, SD karta, QSPI, JTAG
22	Independent JTAG Mode Enable Jumper	JTAG mimo PS, viditelné pouze PL
23	PLL Bypass Jumper	přemostění PLL (CLK), pro možnost konfigurace PLL
24	VGA connector	připojení displaye
25	microSD connector	na spodní straně
26	HDMI Sink/Source Connector	input/output, nutné implementovat encoding a decoding v logice
27	Ethernet RJ45 Connector	komunikace
28	Power Jack	napájení 5 V/2,5 A
29	TX/RX LED	indikace UART komunikace
30	Xilinx Zynq SoC	srdce desky
31	DDR2 Memory	RAM

## 6 Vývojová deska Xilinx Kria KR260

Deska od firmy Digilent, představená v *Vývojová deska Digilent Zybo*, je vhodná pouze pro prvotní seznámení s vytvářením akcelerovaných aplikací. Pro náročnější aplikace, které při potřebují při využití většího množství LUTs nebylo v této práci možné Zybo použít. Vývojová deska Kria KR260 disponuje dostatečným množstvím LUTs a díky svým moderním komponentám a prvkům, může efektivně sloužit k vytváření náročnějších aplikací.

Hlavní částí vývojové desky KR260 je „modul“ *Kria K26 System-on-Module*. Tedy oproti Digilent Zybo, které využívá SoC, deska KR260 využívá SOM. Přednosti jednotlivých architektur byly již představeny v části *System on a chip* a *System on modules*. Po ukončení vývoje aplikace na vývojové desce (a také po ukončení vytvářeného návrhu CC) je možné zakoupit pro aplikaci v průmyslu samotný modul ve vhodné variantě. V této práci je ovšem využíván standardní vývojový „Starter kit“ s deskou KR260, jejíž komponenty je vhodné představit.

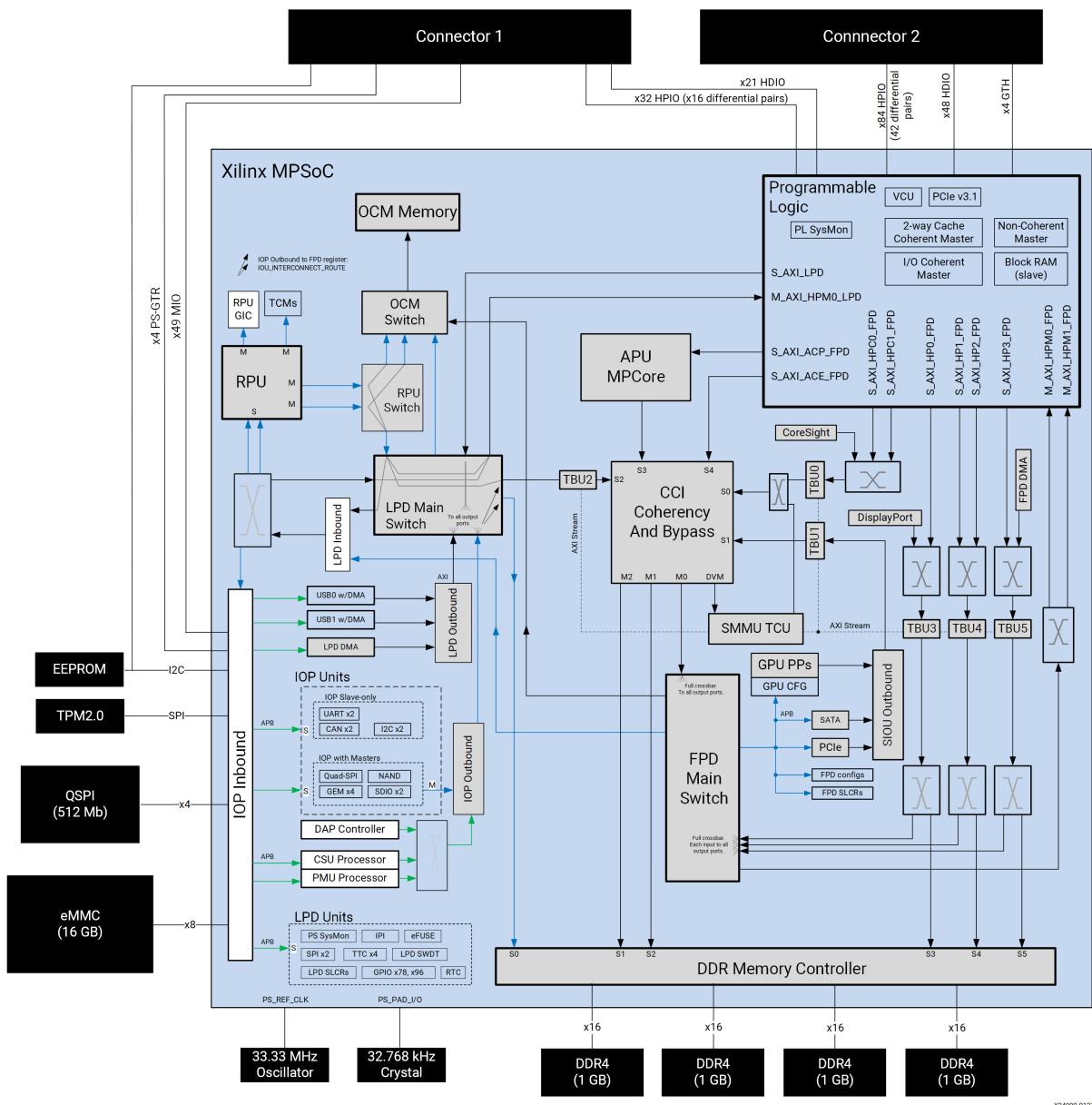


Obr. 6 - 1 Vývojová deska Xilinx Kria KR260 – boční pohled.

### 6.1 Základní přehled

#### 6.1.1 CPU a FPGA čip

Strukturu SOM je možné popsat jako modernější a rozmanitější vylepšení SoC. Opět se ve struktuře nachází hlavní základní bloky pro PS a PL. Ukázkový blokový diagram struktury udávané výrobcem je na obr. 6 - 2.



Obr. 6 - 2 Blokový diagram K26 SOM Kria. [5]

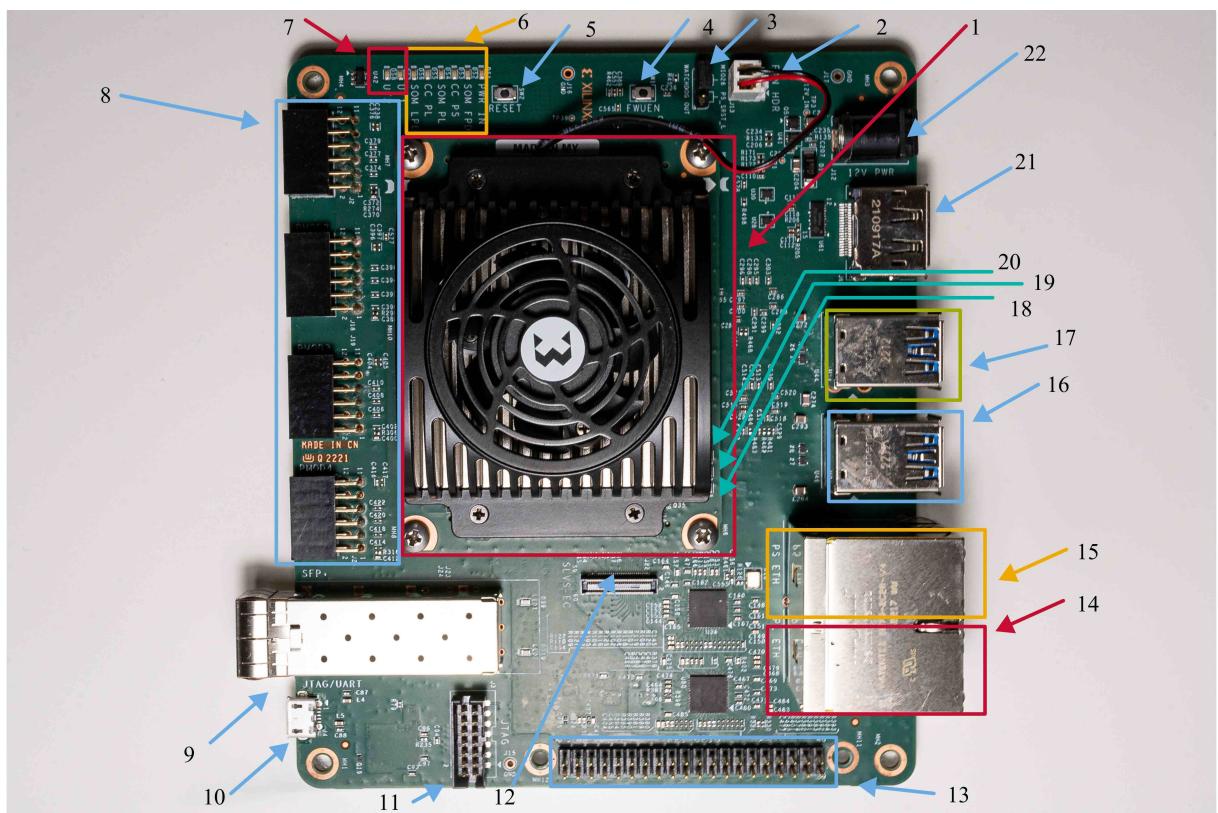
Největšími rozdíly mezi použitými deskami Zybo a Kria je např. velikost operační paměti, počet jader a taktovací frekvence procesorů v PS, počet LUTs nebo logických buněk v FPGA (PL). Úplné specifikace pro K26 SOM je možné nalézt v [5].

## 6.2 Uspořádání vývojové desky

Na obr. 6 - 3 je zobrazen horní pohled na vývojovou desku, na které jsou vyznačeny významné části, kterým je vhodné věnovat pozornost. Číselné označení koresponduje s označením a vysvětlivkou v tabulce 6 - 1. Na spodní straně desky je umístěn slot pro SD kartu, na kterou je umisťován operační systém pro PS. Pro úplnost je spodní strana desky zobrazena na obr. 6 - 4.

*Tab. 6 - 1 Popis označených komponent na vývojové desce Xilinx Kria KR260. (informace a značení převzaty z [25])*

označení	popis	poznámka
1	SOM modul na BB a Fansink	-
2	J13 Fan Power	napájení větráku chladiče
3	J1 watchdog	-
4	SW1 Firmware Update	-
5	SW2 Reset	-
6	DS1–DS6 Power Status LEDs	pokud vše ok, jsou zbarveny zeleně
7	DS7–DS8 (UF1 a UF2) Uživatelsky ovládané LED	-
8	J2, J18, J19, J20 Pmod konektory	-
9	J23 a J24 SFP+	optický konektor
10	J4 Micro USB	UART/JTAG
11	J3 PC4 JTAG	-
12	J22 SLVS-EC	konektor pro připojení kamery
13	DS36 Raspberry Pi HAT	-
14	J10A, J10B RJ-45 PL Ethernet	konektor připojen přes PL
15	J10C, J10D RJ-45 PS Ethernet	konektor připojen do PS
16	U46 USB3.0	-
17	U44 USB3.0	-
18	DS36 PS Status LED	-
19	DS35 HeartBeat LED	-
20	DS34 PS Done LED	-
21	J6 DisplayPort	-
22	J12 DC Jack	



Obr. 6 - 3 Vývojová deska Xilinx Kria KR260 vrchní pohled s vyznačením komponent.



Obr. 6 - 4 Vývojová deska Xilinx Kria KR260 – spodní pohled.

### 6.2.1 Dostupné K26 SOM

Moduly Kria K26 SOM jsou dostupné v několika variantách. V roce 2022 jsou dostupné varianty *Commercial* a *Industrial*. Nadřazeným parametrem dvou hlavních variant jsou varianty SOM s povoleným nebo zakázaným šifrováním. Varianty se odlišují označením Encryption Disabled (ED) a Encryption Enabled (-). Pokud je šifrování povoleno, je možné šifrovat konfigurační soubory a nebo ve vytvářených aplikacích využívat zabudované *crypto-accelerator* bloky. Encryption Enabled varianty jsou v některých zemích zakázané a proto je důležité při výběru zboží dbát pokynům prodejce.

Hlavní rozdíly *Commercial* a *Industrial* variant jsou uvedeny v tab. 6 - 2.

Tab. 6 - 2 Porovnání hlavních parametrů Kria K26 SOM Commercial a Industrial. (informace a značení převzaty z [26])

parametr	K26 Commercial SOM	K26 Industrial SOM
pracovní teplota	0–85 °C	-40–100 °C
záruka	2 roky	3 roky
předpokládaná doba životnosti produktu	5 let	10 let
dostupnost produktu	10 let	10 let

Vývojová deska Xilinx Kria KR260 disponuje dle informací výrobce SOM, který není určen pro nasazení do aplikací (non-production) v teplotní třídě *Commercial*. [5]

## 7 Porovnání představených SoC/SoM platforem pro řízení elektrických pohonů

V předchozích kapitolách byly představeny dvě smysluplné, komerčně dostupné platformy, které je možné využít pro různorodé aplikace. Výběr byl zaměřen na SoC a SOM umístěných na vývojových deskách, které je možné využít pro vývoj požadované aplikace. Často po vývoji aplikace následuje uvědomení, jakými periferiemi a vlastnostmi by měla architektura řídící soustavy disponovat. Poté je možné pro velko produkci dané aplikace začít vyvíjet vlastní integraci čipu/modulu na Printed Circuit Board (PCB).

### 7.1 Konektivita

Aby bylo možné komunikovat s řízeným zařízením, tudíž vysílat řídící signály a získávat informace o jeho stavu, je při hodnocení důležitým faktorem možnost připojení.

Obě představené platformy disponují minimálně čtyřmi PMOD konektory s 12 piny (2x U+, 2x GND, 8x I/O), pomocí kterých je možné připojit senzory, převodníky nebo naopak ovládat např. drivery spínacích polovodičových prvků či výkonových polovodičových můstků. PMOD konektorů využívá mnoho komerčně dostupných prvků jako jsou senzory, H můstky nebo také ADC/DAC převodníky.

Dalším důležitým faktorem je připojení Ethernet. Obě desky disponují alespoň jedním konektorem. Xilinx Kria KR260 obsahuje 4 konektory, přičemž dva jsou připojeny přímo do PS a dva do PL. Digilent Zybo disponuje pouze jedním konektorem.

Pro připojení periferií nebo externích datových úložišť je možné využít konektor USB. Protože Digilent Zybo Z7 je staršího data vydání, disponuje pouze USB 2.0, zatímco Xilinx Kria KR260 disponuje připojením pomocí USB 3.0.

Pro připojení externího displeje je možné u Zybo využít D-SUB (VGA) konektor. U Kria KR260 novější Display Port.

Digilent Zybo poté disponuje konektory pro výstup reproduktorů či vstup mikrofonu. Deska KR260 těmito konektory nedisponuje.

Značným přínosem pro konektivitu Kria KR260 je Raspberry Pi hardware attached on top (HATs) konektor, jež umožňuje připojení rozšiřovacích desek, určených pro Raspberry Pi.

Protože je K26 SOM zaměřen také na AI je možnost připojit k desce kamery pomocí konektoru SLVS-EC.

Posledním významným konektorem na CC Xilinx Kria je SPF konektor pro připojení optických vláken.

### 7.2 PS a PL

Protože je porovnávaná deska Digilent Zybo a Xilinx Kria KR260 různého data vydání a také na jejich pořízení je třeba rozdílných finančních prostředků, odpovídají zdroje pro PS a PL daným cenám.

Jak již bylo zmíněno v sekci *Vývojová deska Digilent Zybo*, obsahuje PS použité vývojové deska Digilent Zybo Zynq-7000 dvoujádrový procesor Cortex-A9 s taktovací frekvencí 650 MHz. Oproti tomu novější PS desky s Kria K26 SOM obsahuje čtyřjádrový procesor Cortex®-A53 MPCore™ s taktovací frekvencí až 1,5 GHz. SOM je také doplněn dvoujádrovým real-time dvoujádrovým procesorem Arm Cortex-R5F MPCore s taktovací frekvencí až 600 MHz. [24], [5]

Dalším důležitým faktorem jsou zdroje pro PL. Digilent Zybo disponuje pouze 17 600 LUTs. Oproti tomu K26 SOM obsahuje 117 120 LUTs. Novější verze Digilent Zybo desek obsahují novější verze Zynq

čipu, který nabízí také 17 600 LUTs (Zybo Z7-10) nebo 53 200 LUTs (Zybo Z7-20). [24], [5]

Počet LUTs v této práci má značný vliv na možný rozsah vytvářené aplikace, která je počtem zdrojů (LUTs, Flip-Flops, Block RAM atd.) velmi ovlivněna.

Vlivem omezených zdrojů při realizaci této práce bylo možné i přes optimalizaci C++ kódu (pro do-držení load-compute-store modelu programování [27]) akcelerované aplikace (kernel) pro FPGA možné umístit do PL v Digilent Zybo Z7 pouze matematický  $I-n$  model asynchronního motoru, jehož výsledkem byl transformační úhel, složky magnetického toku rotoru  $\psi_2^{\alpha\beta}$  a velikost magnetického toku rotoru  $|\psi_2|$ . Oproti tomu při využití Kria K26 SOM je možné využít PL pro výpočet  $I-n$  modelu stroje, zjednodušeného modelu asynchronního motoru i regulačního zásahu.

### 7.3 Developer Experience

V moderní době, kdy je kladen značný důraz na rychlosť vývoje aplikace, je důležitým hodnotícím faktorem developer experience. Tudíž jak je systém konfigurace a vytváření aplikací přívětivý pro vývojáře. V době vydání Digilent Zybo Z7 byl používán postup vytvoření operačního systému Petalinux již s pevně daným Device Tree (DT), který byl možné měnit pomocí celkové rekonfigurace a následného opakování celého procesu tvorby systému a aplikace. To přinášelo značné časové prodlevy při ladění aplikace a vytvářeného PL hardware.

Při použití Xilinx Kria K26 SOM je možné při tvorbě systému definovat kostru DT pro PL část, kterou je poté možné do značného rozsahu upravovat pomocí Device Tree Overlay (DTO). Pomocí DTO je možné rekonfigurovat IP vytvářené v PL. Změnou v DTO je možné ovlivňovat funkčnost některých IP v PL při chodu operačního systému Petalinux. Ovšem tyto úpravy mají určitá omezení a je vhodné Device Tree vhodně nakonfigurovat již při vytváření operačního systému Petalinux.

Více informací o chování a tvorbě DT.DTO, zjištěných při realizaci této práce, je uvedeno v části *Petalinux*.

Digilent pro své výrobky vytvořil „board files“ a „constrains files“, které umožňují snazší konfiguraci PS a PL v prostředí Vivado. Značným přínosem jsou „constrains files“, které umožňují snazší a rychlejší mapování fyzických pinů vývojové desky k portům, pinům a rozhraní, vytvářených ve Vivado. Pro vývojovou desku Xilinx Kria KR260 jsou v repozitáři Vivado již „board files“ zakomponovány. Ovšem oficiální „constrains files“ nejsou od výrobce k dispozici. Pro mapování pinů je nutné si vyzádat dokumentaci, pomocí které je možné odvodit požadované mapování a „constrains files“ vytvořit. Potřebná dokumentace pro odvození mapování je v souborech [28] a [29].

### 7.4 Aplikace a operační systém

Aplikace pro Digilent Zybo je možné vytvářet jako *Bare Metal / Standalone* nebo aplikace pro operační systém *Petalinux*. Pro Xilinx Kria je možné využít *Bare Metal / Standalone*, *PetaLinux* a také distribuci operačního systému Linux *Ubuntu*. Protože obě využívané vývojové desky využívají čipu od firmy Xilinx, Inc., je podpora dostupná pro oba čipy relativně srovnatelná. Výrobce na stránkách Wiki podpory zmiňuje, že poskytuje podporu převážně ve formě veřejného fóra na adrese [support.xilinx.com](http://support.xilinx.com). Podpora bude dostupná pro dvě poslední major verze softwarových nástrojů, které jsou součástí *PetaLinux* a *Xilinx SDK*. [30]

Protože je rodina Kria SOMs modernější než Digilent Zybo, výrobce vytvořil ukázkové akcelerované aplikace, které je možné při využívání operačního systému *Ubuntu* přímo stáhnout z Kria App Store. [31] Oba čipy podporují PREEMPT\_RT Linux Patch. K tomuto patchi ovšem Xilinx, Inc. neposkytuje

žádnou oficiální podporu a je nutné získávat informace přímo od autorů projektu na Wiki stránce [32] nebo z omezené podpory pomocí fóra. Více informací o postupu realizace patche *PetaLinux* je v sekci *RealTime Linux Patch*.

## 8 Zpětnovazební vektorová regulace

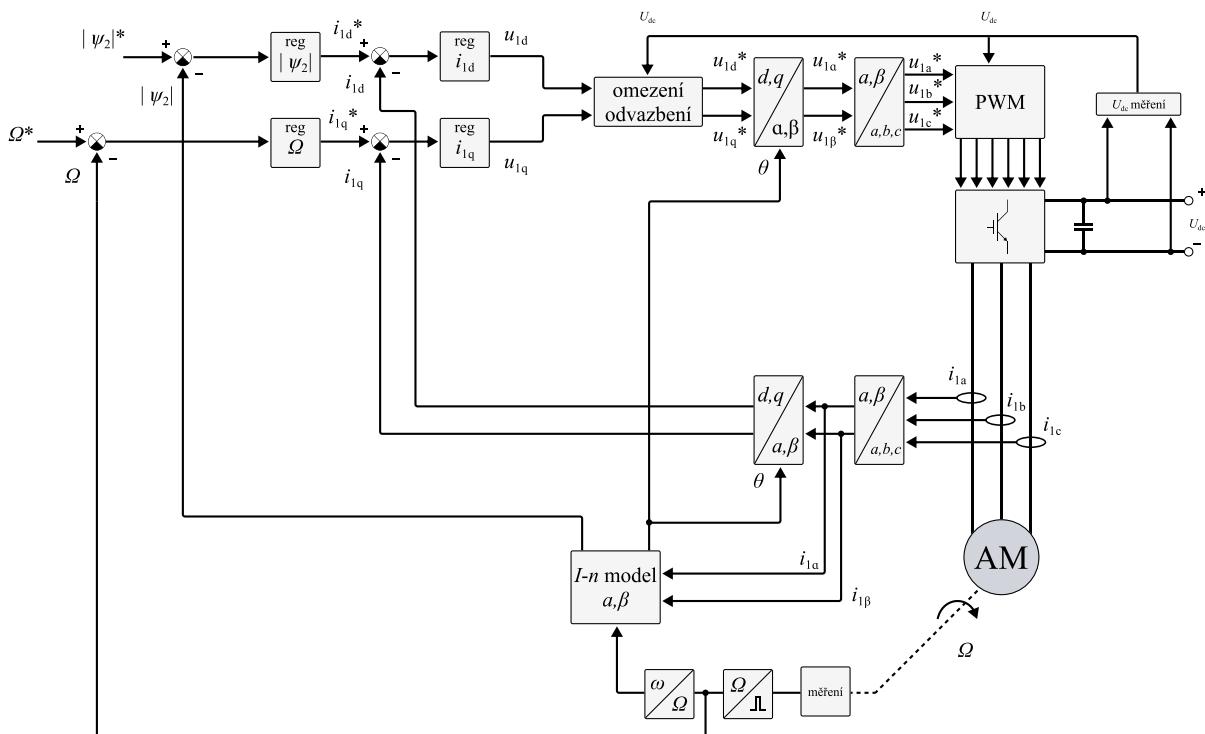
V této práci bude využití platformy taktéž demonstrováno pomocí realizace simulace zpětnovazebního vektorového řízení asynchronního motoru. Zadání této simulační úlohy bylo převzato z předmětu B1M14EPT. [33]

Hlavním záměrem této práce není představovat princip vektorové regulace, ale je vhodné pomocí blokového schématu a krátkým komentářem nastínit její princip. Na obr. 8 - 1 je zobrazeno obecné schéma zpětnovazební vektorové regulace. Naznačeným obecným způsobem by bylo možné realizovat fyzickou regulaci s použitím vývojové desky.

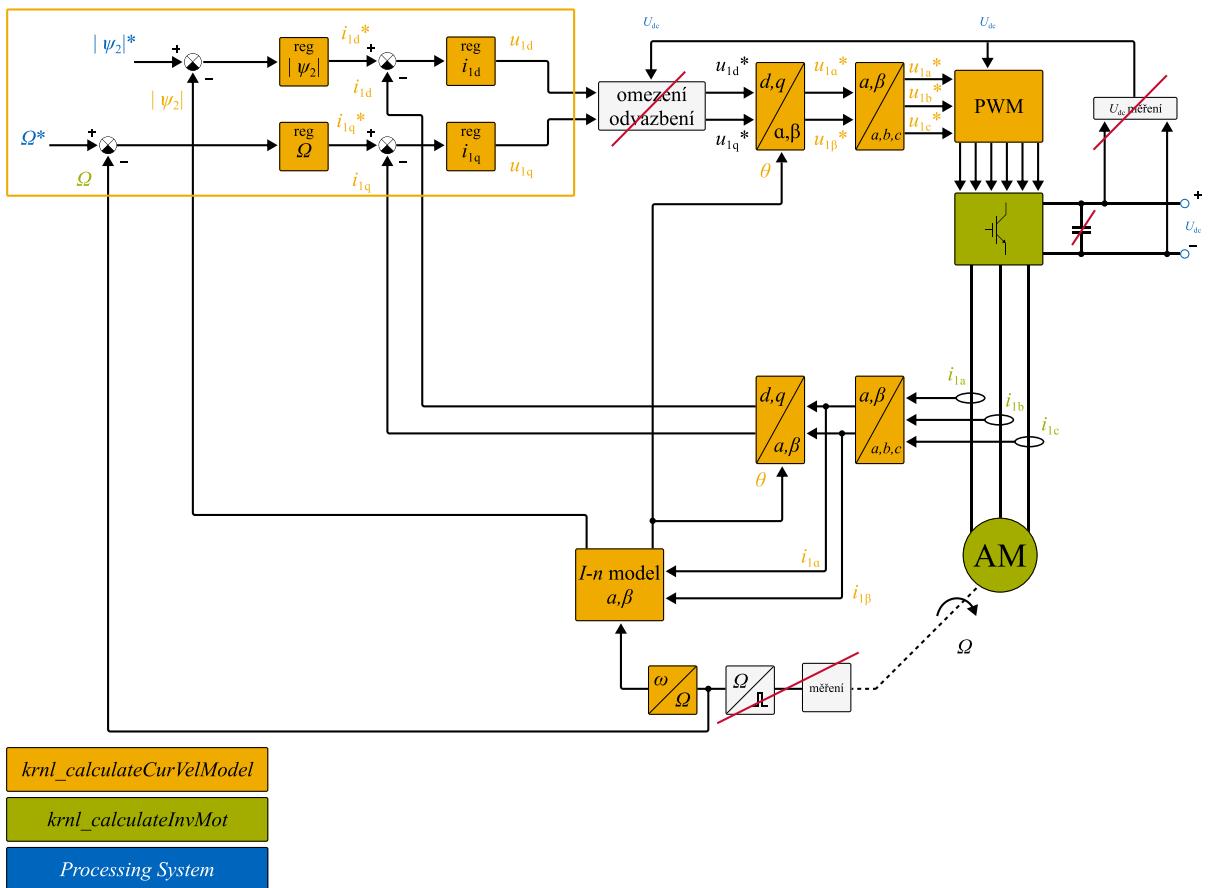
Z finančních důvodů je možné při souměrnosti napájecí sítě a napájení motoru měřit pouze dvě hodnoty napájecích proudů motoru a třetí dopočítat. Pro úplnost jsou naznačeny všechny tři snímače. Pro měření otáčivé rychlosti motoru je možné použít inkrementální snímač a jeho výsledné impulzy zpracovávat pomocí PS nebo PL. Pokud by byl k dispozici jiný druh snímače, je preferován prvek s možností komunikace pomocí SPI, které splňuje požadavky na rychlé získávání a odesílání hodnot do PS.

V této práci byla realizována pouze simulace jednotlivých prvků FOC. Upravené blokové schéma simulace je zobrazeno na obr. 8 - 2. **Žluté označení** symbolizuje, že se výpočty provádějí v `krl1_calculateCurVelModel` tudíž v prvním ze spouštěných kernelů v podaplikaci *CPU/FPGA Model*. **Zelené označení** symbolizuje provádění výpočtů výstupního napětí invertoru a modelu asynchronního motoru v kernelu `krl1_calculateInvMot`. **Modře označený** blok symbolizuje, že je algoritmus prováděn v PS. **Modře označená** proměnná je nastavována v PS a **žlutě označená**, resp. **zeleně označená** je výstupem kernelu s *I-n* modelem, resp. s modelem asynchronního motoru.

Bloků (omezení a odvazbení) a měření napětí  $U_{DC}$  nebyly v aplikaci *CPU/FPGA Model* implementovány. Bloky pro zpracování rychlosti otáčení byly vynechány z důvodu, že mechanická otáčivá rychlosť je přímo jeden z výstupů modelu asynchronního motoru.



Obr. 8 - 1 Obecné schéma zpětnovazební vektorové regulace. (převzato z [33], [34], upraveno)



Obr. 8 - 2 Simulační schéma zpětnovazební vektorové regulace, realizované v této práci. (převzato z [33], [34], upraveno)

## 9 Model stroje

Jak již bylo představeno v předchozích částech textu, akcelerované aplikace v FPGA je možné použít na různé účely. Součástí této práce je realizace akcelerovaného výpočtu matematického modelu stroje. V této práci bude k demonstraci funkčnosti využito matematického modelu asynchronního motoru. Asynchronní motor bude modelován pro řízení pomocí  $I$ - $n$  modelu a pro simulační účely pomocí zjednodušeného modelu, zanedbávající některé jevy.

V části *PL a PS* je uvedeno, že vlivem omezených zdrojů je možné realizovat v Digilent Zybo Z7 pouze  $I$ - $n$  model stroje. Ostatní výpočty je nutné realizovat v PS. V Xilinx Kria K26 je díky většímu množství zdrojů možné realizovat větší část modelu v PL a pomocí PS řešit pouze konfiguraci, řízení procesu akvizice dat apod.

### 9.1 Matematický popis „kompletního“ modelu stroje

Parametry motoru, který bude využíván v simulaci, byly získány z výukových materiálů předmětu B1M14EPT. [33]

Motor je umístěn v laboratoři č. H-26 na Fakultě elektrotechnické Českého vysokého učení technického v Praze. Parametry, využívané pro jeho modelování jsou uvedeny v tab. 9 - 1 a v tab. 9 - 2.

Tab. 9 - 2 Změřené parametry stroje.

Tab. 9 - 1 Štítkové údaje stroje.

$P_n$	12 kW
$U_n$	380 V
$I_n$	22 A
$n_n$	$1460 \text{ min}^{-1}$
$f_n$	50 Hz
$\cos(\varphi_n)$	0.8
$p_p$	2

$R_1$	370 mΩ
$R_2$	225 mΩ
$L_{1\sigma}$	2,27 mH
$L_{2\sigma}$	2,27 mH
$L_m$	82,5 mH
$L_1$	84,77 mH
$L_2$	84,77 mH
$J$	0,4 kg·m <sup>2</sup>

Kde  $P_n$  (W) je jmenovitý výkon stroje,  $I_n$  (A) je jmenovitý fázový proud stroje (efektivní hodnota),  $U_n$  (V) je jmenovité sdružené napájecí napětí stroje,  $f_n$  (Hz) je jmenovitá napájecí frekvence stroje,  $\cos(\varphi_n)$  (-) je jmenovitý účinník stroje,  $n_n$  ( $\text{min}^{-1}$ ) jsou jmenovité otáčky stroje,  $p_p$  (-) je počet polpárů stroje,  $R_1$  ( $\Omega$ ), resp.  $R_2$  ( $\Omega$ ) je rezistivita statorového, resp. rotorového vinutí,  $L_{1\sigma}$  (H), resp.  $L_{2\sigma}$  (H) je statorová, resp. rotorová rozptylová indukčnost stroje,  $L_m$  (H) je magnetizační indukčnost stroje,  $L_1$  (H), resp.  $L_2$  (H) je statorová, resp. rotorová indukčnost,  $J$  ( $\text{kg} \cdot \text{m}^2$ ) je moment setrvačnosti hřídele.

Použitý model je založen na výpočtu složek vektorů statorového proudu  $\underline{i}_1^k$  a rotorového toku  $\underline{\psi}_2^k$  v souřadnicovém systému  $\alpha\beta$  spojeném se statorem. Tudíž při použití  $\omega_k = 0$ . Bude volena konstanta  $K = 2/3$ . Poté bude stavový popis systému vypadat následovně.

$$\frac{d}{dt} \begin{bmatrix} i_{1\alpha} \\ i_{1\beta} \\ \psi_{2\alpha} \\ \psi_{2\beta} \end{bmatrix} = \begin{bmatrix} -\frac{R_2 L_m^2 + L_2^2 R_1}{\sigma L_1 L_2^2} & 0 & \frac{L_m R_2}{\sigma L_1 L_2^2} & \frac{L_m}{\sigma L_1 L_2} \omega \\ 0 & -\frac{R_2 L_m^2 + L_2^2 R_1}{\sigma L_1 L_2^2} & -\frac{L_m}{\sigma L_1 L_2} \omega & \frac{L_m R_2}{\sigma L_1 L_2^2} \\ \frac{L_m R_2}{L_2} & 0 & -\frac{R_2}{L_2} & -\omega \\ 0 & \frac{L_m R_2}{L_2} & \omega & -\frac{R_2}{L_2} \end{bmatrix} \begin{bmatrix} i_{1\alpha} \\ i_{1\beta} \\ \psi_{2\alpha} \\ \psi_{2\beta} \end{bmatrix} + \begin{bmatrix} \frac{1}{\sigma L_1} & 0 \\ 0 & \frac{1}{\sigma L_1} \\ 0 & 0 \\ 0 & 0 \end{bmatrix} \begin{bmatrix} u_{1\alpha} \\ u_{1\beta} \end{bmatrix}. \quad (9-1)$$

Stavový popis je vhodné doplnit o další rovnice, jež budou v simulaci využity.

$$M = \frac{3}{2} p_p \frac{L_m}{L_2} (\psi_{2\alpha} i_{1\beta} - \psi_{2\beta} i_{1\alpha}), \quad (9-2)$$

$$M - M_z = J \frac{d\Omega}{dt}, \quad (9-3)$$

$$\omega = p_p \Omega, \quad (9-4)$$

kde  $\sigma = 1 - L_m^2/(L_1 L_2)$  (-) je tzv. rozptyl,  $i_{1\alpha}$  (A) a  $i_{1\beta}$  (A) jsou složky vektoru statorového proudu  $\underline{i}_1^{\alpha\beta}$  (A),  $\psi_{2\alpha}$  (Wb) a  $\psi_{2\beta}$  (Wb) jsou složky vektoru rotorového magnetického toku  $\underline{\psi}_2^{\alpha\beta}$  (Wb),  $u_{1\alpha}$  (V) a  $u_{1\beta}$  (V) jsou složky vektoru statorového napětí  $\underline{u}_1^{\alpha\beta}$  (V),  $p_p$  (-) je počet polpárů stroje,  $\omega$  ( $s^{-1}$ ) je elektrická úhlová rychlosť hřídele,  $\Omega$  ( $s^{-1}$ ) je mechanická úhlová rychlosť hřídele,  $M$  (Nm) je vnitřní elektromechanický moment stroje a  $M_z$  (Nm) je moment zátěžný.

## 9.2 I-n model asynchronního motoru

Jak již bylo v předcházejících částech zmíněno, pokud není k dispozici dostatečný počet LUTs pro výpočet kompletního matematického modelu, je možné využít PL na výpočet např. proudově-otáčkového, resp. *I-n* modelu a regulační procesy realizovat v PS.

Popis *I-n* modelu vychází ze základních rovnic, popisujících asynchronní motor, uvedených např. v [34] (rovnice jsou upraveny a přeznačeny dle moderních konvencí ale význam zůstává zachován). V teorii prostorových vektorů je možné tedy psát soustavu rovnic

$$\underline{u}_1^k = R_1 \underline{i}_1^k + \frac{d\underline{\psi}_1^k}{dt} + j\omega_k \underline{\psi}_1^k, \quad (9-5)$$

$$\underline{u}_2^k = R_2 \underline{i}_2^k + \frac{d\underline{\psi}_2^k}{dt} + j(\omega_k - \omega) \underline{\psi}_2^k, \quad (9-6)$$

$$\underline{\psi}_1^k = L_1 \underline{i}_1^k + L_m \underline{i}_2^k, \quad (9-7)$$

$$\underline{\psi}_2^k = L_2 \underline{i}_2^k + L_m \underline{i}_1^k, \quad (9-8)$$

kde  $\underline{u}_1^k$  (V) je prostorový vektor statorového napětí,  $\underline{u}_2^k$  (V) je prostorový vektor rotorového napětí,  $\underline{i}_1^k$  (A) je prostorový vektor statorového proudu,  $\underline{i}_2^k$  (A) je prostorový vektor rotorového proudu,  $\underline{\psi}_1^k$  (Wb) je prostorový vektor magnetického toku statoru,  $\underline{\psi}_2^k$  (Wb) je prostorový vektor magnetického toku rotoru,  $\omega$  ( $s^{-1}$ ) je elektrická úhlová rychlosť otáčení rotoru,  $\omega_k$  ( $s^{-1}$ ) je úhlová rychlosť otáčení použitého souřadicového systému,  $R_1$  ( $\Omega$ ), resp.  $R_2$  ( $\Omega$ ) je rezistivita statorového, resp. rotorového vinutí,  $L_1$  (H), resp.  $L_2$  (H) je statorová, resp. rotorová indukčnost a  $L_m$  (H) je hlavní magnetizační indukčnost.

*I-n* model vychází z předpokladu, že otáčivá úhlová rychlosť souřadnicového systému  $\omega_k = 0$  a tudíž model bude odvozován v souřadnicovém systému spojeným se statorem (souřadnicový systém  $\alpha\beta$ ). Po vzdelení daného souřadnicového systému pro soustavu rovnic platí

$$\underline{u_1^{\alpha\beta}} = R_1 \underline{i_1^{\alpha\beta}} + \frac{d\underline{\psi_1^{\alpha\beta}}}{dt}, \quad (9 - 9)$$

$$\underline{u_2^{\alpha\beta}} = R_2 \underline{i_2^{\alpha\beta}} + \frac{d\underline{\psi_2^{\alpha\beta}}}{dt} - j\omega \underline{\psi_2^{\alpha\beta}}, \quad (9 - 10)$$

$$\underline{\psi_1^{\alpha\beta}} = L_1 \underline{i_1^{\alpha\beta}} + L_m \underline{i_2^{\alpha\beta}}, \quad (9 - 11)$$

$$\underline{\psi_2^{\alpha\beta}} = L_2 \underline{i_2^{\alpha\beta}} + L_m \underline{i_1^{\alpha\beta}}. \quad (9 - 12)$$

V případě řízení asynchronního motoru s kotvou nakrátka orientovaného na rotorový tok je dále z rovnice 9 - 12 vyjádřen prostorový vektor  $\underline{i_2^{\alpha\beta}}$ , který je dále dosazen do upravené rovnice 9 - 10, u které je přepokládáno, že  $\underline{u_2^{\alpha\beta}} = 0$ . Výsledná diferenciální rovnice pro prostorový vektor rotorového magnetického toku je

$$\frac{d\underline{\psi_2^{\alpha\beta}}}{dt} = \frac{R_2}{L_2} L_m \underline{i_1^{\alpha\beta}} + j\omega \underline{\psi_2^{\alpha\beta}} - \frac{R_2}{L_2} \underline{\psi_2^{\alpha\beta}}. \quad (9 - 13)$$

Rozepsáním představené diferenciální rovnice do reálné a imaginární složky vznikne soustava diferenciálních rovnic, kterou je třeba řešit.

$$\begin{aligned} \frac{d\underline{\psi_{2\alpha}}}{dt} &= \frac{L_m R_2}{L_2} \underline{i_{1\alpha}} - \frac{R_2}{L_2} \underline{\psi_{2\alpha}} - \omega \underline{\psi_{2\beta}}, \\ \frac{d\underline{\psi_{2\beta}}}{dt} &= \frac{L_m R_2}{L_2} \underline{i_{1\beta}} - \frac{R_2}{L_2} \underline{\psi_{2\beta}} + \omega \underline{\psi_{2\alpha}}. \end{aligned} \quad (9 - 14)$$

## 10 Použité nástroje pro vývoj aplikace pro PS a PL

V této části jsou představeny jednotlivé nástroje, využívané při tvorbě programu pro PS a akcelerované aplikace (kernelu) realizované na PL. Je důležité zmínit, že na v PS je skutečně spouštěn zkompilovaný program vytvářený pomocí jazyka C, C++ nebo Python. Na PL je ovšem vytvořen HW, který reprezentuje myšlené algoritmy aplikace. Tento HW je popisován pomocí nízkoúrovňových jazyků, do kterých je algoritmus převeden v HLS z jazyka C. Není tudíž korektně správné mluvit o tom, že se vytváří program pro FPGA. Z toho důvodu bude v této práci používáno označení pro vytváření HW na PL *vytváření kernelu* (creation of the kernel). Označení *kernel* je myšleno v odlišném významu než je využíváno v části *RealTime Linux Patch*.

Tvorba akcelerované aplikace může být obecně prováděna více způsoby. Tento způsob závisí na použitém vývojovém nástroji pro daný HW. V této práci je využíváno SOM od firmy Xilinx, proto je výhodné využívat již připravené nástroje, které umožní snazší vývoj SW, tvorbu HW a přípravu systému na SOM.

Veškerý používaný SW v této práci od firmy Xilinx je po registraci volně dostupný ke stažení na [35].

### 10.1 Xilinx Vivado

Xilinx Vivado je nástroj, používaný pro tvorbu HW architektury, resp. platformy, pro kterou bude v další části postupu možné vytvořit akcelerovanou aplikaci. Ve Vivado je možné tvořit HW návrh, převeditelný do HDL, který bude spustitelný v PL bez použití Vitis HLS. Pro vývojáře HW pro FPGA může sloužit i jako jediný vývojářský nástroj.

Se znalostí VHDL je možné ve Vivado vytvářet požadované HW konstrukce, ovšem tvorba těchto konstrukcí ve Vivado je relativně náročnou záležitostí není předmětem této práce, ale je nevyhnutelnou součástí výzkumu využití těchto platform pro řízení elektrických pohonů.

Xilinx Vivado je součástí instalovačního balíčku *Xilinx Unified Installer*, dostupného z [35]. Součástí balíčku verze 2022.2 SFD je také nástroj *Xilinx Vitis*. Je doporučeno instalovat oba tyto programy a vyvarovat se oddělené instalace, jež může přinášet problémy se vzájemnou i zpětnou kompatibilitou jednotlivých nástrojů.

### 10.2 Xilinx Vitis

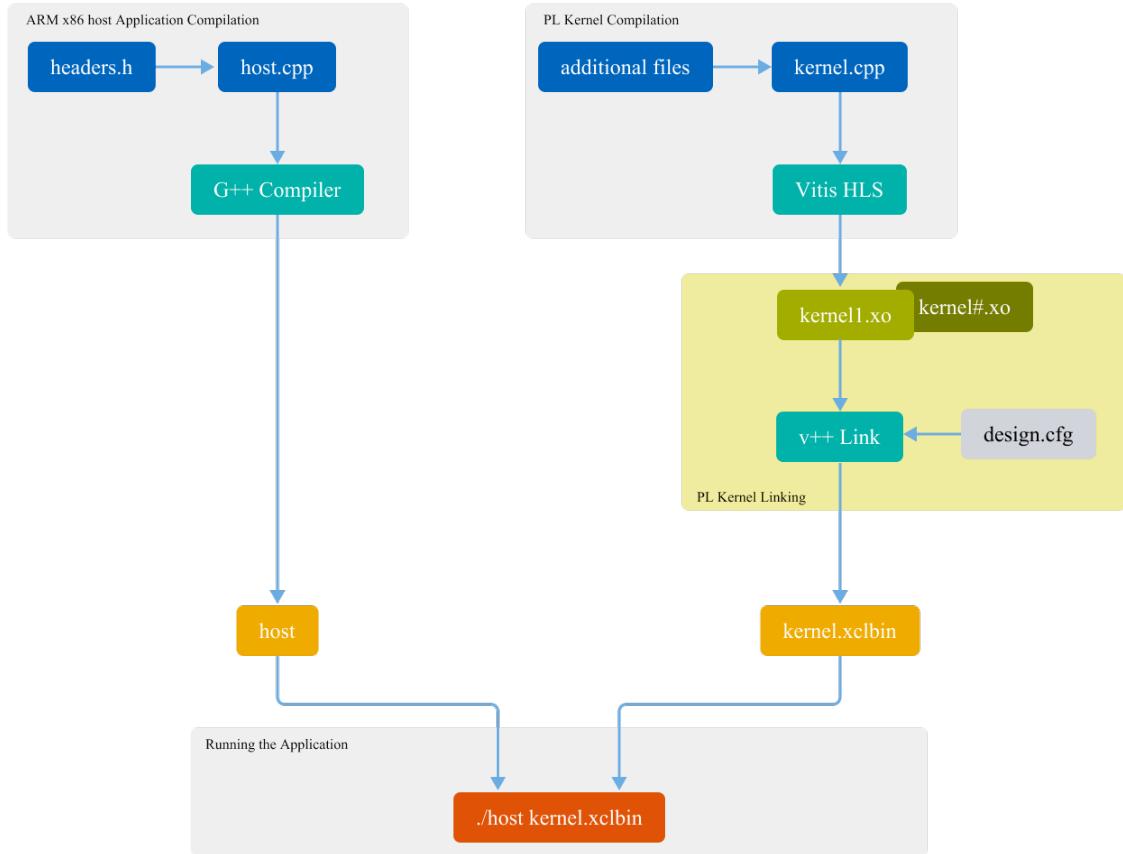
Xilinx Vitis je nástroj, který slouží k vytváření akcelerovaných aplikací na zařízení firmy Xilinx. Tento nástroj obsahuje základní vrstvu s názvem Xilinx Vitis PS, která slouží jako jádro převodu vytvářených aplikací v C, C++, OpenCL do RTL. V programu Xilinx Vitis bude vytvářena největší část aplikace, proto je vhodné nastinit postup, jakým Vitis pracuje.

Nejprve je vytvořen tzv. „host program“ bežící na PS, který je vyvíjen v C/C++ jazyku (popř. Python), používající Xilinx Runtime (XRT) Application Programming Interface (API). Tento program je následně komplikován pomocí g++ kompilátoru, který vytvoří spustitelný soubor pro procesor. Tento host program komunikuje s akcelerovanou částí aplikace (kernel), umístěným v PL v FPGA. Blok *ARM x86 host Application Compilation* naznačuje, jakým způsobem je vytvářena aplikace pro host procesor. [27]

Poté Vitis HLS compiler přeloží C/C++ zdrojový kód pro kernel do register transfer level (RTL) (úrovně registrů). Produkty této komplikace mají příponu „.xo“ (Xilinx Object) a mohou být spojovány do binárního souboru s příponou „.xclbin“ pomocí Vitis linkeru. Souborem *kernel.xclbin* je poté možné nakonfigurovat PL.[27]

Na obr. 10 - 1 je blokově znázorněn postup tvorby spustitelné aplikace v programu Vitis. Tento diagram předpokládá, že již byla vytvořena HW platforma ve Vivado a PetaLinux systém.

Produkty větve programu pro PS a konfigurace pro PL je po jejich dokončení možné použít v daném heterogenním systému. Host program zařídí nakonfigurování PL pomocí souboru *kernel.xclbin* a následné zpracování výsledků. Blok s názvem *Running the Application* je kompletně vykonáván v prostředí PetaLinux v simulátoru (QEMU) nebo na fyzickém zařízení (vývojová deska).



Obr. 10 - 1 Blokový diagram tvorby spustitelné aplikace v prostředí Vitis. (převzato z [27], upraveno)

## 10.3 PetaLinux Tools

*PetaLinux Tools* je nástroj, který slouží k vytvoření systému PetaLinux, který bude spuštěn na PS v daném SOM nebo SoC. Z tohoto systému je poté možné spuštět navazující programy host a kernel.

PetaLinux poskytuje distribuci systému Linux, který uživatel před tvorbou aplikace pomocí Xilinx Vitis využívá k tomu, aby vytvořil operační systém, na kterém bude možné spuštět dané akcelerované aplikace. Tento systém je možné nakonfigurovat dle požadavků aplikace. Při tvoření tohoto systému je možné konfigurovat jádro systému (kernel), balíčky, které budou do systému nainstalovány, vytvořit uživatele systému nebo vybrat, kde v paměti bude systém umístěn (RAM, SD karta apod.). [36]

PetaLinux Tools mohou sloužit k debuggingu a virtualizaci systému pomocí QEMU. V případě tvorby systému, který je konfigurovaný uživatelem, je třeba postupovat obezřetně a dodržovat nastavené postupy konfigurace, protože v případě chyby je nutné překonfigurovat chybnou část nebo někdy kompletní build. Tvorba *PetaLinux* systému je časově náročný postup, u něhož je problematický debugging.

Pro funkční instalaci *PetaLinux Tools* je nutné disponovat nainstalovanými správnými verzemi systémových a aplikačních balíků, které jsou nutnou prerekvizitou tvorby *PetaLinux* pro PS. Požadavky na balíky je možné nalézt při nahlédnutí do dokumentace [37] (UG1144) dané instalované verze *PetaLinux*.

*Tools*. V sekci *Installation Requirements* se nachází odkaz označený *PetaLinux <version> Release Notes*, který ve spodní části obsahuje stáhnutelný soubor *<version>\_PetaLinux\_Package\_List.xlsx*, který obsahuje požadované balíky a jejich verze. Bez použití podporovaných balíků by nepracoval nástroj PetaLinux Tools správně.

## 10.4 RealTime Linux Patch

Protože operační systém Linux nebyl původně vytvářen pro využití v embedded systémech, ale v obecných zařízeních jako jsou servery a stolní počítače, nebyl tento systém vhodný pro řešení úloh v reálném čase. Proto se objevila snaha upravit tento systém takovým způsobem, aby jej bylo možné využívat v real time systémech.

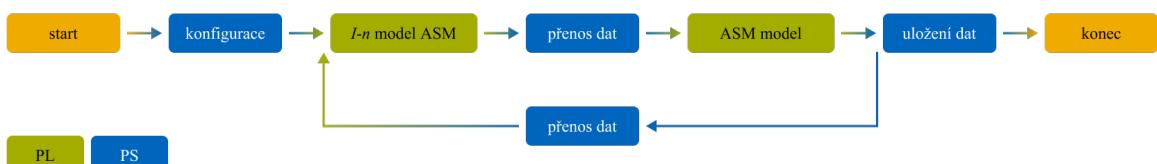
Real time systémy je obvykle možné rozdělit do jednotlivých úrovní podle časových požadavků systému v reálném čase na:

- **Soft Real Time** – aplikace, ve které je hlavním parametrem kvalita výsledků, pokud v některých případech nedojde k dodržení časových omezení jednotlivých úkonů, nemá tato chyba vliv na zdraví člověka nebo stav majetku,
- **Firm Real Time** – pokud v aplikaci nedojde k dodržení časových omezení výpočtu, je výsledek daného výpočtu považován za neplatný a nelze jej použít,
- **Hard Real Time** – v aplikaci je zakázáno nedodržení časových omezení, kdyby došlo k překročení pevně daných časových rámců, může vzniklá situace vést k ohrožení lidských životů nebo stavu majetku.

V [38] jsou představeny původní přístupy, kdy pro dodržení časových omezení a tzv. „*preemptibility*“ (přerušitelnosti vykonávaného vlákna) byl využit *cokernel*.

Moderní způsob spočívá v aplikování Linux patch pro danou verzi kernelu (pojmeme kernel v tomto případě není myšlena akcelerovaná aplikace, ale jádro operačního systému Linux), kdy není přidávaná do systému další vrstva jádra, ale původní jádro je upravováno. Úpravy spočívají ve změně některých přístupů funkčnosti jádra a přerušení. Tento patch se obecně nazývá *PREEMPT\_RT* a o začlenění jeho principů do mainline kernelu je dlouhodobě usilováno. [38]

Popis state-of-art *PREEMPT\_RT* je popsán v [38]. V této práci je patch využit pro získání co největší přerušitelnosti jádra, tudíž aby byl kernel *FULLY PREEMPTIBLE*. Pokud by tomu tak nebylo, nebyly by výsledky simulací matematických modelů při použití PL a PS konzistentní. Pokud je využívána architektura simulace, naznačená na obr. 10 - 2, dojde při opakovaném spuštění aplikace s vysokou pravděpodobností k získání znehodnocených výsledků, které není možné použít. Při spuštění aplikace se tento problém projeví nevalidními výsledky, které neodpovídají žádnému ze zadaných parametrů. Po opakovém spuštění aplikace je možné získat validní výsledky, ovšem četnost, kdy dochází k získání nevalidních výsledků, je značně vysoká.



Obr. 10 - 2 Graf prováděné simulace při testování *PREEMPT\_RT* Linux Patch.

#### 10.4.1 Postup aplikace PREEMPT\_RT patch

Patch je možné aplikovat několika způsoby. V této práci byl aplikován při fázi tvoření *PetaLinux* systému pomocí úpravy konfiguračních souborů build procesu.

Pro bezproblémové aplikování patche je vhodné nejdříve vytvořit *build* *PetaLinux* systému bez aplikovanání patch souboru s minimální konfigurací a po úspěšném vytvoření systému patch aplikovat a build proces opakovat. Pro funkční aplikaci patch souboru je nutné znát verzi jádra *PetaLinux*, na který bude aplikován. Označení verze je možné získat z **Makefile** souboru umístěného v cestě naznačené v kódu 10 - 1, kde <petalinux-project> je označení pro kořenový (root) adresář *PetaLinux* projektu, který je tvořen.

```
1 <petalinux-project>/build/tmp/work-shared/xilinx-k26-kr/kernel-source/
  Makefile
```

Kód 10 - 1 Cesta Makefile souboru, ze kterého je možné získat označení verze jádra systému *PetaLinux*.

Protože je zmiňovaný **Makefile** soubor rozměrný a pro určení verze kernelu je signifikantní pouze jeho úvodní část, je v kódu č. 10 - 2 vynechána podstatná část souboru, která není pro aplikování patche podstatná.

```
1 # SPDX-License-Identifier: GPL-2.0
2 VERSION = 5
3 PATCHLEVEL = 15
4 SUBLEVEL = 36
5 EXTRAVERSION =
6 NAME = Trick or Treat
7 ...
```

Kód 10 - 2 Významná část Makefile souboru pro určení verze jádra *PetaLinux*.

Z kódu 10 - 2 je možné vyčíst, že je třeba využít patch pro verzi 5.15.36. Pokud není možné informaci ohledně verze jádra linuxu dohledat, je možné vytvořit *PetaLinux* obvyklým způsobem, vytvořit obraz systému, ten nahrát na SD kartu, provést spuštění systému na vývojové desce a po úspěšném přihlášení do systému vyvolat příkaz **uname -a** a dle uvedených informací odvordin verzi jádra.

Poté je z adresy <https://cdn.kernel.org/pub/linux/kernel/projects/rt/> možné stáhnout patch pro zjištěnou verzi jádra. V této práci byl využit patch pro Petalinux 2022.2 umístěný v cestě 5.15/older/patch-5.15.36-rt41.patch.gz.

Dalším krokem je extrahovaný soubor **patch-5.15.36-rt41.patch** přenést do složky <petalinux-project>/project-spec/meta-user/recipes-kernel/linux/linux-xlnx/. Build proces musí následně mít informaci o umístění daného souboru, proto je vyžadováno aby do souboru <petalinux-project>/project-spec/meta-user/recipes-kernel/linux/linux-xlnx\_% .bbappend zapsat na poslední řádek příkaz **SRC\_URI:append = "file://patch-5.15.36-rt41.patch"**, kde **patch-5.15.36-rt41.patch** je název patch souboru. Ukázka **linux-xlnx\_% .bbappend** souboru, využitého v této práci je v kódu 10 - 3. Jak je vidět, soubor obsahuje informace o různých konfiguračních souborech pro tvorbu jádra Linux systému. Šestý řádek označuje uživatelskou konfiguraci, pomocí data, kdy byla vytvořena.

```
1 FILESEXTRAPATHS:prepend := "${THISDIR}/${PN}:"
2
3 SRC_URI:append = " file://bsp.cfg"
```

```

4 KERNEL_FEATURES:append = " bsp.cfg"
5 SRC_URI:append = " file://patch-5.15.36-rt41.patch"
6 SRC_URI += "file://user_2023-04-07-11-32-00.cfg"

```

*Kód 10 - 3 Ukázka konfiguračního souboru pro aplikování Linux patch souboru.*

Aby došlo k aplikování změn, vyvolaných RT patch souborem je nutné během build procesu provést určité změny v konfiguraci vytvářeného *PetaLinux* projektu. (postup předpokládá, že již byl vytvořen první build s minimální konfigurací) Opět jsou v *PetaLinux Environment* (prostředí) vyvolány příkazy **petalinux-config** pro první konfiguraci HW a **petalinux-confic -c kernel** pro konfiguraci jádra. Po otevření konfigurační nabídky kernelu je nutné provést změny, vyznačené v 10 - 4.

```

1 General setup -> Timers subsystem -> High Resolution Timer Support <*>
2 General setup -> Preemption Mode -> Fully Preemptive Kernel (RT) <*>
3 Main menu -> Kernel Features -> Timer frequenc -> 1000 Hz <*>
4 Main menu -> CPU power Management -> CPU Frequency Scaling < >

```

*Kód 10 - 4 Úpravy v konfiguraci jádra pro RT patch.*

Značení:

- < > funkce není aktivována,
- <\*> funkce je aktivována.

Po konfiguraci je již možné pokračovat klasickým způsobem build procesu popsáným v části *Tvorba PetaLinux*.

Představený postup čerpá informace o aplikování patch souboru z [39], [40] a z experimentálního zjištění autora.

## 10.5 Programovací prostředí – operační systém Linux

Pro práci s představenými nástroji Xilinx Vivado, Xilinx Vitis a PetaLinux Tools je nutné využívat podporovaných operačních systémů, které umožňují správnou funkci využitých nástrojů.

Jednotlivé požadavky na operační systémy je možné nalézt na stránkách dokumentace <https://docs.xilinx.com>. Pro nejnovější verze v době zpracování této práce jsou požadavky pro Xilinx Vivado dostupné v [41]. Požadavky na operační systém pro Xilinx Vitis v [27]. Pro využívání a tvorbu PetaLinux Tools je třeba dodržet systémové požadavky uvedené v [37]. Pokud uživatel využívá starších verzí vývojových nástrojů, je doporučeno využít operační systém Linux. Pro tento práci byl nejdříve využíván systém Ubuntu 18.04 LTS (Bionic Beaver), dostupný ke stažení na adrese <http://old-releases.ubuntu.com>. V průběhu práce došlo k aktualizování verzí vývojových nástrojů, které byly původně kompatibilní pouze s verzí Ubuntu 18.04 a nižší. Veškerá práce a postupy byly po aktualizaci přeneseny na novější verzi systému Ubuntu 20.04 LTS (Focal Fossa).

Je důležité poznamenat, že neplatí skutečnost, že když např. Vivado podporuje některou z novějších verzí Ubuntu, bude jí podporovat také *PetaLinux Tools*. Vždy je doporučeno využívat starší verze a kontrolovat vzájemnou kompatibilitu, aby se předešlo zbytečné ztrátě času.

V případě využívání představených nástrojů a systému Linux je třeba dbát na správné postupy instalací a v případě problémů využívat dostupné dokumentace.

## 11 Struktura složek

Aby byl vývoj, debugging, deployment a verzování aplikace co nejméně problematickým a zdlouhavým procesem pro vývojáře (jak HW tak SW), je vhodné zavést pro daný projekt/vývoj pevný systém složek (file system), který bude dodržován napříč projekty. V případě existence takového systému je možné vytvořit postupy a skripty, které značně urychlí práci na vyvíjeném projektu.

Tyto skripty mohou sloužit k snadnějšímu přenosu souborů mezi jednotlivými složkami pro potřeby daných vývojových nástrojů, přenos souborů na vývojovou desku a nebo k výrazně rychlejší práci s vývojovými nástroji *PetaLinux Tools* a *Vitis HLS*. Díky tomuto systému složek bude pro každý projekt přesně stanovaná cesta k vytvořenému SDK (software development kit), který je potřeba pro vývoj akcelerované aplikace.

V této práci bude dodržována struktura naznačená v kódu 11 - 1.

```
1 - projects folder
2   - top folder (project name)
3     - transfer           // user generated
4     - hw                 // vivado project
5     - petalinux          // petalinux project
6     - linux-files        // user generated folders
7       - pfm
8         - boot
9         - sd_dir
10      - dtg_out           // created when converting device tree from XSA file
11      - sysroots          // created by ./sdk.sh -d ../../linux-files
12    - vitis
```

Kód 11 - I Struktura složek, využívaná při tvorbě projektů k dosažení lepšího DX.

Tato struktura přináší možnosti rychlejšího pohyb v projektu pomocí vzdáleného přístupu ssh a emulátoru terminálu, který umožnuje provádět build aplikace i bez použití GUI *Vitis HLS*. Využíváním headless módu dochází k odstranění některých nedostatků SW, jako je např. zastavení build procesu z neznámých důvodů. Ovšem GUI je vhodné na provádění úkonů, jejichž způsob provedení v headless módu nebyl při realizaci této práce objeven (tvorba platformy, tvorba aplikace, automatické vytváření `makefile` souborů apod.).

V případě verzování projektu je ovšem důležité si uvědomit, že některé soubory mají značnou velikost a některé složky obsahují velmi mnoho souborů (více než 8 000 souborů). Proto je nutné tuto skutečnost vnímat a dle vlastních požadavků vyjmout vybrané prvky z verzování.

## 12 Tvorba HW architektury Xilinx Vivado

Aby bylo možné vytvořit akcelerovanou aplikaci ve Vitis pomocí HLS C++, je třeba připravit platformu, resp. hardware, pro který bude daná aplikace vyvíjena. K tvorbě platformy je využit SW Xilinx Vivado. V tomto programu je možné konfigurovat jednotlivé IP (intellectual property) prvky jako je ZynQ jednotka, GPIO, Timer, SPI komunikace a další. Výsledkem tvorby platformy v této práci je vytvoření XSA souboru, který bude použit pro konfiguraci *PetaLinux* systému a jako vstupní informace pro tvorbu Platformy ve Vitis. Ve Vivado je možné vytvářet aplikace přímo v VHDL.

Tvorba HW pro různé platformy (Digilent Zybo, Xilinx Kria KR260, SoC, SOM) má částečně odlišné specifikace a odlišný postup. Rámcový postup je však totožný pro většinu platem využívající zařízení od firmy Xilinx, Inc.

V této sekci bude popsána tvorba platformy pro vývojovou desku Xilinx Kria KR260 Starter Kit, na níž byla realizována finální aplikace. V příloze práce je naznačen postup tvorby základní platformy pro vývojovou desku Digilent Zybo.

### 12.1 Vivado Board Files

Aby bylo možné snadněji vytvořit potřebnou HW architekturu, firmy velmi často dodávají ke svému produktu *Board Files* soubory, obsahující různá přednastavení, konfigurace, informace a způsob připojení IP bloků k reálným součástím (constraints). [42]

Samozřejmě by bylo možné HW architekturu vytvořit i bez těchto konfiguračních souborů, ovšem postup tvorby by byl značně náročnější. Pro vývojovou desku Xilinx Kria KR260 Starter Kit výrobce dodává Board files již s instalací Vivado. Pro používanou vývojovou desku Digilent Zybo Zynq-7000 je možné stáhnout tyto soubory z [42]. Způsob instalace board files je popsán v oficiální dokumentaci firmy Digilent, Inc. v [43].

Po úspěšné instalaci souborů je možné spustit Xilinx Vivado a vytvořit potřebnou HW architekturu pro akcelerovanou aplikaci.

### 12.2 Tvorba HW designu pro Xilinx Kria KR260 vývojovou desku

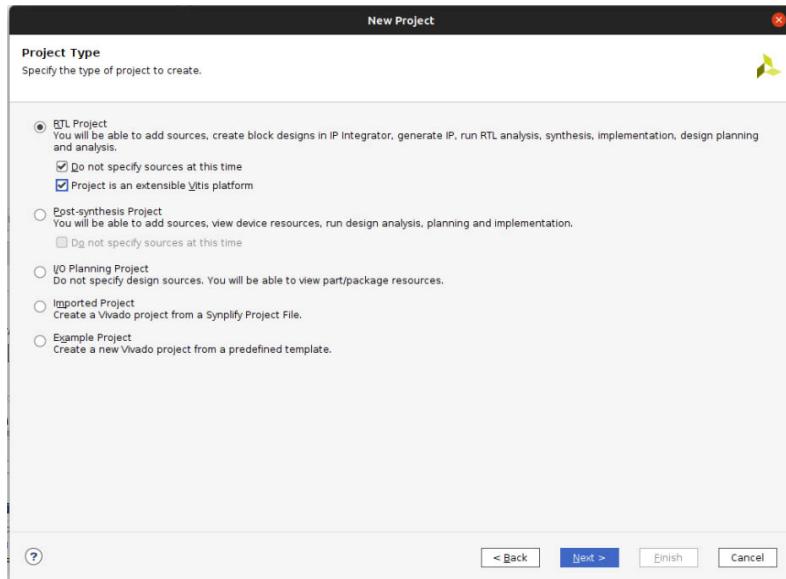
Při tvorbě designu pro vývojovou desku Xilinx Kria KR260, byly čerpány základní rámcové informace o postupu z [44], [45] a [46]. Konkrétní postup se liší dle vytvářené aplikace a zkoumaných vlastností.

Protože první vývoj a zkoumání využitelnosti SoC bylo prováděno na desce Digilent Zybo Zynq-7000, je v příloze *Tvorba HW designu pro Digilent Zybo Zynq-7000 vývojovou desku* nastíněn postup tvorby HW designu pro původní desku. Konfigurace PS a tvorba HW pro Digilent Zybo se odlišuje převážně proto, že Zybo používá starší PS Zynq-7000, oproti novějšímu PS MPSoC Zynq UltraScale+ v Xilinx Kria.

Prvním krokem je vytvoření Vivado projektu a jeho umístění do složky hw (popis struktury složek v projektu je představen v části *Struktura složek*).

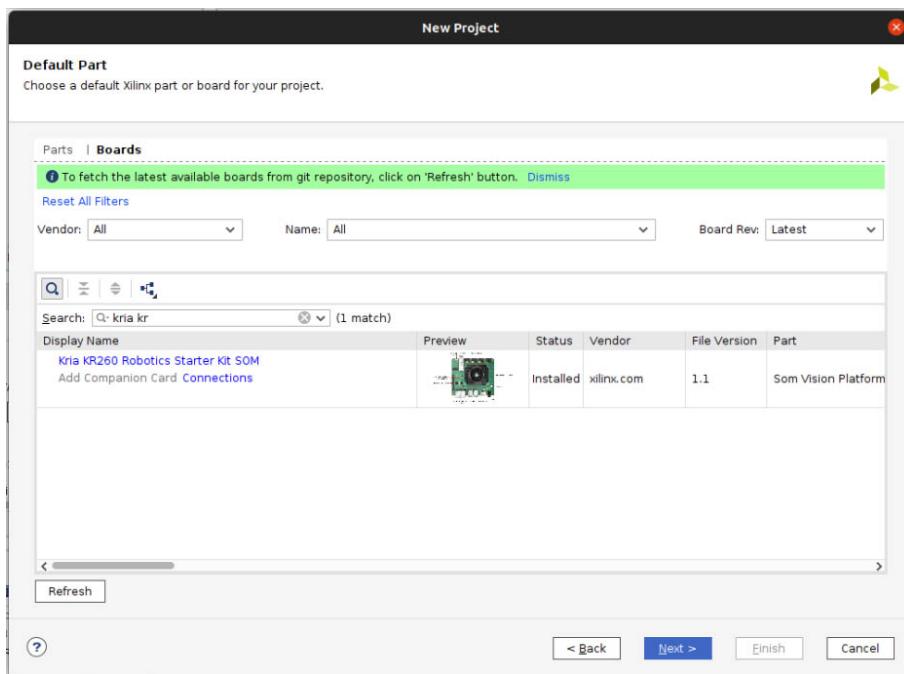
Postup tvorby projektu začíná pro většinu akcelerovaných aplikací stejným způsobem. Po otvěření programu Vivado stačí vytvořit nový project typu *RTL Project* a aktivovat nastavení *Project is an extensible Vitis platform*. Ukázka nabídky tvorby projektu je na obr. 12 - 1.

Dalším krokem při zakládání projektu je zvolení prvku, na který bude vyvíjený HW design určen. Je možné zvolit přímo komponentu, pro kterou je design určen nebo již přednastavené vývojové desky. Pokud není vývojová deska v repozitáři od Xilinx, je možné jí vložit dle způsobu popsáного v části *Vivado Board Files*. Xilinx Kria KR260 je však již součástí daného repozitáře a je možné ji v repozitáři vyhledat



Obr. 12 - 1 Xilinx Vivado – volba typu projektu, použitelného dále jako platforma ve Vitis, pro Xilinx KR26.

a zvolit. Výběr desky z repozitáře je zobrazen na obr. 12 - 2.

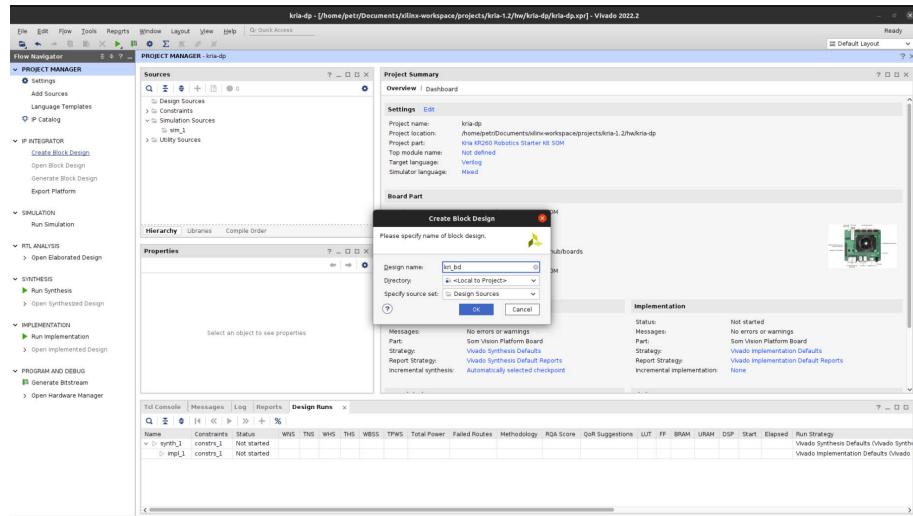


Obr. 12 - 2 Xilinx Vivado – výběr základní komponenty, pro který bude HW design vytvářen.

Po vytvoření projektu je uživateli zobrazena hlavní Vivado obrazovka. V základním nastavení jsou v pravé části obrazovky zobrazeny informace o vybrané základní komponentě/desce a v levé části pracovní menu. Pro pokračování ve vytváření designu je třeba zvolit v menu odkaz *Create block design* a pojmenovat jej dle požadavků autora designu. Zvýrazněné menu a nabídka vytváření blokového je zobrazena na obr. 12 - 3.

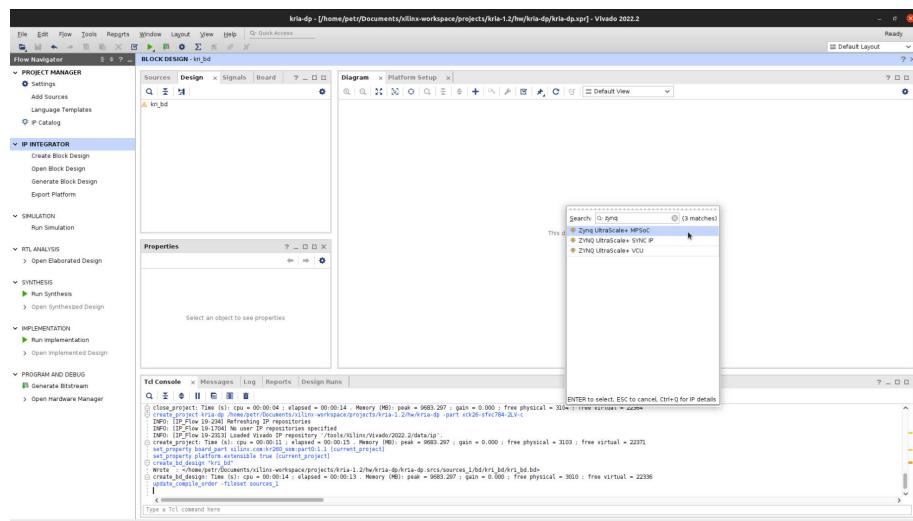
Až po krok vytváření block designu byl postup velmi podobný pro obě představené vývojové desky. Nyní je již možné přistoupit k vlastní tvorbě blokového designu v kartě *Diagram*.

Bloky lze přidávat znakem + v aktivním okně nebo po kliknutí tlačítka myši do volného



Obr. 12 - 3 Xilinx Vivado – nabídka vytváření block design.

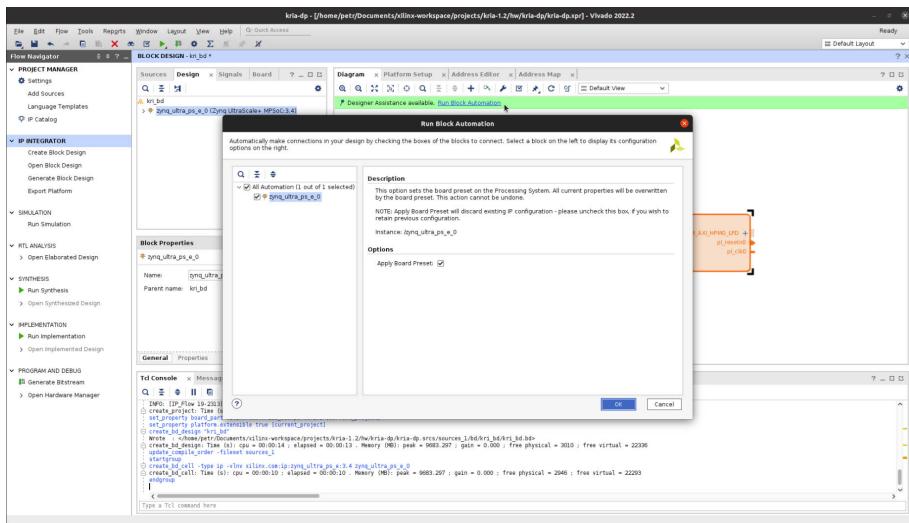
prostoru v téže okně a zvolení *Add IP*. Prvním krokem je přidání PS, v případě Xilinx KR26 se jedná o IP y názvem **Zynq UltraScale+ MPSoC**. Výhoda používání Vivado je taková, že po vložení některých bloků je k dispozici aktivace automatického propojení/nastavení vybraných bloků IP. Po vložení PS bloku je vhodné tuto automatizaci spustit pomocí aktivního odkazu, zobrazeného na kartě *Diagram* v obr. 12 - 5.



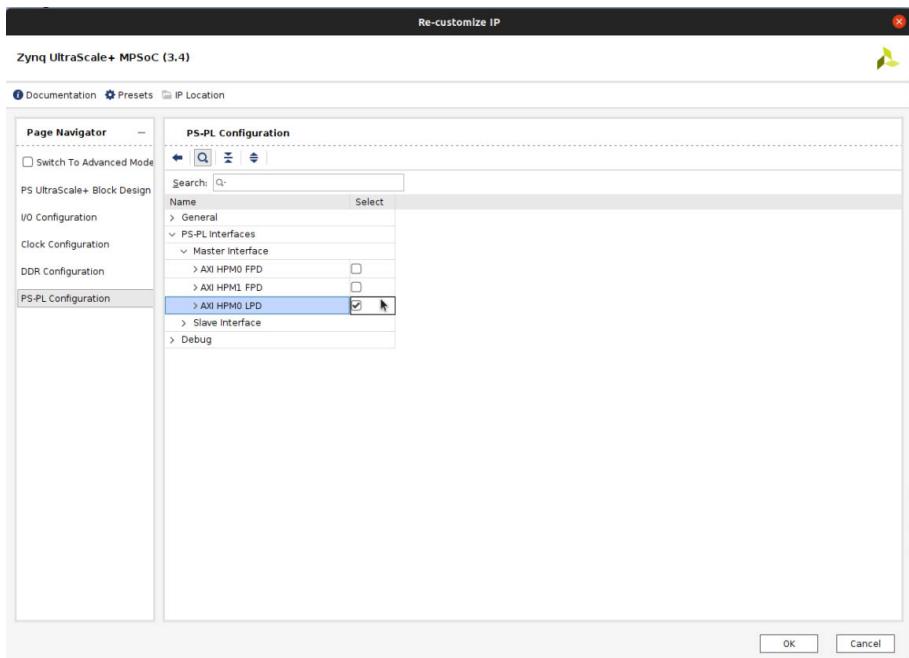
Obr. 12 - 4 Xilinx Vivado – vložení PS IP bloku.

Další krok je důležitý pro tvorbu akcelerované aplikace pomocí Vitis. Je třeba předkonfigurovat PS AXI (rozhraní) takovým způsobem, aby AXI s vysokým výkonem bylo využito až pro akcelerovanou aplikaci a nikoliv v některém z automatických propojení, jejichž pozitivní přínos byl představen v předchozím odstavci. Tato informace je popsána jak v [46] ale také v oficiálních příkladových [47] (v sekci *Add Interrupt Support, krok 1*) pro tvorbu platformy pro vývojovou desku Xilinx Kria KV260, jež používá totožný modul Xilinx Kria K26. Obr. 12 - 6 obsahuje snímek obrazovky s požadovaným nastavením bloku **Zynq UltraScale+ MPSoC** a daných rozhraní.

Protože dle [47] je počet clock signálů **p1\_clk** z PS omezený, je vhodné pro vytvoření požadovaných taktovacích signálů využít blok **Clocking wizard**. V tomto bloku je možné vytvořit taktovací signály s požadovanými parametry. Pokud počet signálů nestačí, je možné přidat další IP.

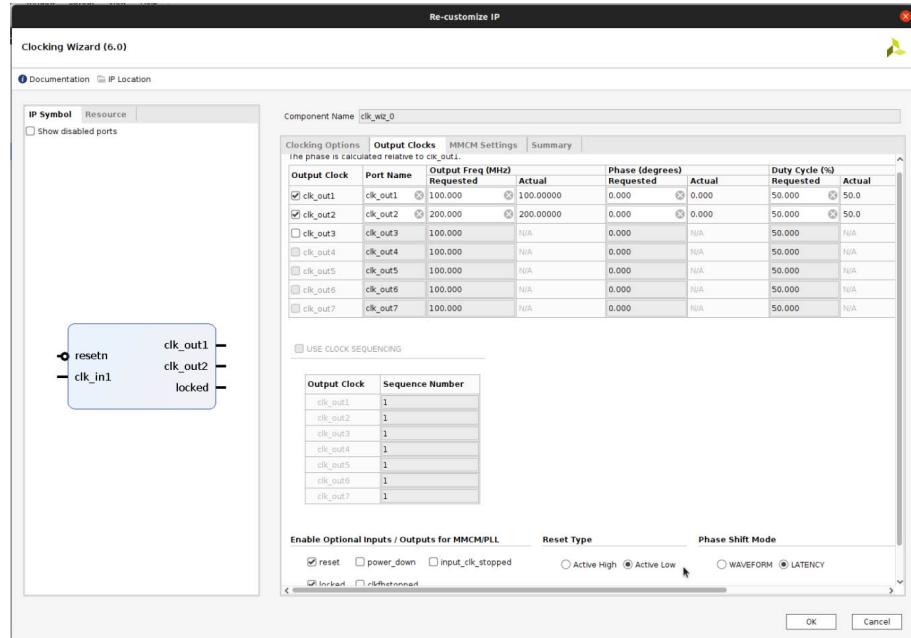


Obr. 12 - 5 Xilinx Vivado – automatické propojení pro PS.



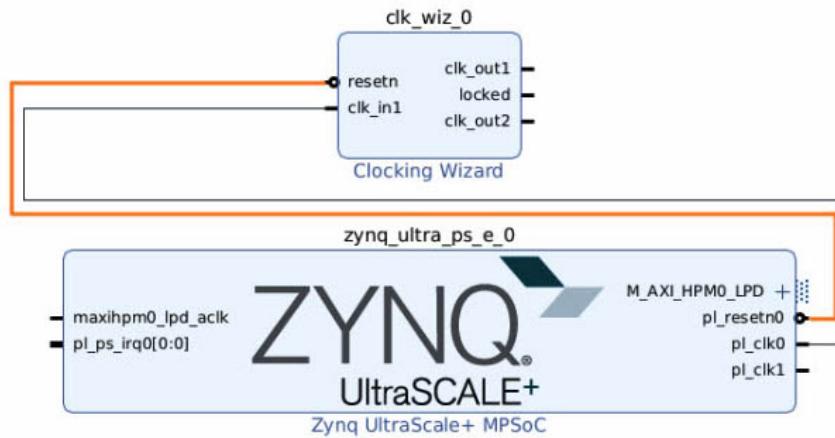
Obr. 12 - 6 Xilinx Vivado – zablokování FPD a odblokování LPD pro block design.

Pro design ukázkové platformy v této práci je vhodné přidat tři taktovací signály s frekvencí 100, 200 a 20 MHz. také je důležité nastavit *Reset type* na *Active Low*. Příklad nastavení bloku **Clocking wizard** je na obr. 12 - 7.



Obr. 12 - 7 Xilinx Vivado – nastavení bloku *Clocking wizard*.

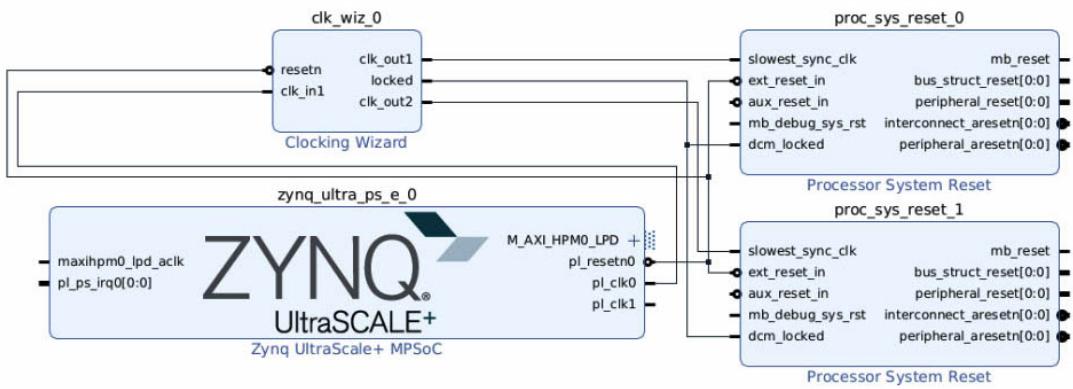
Po nastavení požadovaných taktovacích signálů je možné opět pomocí aktivního odkazu automatizace spustit automatické propojení bloků. Po úspěšném provedení předchozích konfiguračních kroků a automatizace je získáno schéma blokového designu na obr. 12 - 8.



Obr. 12 - 8 Xilinx Vivado – blokový design s PS a blokem *Clocking wizard* po provedení automatizace.

K bloku **Clocking Wizard** je nyní vhodné připojit bloky **Processor System Reset** dle obr. 12 - 9.

Vstup pro přerušení **pl\_ps\_irq** může obsahovat maximálně 16 interrupt signálů. Pro design v této aplikaci to je dostačující případ, ovšem pokud je vyžadováno, aby aplikace využívala více signálů přerušení, je třeba využít blok **AXI Interrupt Controller**. Doporučené nastavení tohoto IP je na obr.

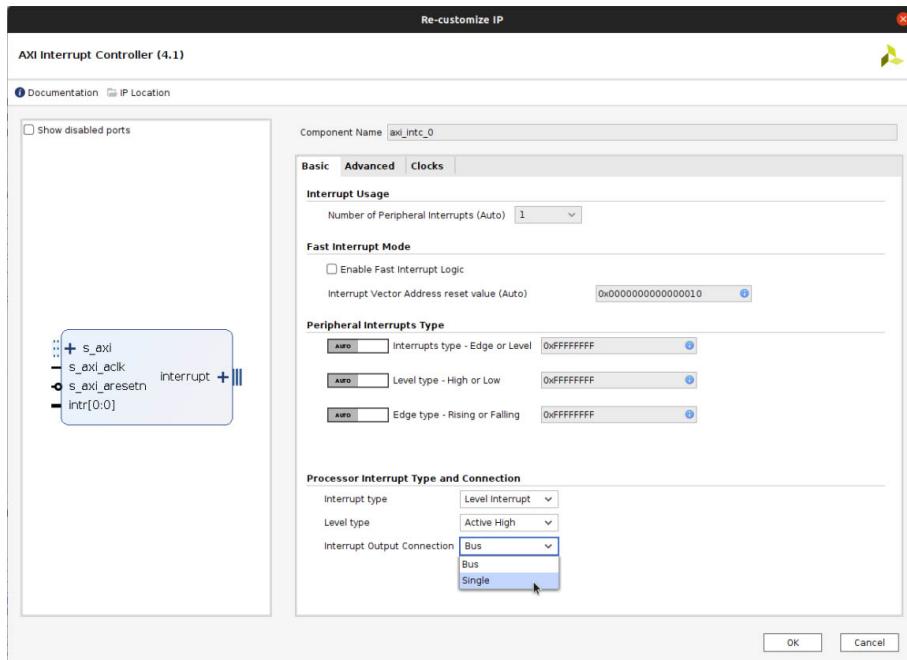


Obr. 12 - 9 Xilinx Vivado – propojení bloků Clocking wizard a Processor System Reset.

12 - 10. Aby bylo možné připojit signál k `pl_ps_irq` je nutné přepnout nastavení *Processor Interrupt Type and Connection* -> *Interrupt Output Connection* na `Single` z výchozího Bus.

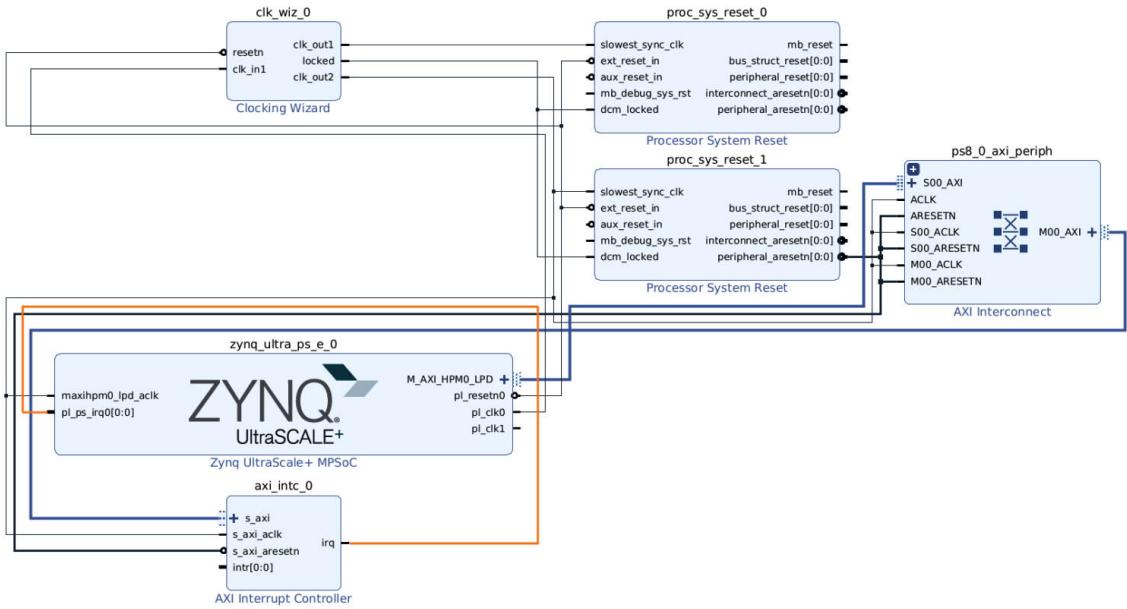
V případě nevyužití bloku AXI Interrupt Controller, nebo při snaze přivést signály přerušení přímo do `pl_ps_irq` vstupu PS systému je pro připojení více signálů doporučeno použít IP blok Concat. V pokročilejší části této práci je tento blok také využit, aby byla demonstrována možnost jeho využití a projevení tohoto připojení v PetaLinux systému.

Po dokončení konfigurace AXI Interrupt Controller je opět možné aktivovat automatizaci propojení a v konfiguračním okně vybrat požadovanou frekvenci clock signálů. V této práci je využito 200 MHz. Výsledný design po automatizaci je zobrazen na obr. 12 - 11.



Obr. 12 - 10 Xilinx Vivado – nastavení bloku AXI Interrupt Controller.

Pokud by vyvýjená aplikace nevyužívala další PL IP bloky, je možné přistoupit ke konfiguraci platforemy, PS a periferií připojených k PS. Pro vyvýjenou ukázkovou aplikaci je vytvořený HW blokový design naznačen v sekci *HW Block design vyvýjené aplikace*.



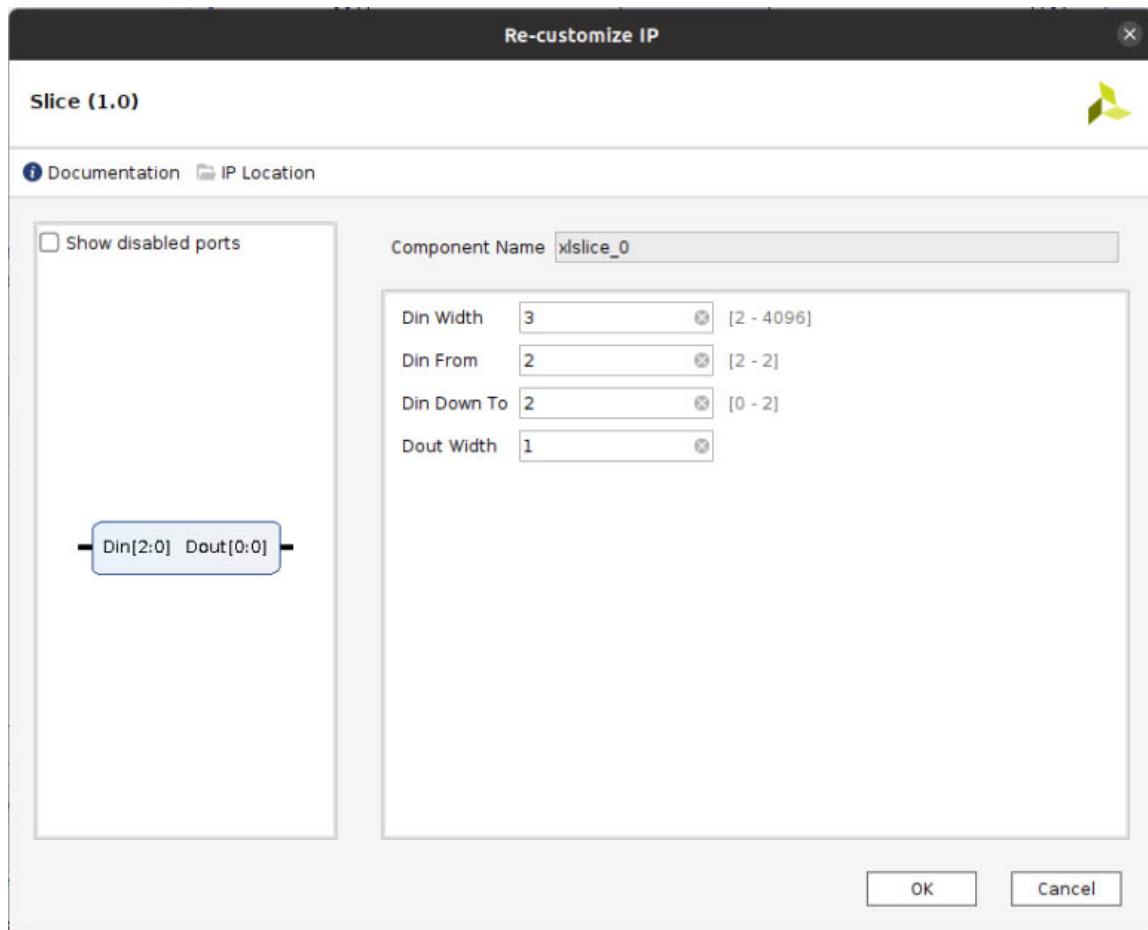
Obr. 12 - 11 Xilinx Vivado – block design po automatizaci a propojení bloku AXI Interrupt Controller.

Ovšem při využití vývojové desky Xilinx Kria KR260 je vhodné aktivovat řízení chladícího ventilátoru pomocí PWM. Pro tuto možnost musí být aktivovaný výstup *Waveout* u TTC 0, jak je tomu naznačeno na obr. 12 - 22. Po aktivaci *Waveout* na I/O *EMI0* se objeví na bloku **Zynq UltraScale+ MPSoC** výstup s názvem *emio\_ttc0\_wave\_o[2:0]*. Označení **[2:0]** znamená, že signál je tříbitový, pro řízení ventilátoru pomocí PWM je ovšem využitelný pouze jeden bit. Pro odstranění dvou horních bitů je využito IP bloku **Slice**.

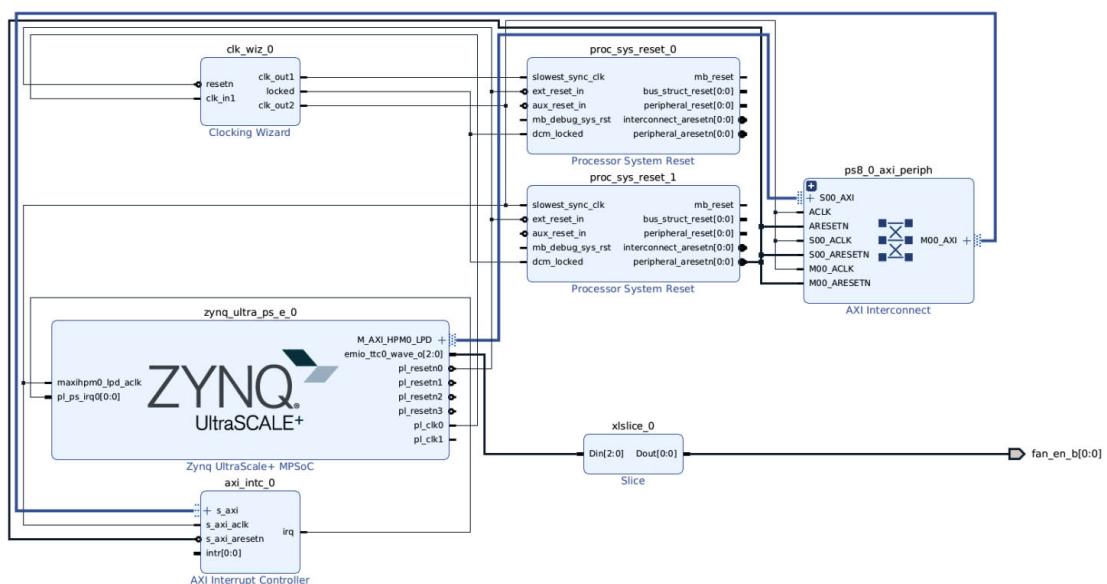
Konfigurace bloku **Slice** je zobrazena na obr. 12 - 12. *Din Width* určuje šířku vstupujícího signálu. V řešeném případě se jedná o trojbitový signál. *Din From* určuje označení bitu, od kterého bude odstraněno *Din Down To* bitů pro výstup z bloku **Slice**. Položka *Dout Width* je automaticky doplněna dle nastavení předchozích položek.

Následně je nutné nastavit výstupní pin, na který bude signál PWM pro řízení ventilátoru odesílan. Pro vytvoření pinu existuje mnoho způsobů, v tomto případě je ovšem nejjednodušší pravým tlačítkem myší kliknout na výstup bloku **Slice Dout [0:0]** a zvolit *Make External*. Tento pin je poté vhodné pojmenovat **fan\_en\_b**. Minimální funkční design s výstupním pinem pro ventilátor je zobrazen na obr. 12 - 13.

Na kartě *Platform Setup* je pro funkční design vhodné aktivovat a pojmenovat základní AXI porty dle tabulky 12 - 1.



Obr. 12 - 12 Xilinx Vivado – nastavení bloku Slice pro odstranění dvou horních bitů signálu.



Obr. 12 - 13 Xilinx Vivado – minimální funkční design s výstupním pinem pro řízení ventilátoru.

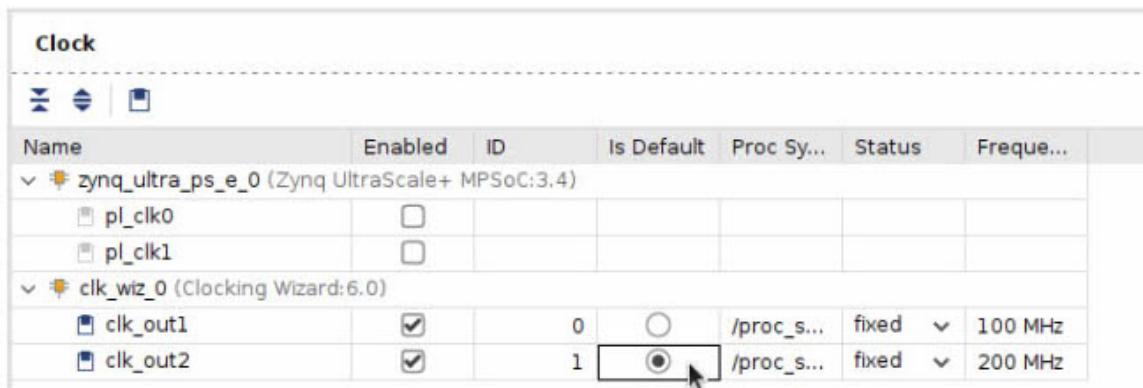
Tab. 12 - 1 Ukázka nastavených AXI portů v Xilinx Vivado platformě pro Xilinx Kria KR260.

Name	Enabled	Mexport	SP Tag
M_AXI_HPM0_FPD	X	M_AXI_GP	-
M_AXI_HPM1_FPD	X	M_AXI_GP	-
S_AXI_HPC0_FPD	X	S_AXI_HPC	HPC0
S_AXI_HPC1_FPD	X	S_AXI_HPC	HPC1
S_AXI_HP0_FPD	X	S_AXI_HP	HP0
S_AXI_HP1_FPD	X	S_AXI_HP	HP1
S_AXI_HP2_FPD	X	S_AXI_HP	HP2
S_AXI_HP3_FPD	X	S_AXI_HP	HP3

Dalším krokem je povolení a nastavení výchozích clock signálů v záložce *Clock*. V této práci byl zvolen výchozí clock signál 200 MHz. Snímek záložky zachycující nastavení pro dva clock signály je na obr. 12 - 14.

Posledním důležitým krokem je povolení signálu `intr` z použitého bloku Axi Interrupt Controller v kartě *Platform Setup -> Interrupt*.

Volitelným, ovšem vhodným krokem je pojmenovat platformu a udat jejího autora a verzi v kartě *Platform Setup -> Interrupt*.



Obr. 12 - 14 Xilinx Vivado – záložka nastavení clock signálů na platformě.

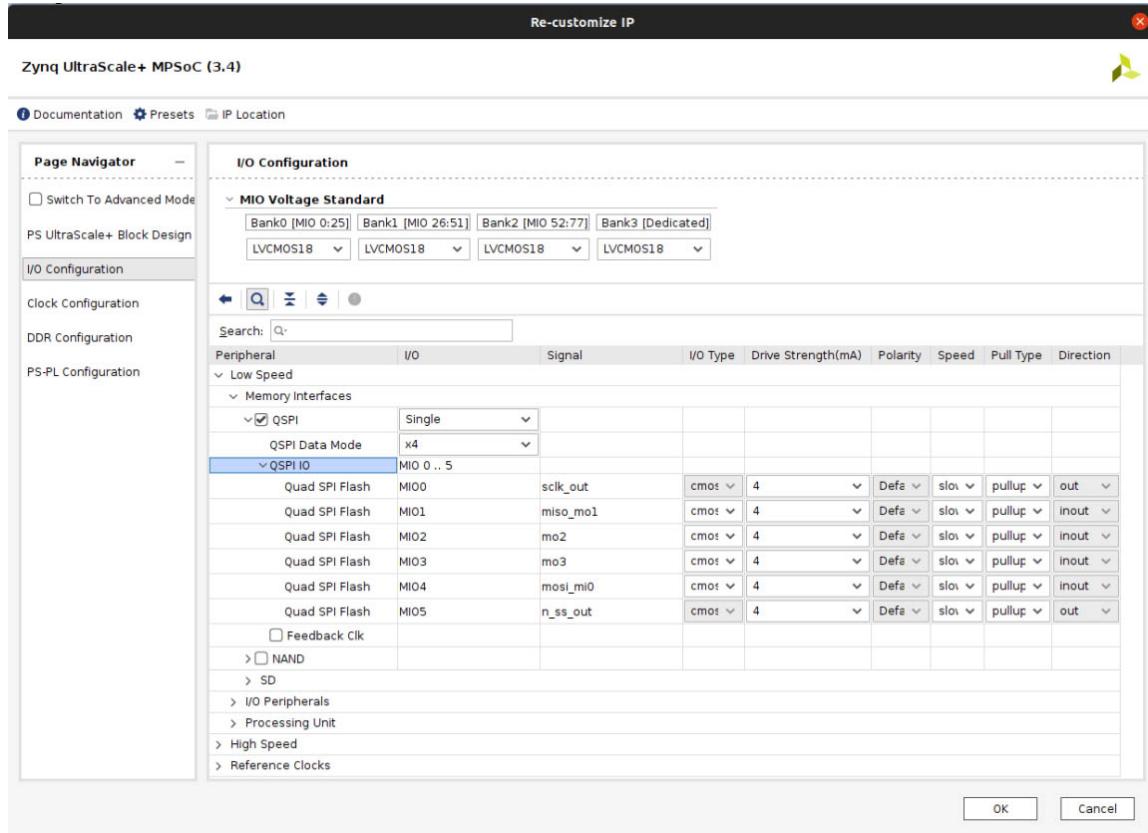
Autorka článku [46] zmiňuje, že pokud je zapnuta možnost *Incremental Synthesis*, můžou vznikat při postupu tvorby akcelerované aplikace problémy. Proto doporučuje pomocí nabídky *Settings -> Synthesis -> Incremental Synthesis* zvolit možnost *Disable incremental synthesis*.

### 12.2.1 Konfigurace PS pro využití implementovaných periferií

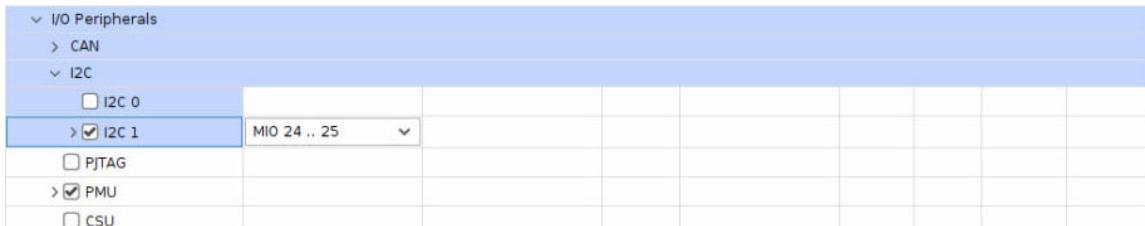
Aby bylo možné využívat periferie, jako je DisplayPort, Ethernet nebo USB konektory, je nutné nakonfigurovat PS. Konfigurační nabídka je otevřena po otevření IP bloku *Zynq UltraScale+ MPSoC* a vybrání *I/O Configuration*.

Pro názornost je využito snímků obrazovky jednotlivých významných konfigurací. Některé z konfigurací jsou již nastaveny jako výchozí, některé je třeba konfigurovat.

Na obr. 12 - 15 je zobrazeno kompletní konfigurační okno ve kterém jsou jednotlivá připojení pro PS nastavovány. Další snímky jsou však z důvodu úspory plochy zaměřeny pouze na konkrétní nastavení.



Obr. 12 - 15 Xilinx Vivado – PS I/O Configuration QSPI zařízení.



Obr. 12 - 16 Xilinx Vivado – PS I/O Configuration I2C zařízení.

Peripheral	I/O	Signal	I/O Type	Drive Strength(mA)	Polarity	Speed	Pull Type	Direction
PMU								
GPI EMIO								
GPO EMIO								
GPI 0	MIO 26							
PMU GPI 0	MIO26	gpi[0]	cmos	12	Defa	fast	pullup	in
GPI 1								
GPI 2								
GPI 3								
GPI 4								
GPI 5	MIO 31							
PMU GPI 5	MIO31	gpi[5]	cmos	12	Defa	fast	pullup	in
GPO 0								
GPO 1	MIO 33							
PMU GPO 1	MIO33	gpo[1]	cmos	4	Defa	slow	pullup	out
GPO 2	MIO 34							
GPO 3								
Initial State	GPO1[3]							
GPO 4								

Obr. 12 - 17 Xilinx Vivado – PS I/O Configuration PMU (GPIO 4 a GPIO 5 není vybráno).

SPI								
> <input type="checkbox"/> SPI 0								
> <input checked="" type="checkbox"/> SPI 1	MIO 6 .. 11	v						
<input checked="" type="checkbox"/> SS[0]	MIO 9	v						
<input type="checkbox"/> SS[1]								
<input type="checkbox"/> SS[2]								
SPI 1	MIO6	sclk_out	cmos v	4	v	Defa v	slo v	pullup v
SPI 1	MIO9	n_ss_out[0]	cmos v	4	v	Defa v	slo v	pullup v
SPI 1	MIO10	miso	cmos v	4	v	Defa v	slo v	pullup v
SPI 1	MIO11	mosi	cmos v	4	v	Defa v	slo v	pullup v

Obr. 12 - 18 Xilinx Vivado – PS I/O Configuration SPI zařízení.

UART 1								
<input checked="" type="checkbox"/>	MIO 36 .. 37	v						
<input type="checkbox"/> MODEM								
UART 1	MIO36	txd	cmos v	4	v	Defa v	slo v	pullup v
UART 1	MIO37	rxd	cmos v	12	v	Defa v	fast v	pullup v
								out v
								in v

Obr. 12 - 19 Xilinx Vivado – PS I/O Configuration UART zařízení.

GPIO								
<input type="checkbox"/> GPIO EMIO								
> <input checked="" type="checkbox"/> GPIO0 MIO	MIO 0 .. 25	v						
> <input checked="" type="checkbox"/> GPIO1 MIO	MIO 26 .. 51	v						
<input type="checkbox"/> GPIO2 MIO								

Obr. 12 - 20 Xilinx Vivado – PS I/O Configuration GPIO zařízení.

Processing Unit								
<input type="checkbox"/> SWDT								
> <input checked="" type="checkbox"/> SWDT 0								
<input type="checkbox"/> Clock in								
<input type="checkbox"/> Reset out								
> <input checked="" type="checkbox"/> SWDT 1								
<input type="checkbox"/> Clock in								
<input type="checkbox"/> Reset out								

Obr. 12 - 21 Xilinx Vivado – PS I/O Configuration System Watchdog Timers (SWDT).

TTC								
> <input checked="" type="checkbox"/> TTC 0								
<input type="checkbox"/> Clock								
<input checked="" type="checkbox"/> Waveout	EMIO	v						
> <input checked="" type="checkbox"/> TTC 1								
> <input checked="" type="checkbox"/> TTC 2								
> <input checked="" type="checkbox"/> TTC 3								
<input type="checkbox"/> Clock								
<input type="checkbox"/> Waveout								

Obr. 12 - 22 Xilinx Vivado – PS I/O Configuration Triple Timer Counter (TTC), TTC 0 výstup Waveout je využit pro PIN řídící chladící ventilátor na SoM.

USB	
USB 0	MIO 52 .. 63
USB 3.0	GT Lane2
USB 1	MIO 64 .. 75
USB 3.0	GT Lane3
USB Reset	Separate MIO Pin
Reset Polarity	Active Low
USB 0	MIO 76
USB 1	MIO 77

Obr. 12 - 23 Xilinx Vivado – PS I/O Configuration USB.

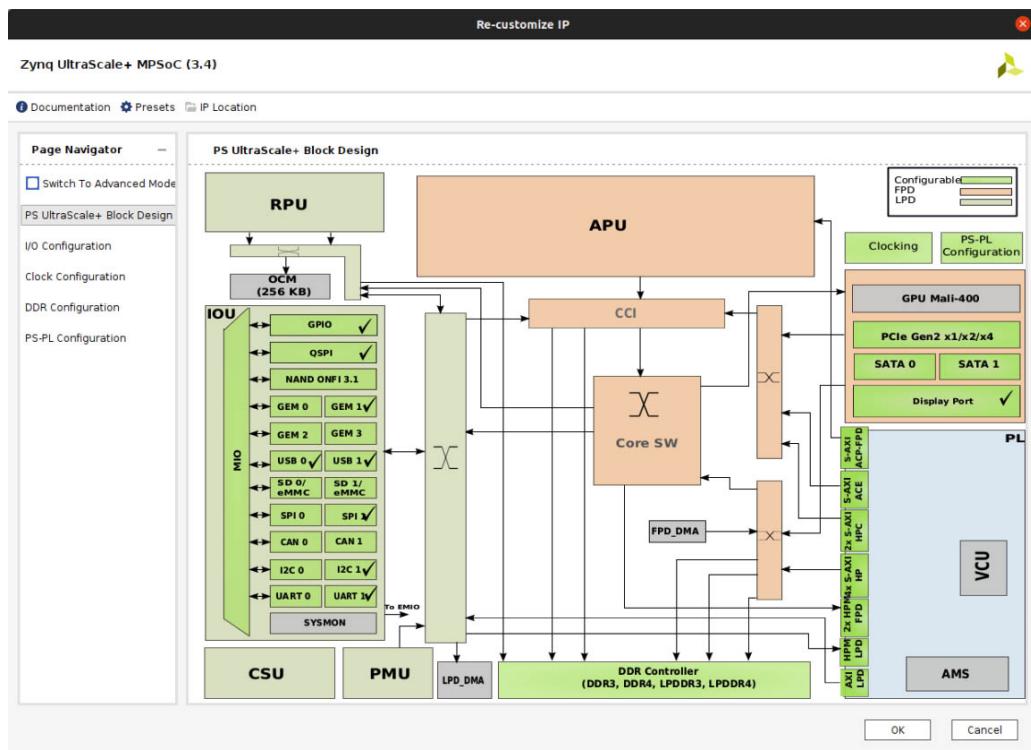
Display Port	
DPAUX	MIO 27 .. 30
Lane Selection	Single Lower
DP Lane0	GT Lane1

Obr. 12 - 24 Xilinx Vivado – PS I/O Configuration DisplayPort.

Po úspěšné konfiguraci I/O je možné přistoupit ke kartě *PS-PL Configuration* a v záložce *General -> Fabric Reset Enable* povolit *Fabric Reset Enable* a zvolit v nabídce *Number of Fabric Resets* číslo 4.

Toto nastavení *Number of Fabric Resets* udává, kolik signálů je možné použít pro reset PL IP bloků. [48], [49]

V předchozích krocích a obrázcích byla představena základní konfigurace PS pro funkčnost periferií, přítomných na vývojové desce Xilinx Kria KR260 s Zynq UltraScale+ MPSoC. Po této základní konfiguraci je možné pozorovat v konfigurační nabídce PS IP v kartě *PS UltraScale+ Block Design* označení pomocí „✓“ symbolu u konfigurovaných prvků. Ukázka systému je zobrazena na obr. 12 - 25.



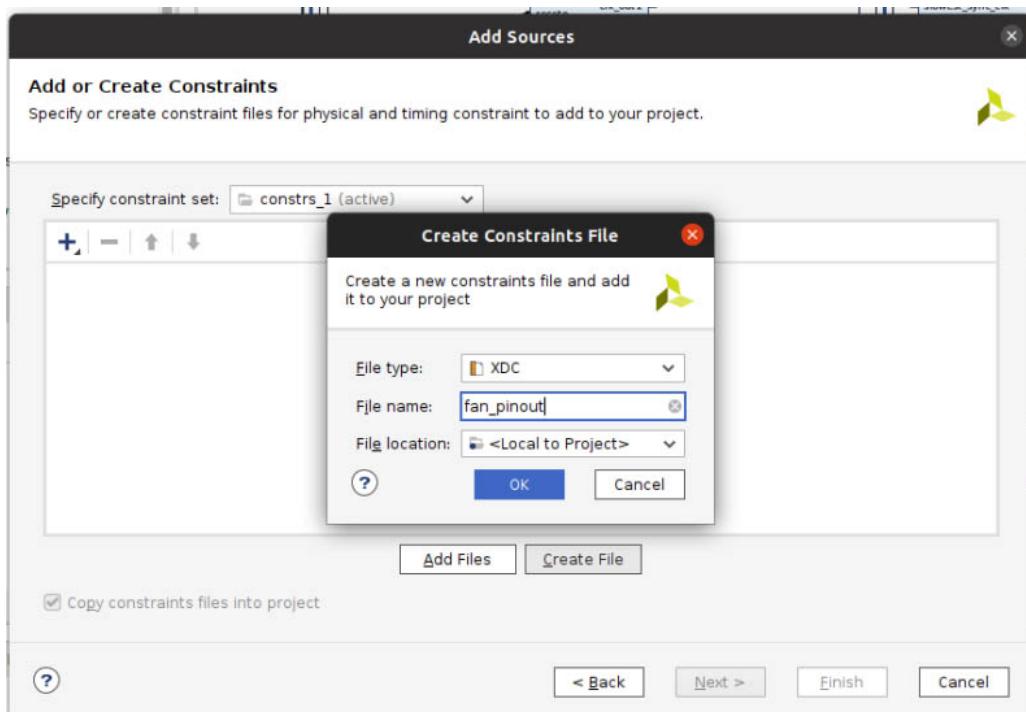
Obr. 12 - 25 Xilinx Vivado – PS UltraScale+ Block Design v PS IP.

## 12.2.2 Design Constraints

Aby bylo možné vytvořené *virtuální* piny ve Vivado propojit se skutečnými fyzickými piny MPSoC, resp. vývojové desky, je třeba vytvořit soubor v prostředí Vivado, který toto fyzické propojení definuje. Tyto soubory se nazývají *Constraints Files*.

Jejich tvorba může probíhat i mimo prostředí Vivado, jsou to textové soubory, jež lze upravit v libovolném textovém editoru. Tato skutečnost lze využít při časté tvorbě designů v nových projektech pro zrychlení konfigurace. Soubory je poté možné jednoduše importovat.

Soubory se vkládají pomocí výběru v levém menu *Project Manager -> Add Sources -> Add or create constraints -> Add Files/Create File*. Nabídka tvorby souboru je vyzobrazena na obr. 12 - 26.



Obr. 12 - 26 Xilinx Vivado – okno tvorby/vložení Constraints File.

Pro spojení vytvořeného virtuálního pinu `fan_en_b` a fyzického pinu, ke kterému je na CC připojen ventilátor je do XDC souboru zapsána konfigurace z kódu 12 - 1.

Kód 12 - 1 byl získán z [45]. Autorem však bylo ověřeno, že se skutečně jedná o fyzický pin A12.

```
1 set_property BITSTREAM.GENERAL.COMPRESS TRUE [current_design]
2
3 # Fan Speed Enable
4 set_property PACKAGE_PIN A12 [get_ports {fan_en_b}]
5 set_property IOSTANDARD LVCMS33 [get_ports {fan_en_b}]
6 set_property SLEW SLOW [get_ports {fan_en_b}]
7 set_property DRIVE 4 [get_ports {fan_en_b}]
```

Kód 12 - 1 Constraints XDC soubor pro přiřazení PL Vivado pinu `fan_en_b` k fyzickému pinu MPSoC na CC.

Vyhledání propojení fyzického pinu a označení pro soubory XDC probíhá totožně také pro konektory *PMOD* a *Raspberry Pi HAT*. Oficiální dokumentace pro postup vyhledání pinů nebyla autorem nalezena,

proto se pokusil nalézt vlastní postup, který ověřil na oficiálním fóru Xilinx [50].

Postup nalezení reálného pinu je následující:

1. Nalézt ve schématu [28] Kria KR260 CC požadované označení fyzického pinu (např. pro ventilátor HDA20).
2. Nalézt ve schématu [28], ke kterému pinu na PL connector (**SOM240\_1\_CONNECTOR**) je nalezený PIN připojen. (v případě ventilátoru **C24**).
3. V XDC [29] souboru pro Xilinx Kria K26 vyhledat daný pin z connector připojení, zkontovalovat, zda je připojen ke správnému connectoru ze schématu a získat požadovanou hodnotu **PACKAGE\_PIN**.

Po provedení všech pořebných nastavení a konfigurací je možné přejít k finální části postupu ve Vivado.

Nejprve je vhodné vytvořený design validovat pomocí symbolu „✓“ v ovládací liště v okně *Platform*. Pokud jsou získány upozornění s označením *Warning*, je možné pokračovat v tvorbě platformy. V bloku *Sources* zvolit pravým tlačítkem vytvořený block design a aktivovat nabídku *Generate Output Products*. Objeví se konfigurační okno, ve kterém je vhodné nastavit v části *Synthesis Options* volbu *Out of context per IP*. V části *Run Settings* je možné zvolit, kolik jader procesoru se bude podílet na zvolené činnosti. Pro osobní počítače autor doporučuje zvolit méně než polovinu dostupných jader CPU. Bylo vyzkoušeno, že pokud jader je zvoleno více, může zatížení systému způsobit samovolné ukončení programu Vivado.

Po provedení akce je možné zvolit opět v nabídce pro block design akci *Create HDL Wrapper*. V nabídce akce je výhodné využít možnosti *Let Vivado manage wrapper and auto update*, kdy Vivado bude aktualizovat HDL wrapper podle změn provedených v designu.

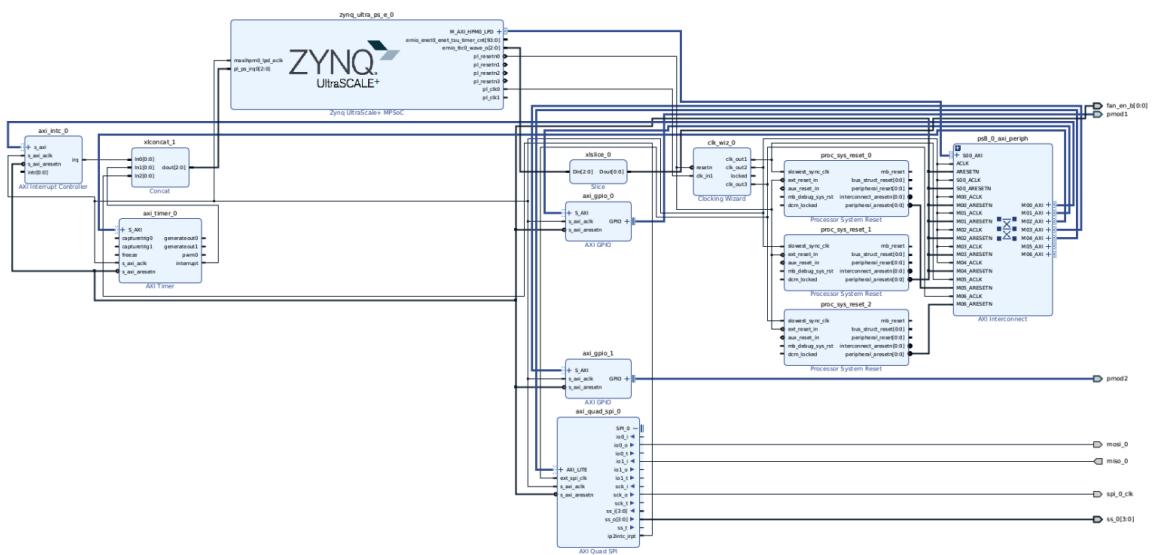
Autorovi se ovšem při změně block designu vyplatilo HDL Wrapper kompletně smazat a opětovaně provést kroky *Generate Output Products* a *Create HDL Wrapper*.

Nyní je již možné přistoupit k syntéze, implementaci a generování bit stream. Jednotlivé kroky je možné pomocí levé nabídky ve Vivado aktivovat samostatně, nebo zvolit pouze generování bit streamu a Vivado automaticky zajistí, že pokud došlo ke změně designu, budou provedeny kroky syntézy a implementace.

Po úspěšném provedení generování bitstreamu je možné platformu exportovat pro její další využití v *PetaLinux Tools* a *Vitis*. Export je možné provést pomocí volby *File -> Export -> Export Platform*. Ve zobrazené nabídce je obecně u vývojových desek vhodné zvolit *Hardware and hardware emulation*, pokud je požadovaná také HW emulace. Dle [45] podpora HW emulace pro K26 prozatím není dostupná. Posledním krokem je vybrání v nastavení *Platform State* volby *Pre-synthesis* a *Include bitstream*. Po nastavení označení platformy je možné provést export.

V této části byl představen postup tvorby základní HW platfromy pro Xilinx KR260 Starter Kit vývojovou desku v prostředí Vivado. Výstupem projektu ve Vivado je soubor *XPR*, který je dále využit při tvorbě akcelerované aplikace v PetaLinux Tools a Vitis. Pro některé případy, kdy není potřeba specifický HW v PL je možné využít předpřipravené *XPR* soubory. Tyto předpřipravené soubory slouží pouze k seznámení s vývojovými deskami a nejsou dostačující pro vývoj specifické akcelerované aplikace.

### 12.2.3 HW block design vyvíjené aplikace



Obr. 12 - 27 Xilinx Vivado – HW block design vyvíjené aplikace.

## 13 Tvorba PetaLinux

Jak již bylo zmíněno v části *Aplikace a operační systém*, aplikace pro Xilinx Kria je možné vytvářen pro *Bare Metal / Standalone*, *PetaLinux* a také distribuci operačního systému *Linux Ubuntu*. V této práci je využito systému *PetaLinux*, který díky své tvorbě pomocí *PetaLinux Tools* je možné konfigurovat tak, aby využíval HW v PL a splňoval požadavky vytvářené aplikace.

Konfigurace pro jednotlivé požadavky vytvářených aplikací se mohou odlišovat, ovšem rámec (flow) tvorby systému zůstává pro danou platformu zachován. V této práci bude představen postup tvorby *PetaLinux* systému pro HW platformu osabující prvky představené v části *HW block design vyvíjené aplikace*.

Postup tvorby *PetaLinux* systému čerpá informace z [44], [51] a z experimentálních zjištění autoru práce.

Prvním krokem je aktivace *PetaLinux* prostředí (environment). Příkaz k aktivaci je závislý na umístění instalovaných *PetaLinux Tools* a je zobrazen v kódu 13 - 1. Představený postup předpokládá práci s definovanou strukturou vyvíjené aplikace/projektu definované v části *Struktura složek* v kódu 11 - 1.

```
1 source /tools/Xilinx/PetaLinux/2022.2/settings.sh
```

*Kód 13 - 1 Aktivace prostředí PetaLinux verze 2022.2.*

Po aktivaci prostředí je možné vytvořit projekt pomocí příkazu 13 - 2. Soubor *xilinx-kr260-starterkit-v2022.2-10141622.bsp* je možné stáhnout z oficiálních stránek Xilinx [35] pro aktuální využívanou verzi vývojových nástrojů.

```
1 # general command
2 petalinux-create --type project -s <path-to-bsp-file> --name <project-name>
3
4 # example command for defined file structure
5 petalinux-create --type project -s ./../xilinx-kr260-starterkit-v2022
   .2-10141622.bsp --name petalinux
```

*Kód 13 - 2 Tvorba PetaLinux projektu ze základního BSP souboru.*

### 13.1 Hardware konfigurace PetaLinux

Nyní je možné přejít do adresáře projektu pomocí `cd <project-name>` a začít konfigurovat *PetaLinux*.

První konfigurace spočívá v implementaci HW platformy do projektu pomocí příkazu 13 - 3. Kdy je předpokládáno, že ve složce *hw* je umístěn soubor exportované platformy z Vivado, získaný v části *Tvorba HW designu pro Xilinx Kria KR260 vývojovou desku*.

```
1 petalinux-config --get-hw-description=./../hw/
```

*Kód 13 - 3 Konfigurace PetaLinux pomocí XPR souboru z Vivado.*

Po načtení *XSA* souboru je v terminálu zobrazena konfigurační nabídka. Nastavení prvků v této nabídce je pro K26 SOM uvedeno v kódu 13 - 4.

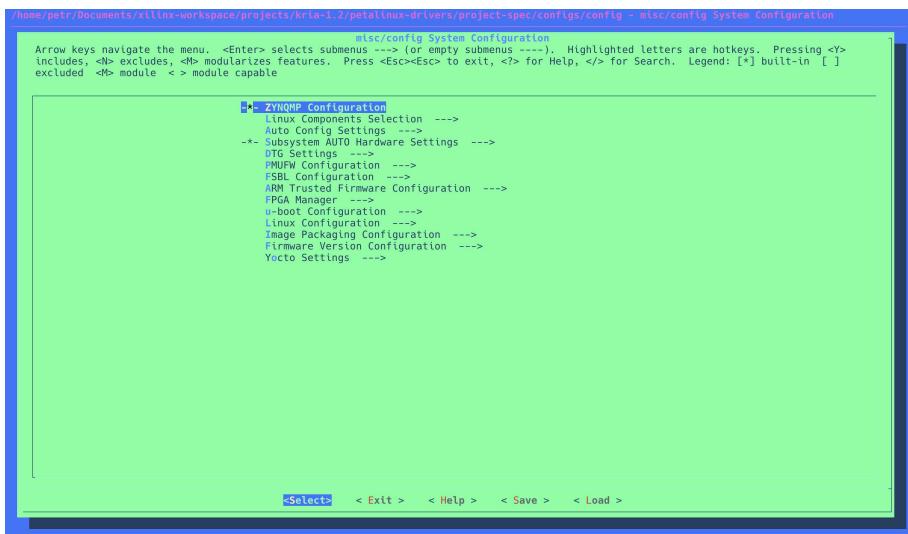
```
1 FPGA Manager -> Fpga Manager <*>
2
3 Image Packaging Configuration -> Root Filesystem Type --> INITRD <*>
4 Image Packaging Configuration -> INITRAMFS/INITRD Image name -> petalinux-
   initramfs-image <*>
```

```
5 Image Packaging Configuration -> Copy final images to tftpboot < >
```

Kód 13 - 4 Nastavení v petalinux-config pro Xilinx K26 SOM.

Pátý řádek popisuje vypnutí možnosti kopírování souborů pomocí `tftpboot`. Tato možnost nebyla v této práci využita a prozkoumána.

Ukázka konfigurační nabídky, která je zobrazena uživateli je na obr. 13 - 1.



Obr. 13 - 1 Xilinx Vivado – snímek obrazovky konfigurace PetaLinux pomocí „`petalinux-config`“ příkazu.

Po prvotní konfiguraci bylo zjištěno, že při požadavku na aplikaci RT patch pro PetaLinux je vhodné provést prvotní build systému a poté pokračovat v následných konfiguracích. Build proces je spuštěn příkazem 13 - 5.

Proces aplikace RT Patch je představen v části *Postup aplikace PREEMPT\_RT patch*.

```
1 petalinux-build
```

Kód 13 - 5 PetaLinux build příkaz pro vytvoření systému.

## 13.2 Konfigurace kernelu PetaLinux

Po aplikaci patche je vhodné pokračovat v nastavování kernelu PetaLinux systému pomocí příkazu 13 - 6 dle požadavků aplikace. Ve vytvářené aplikaci je využíván `Userspace IO Driver` a proto je nutné aktivovat konfiguraci kernelu, která zajistí automatické načtení driveru (ovladače) do systému při jeho startu. Pokud by se tak nestalo, bylo by nutné vkládat moduly, resp. drivery manuálně pomocí příkazů `modprobe` či `insmod`. Při konfiguraci kernelu je možné aktivovat i další prvky, které nejsou v této práci využívány. Aktivovaná konfigurace pro `Userspace IO Driver` je zobrazena v kódu 13 - 7.

```
1 petalinux-config -c kernel
```

Kód 13 - 6 PetaLinux příkaz pro konfiguraci kernelu systému.

```
1 Device drivers -> user space IO drivers <\*>
2 Device drivers -> user space IO drivers -> Userspace platform driver with
   generic irq and dynamic memory <\*>
3 Device drivers -> user space IO drivers -> Userspace platform driver with
   generic IRQ handling <\*>
```

Kód 13 - 7 PetaLinux konfigurace pro User Space IO Drivers.

### 13.2.1 Konfigurace Device Tree

Aby bylo možné využívat zmiňovaný **Userspace IO Driver** v podobě **generic-uio** driver pro řešení přerušení (interrupts) od prvků AXI Quad SPI [52], AXI Timer [53] a dalších, je nezbytné provést konfiguraci **devicetree**. Konfiguraci **devicetree** je možné provádět i u tvorby Linux systému pro jiné vývojové desky s SoC, které neobsahují FPGA, ale využívají systému Linux.

Problematika **devicetree** je značně obsáhlá, tento standard je obhospodařován komunitou systému Linux a jsou vydávány specifikace, které tuto datovou strukturu popisují. Tyto specifikace je možné nalézt na oficiálních stránkách této iniciativy. [54]

Existuje i záznam velmi přínosné prezentace z *Embedded Linux Conference Europe* ohledně problematiky Device Tree od *Thomas Petazzoni* s názvem *Device Tree for Dummies!* [55].

Při tvorbě akcelerované aplikace v této práci byl využit **devicetree** soubor automaticky vytvořený při konfiguraci kernelu a prvotním build procesu *PetaLinux* systému. Ovšem aby bylo možné použít zmiňované bloky, je třeba do souboru **system-user.dtsi**, který slouží k překonfigurování automaticky vytvořeného souboru **system-conf.dtsi**, protože je při **parse** procesu čten jako poslední.

Obsah **system-user.dtsi** souboru je zobrazen v 13 - 8. Soubor je možné nalézt v cestě `<petalinux-project>/project-spec/meta-user/recipes-bsp/device-tree/files/system.user.dtsi`.

```
1 /include/ "system-conf.dtsi"
2 {
3     chosen {
4         bootargs = "earlycon clk_ignore_unused    uio_pdrv_genirq.of_id=
5 generic-uio";
6         stdout-path = "serial0:115200n8";
7         };
8
9     timer@0080020000 {
10         compatible = "axi_timer_0, generic-uio, ui_pdrv";
11         status = "okay";
12     };
13
14     axi_quad_spi@80040000 {
15         compatible = "axi_quad_spi_0, generic-uio, ui_pdrv";
16         status = "okay";
17     };
}
```

Kód 13 - 8 Obsah souboru **system-user.dtsi**, překonfigurovávající soubor **system-conf.dtsi**.

Tento rekonfigurační **devicetree** byl získán reengineeringem souboru **pl.dtsi**. Soubor **pl.dtsi** je získán za pomoci exportovaného *XPR* souboru pomocí **XSCT** (Xilinx Software Command-Line Tool). Postup byl získán ze zdrojů [51] a [44].

V definované struktuře z části *Struktura složek* je vhodné příkazy vyvolávat ze složky **linux-files**. Postup spočívá v spuštění nástroje, otevření HW designu souboru *XSA* a použití příkazu **createdts** s příslušnými parametry. Postup je naznačen v kódu 13 - 9.

```
1 xsct # start the Xilinx Software Command-Line Tool
2
3 hsi::open_hw_design ../hw/kria_bd_wrapper.xsa # open HW design
```

```

4
5 createdts -hw ../hw/kria_bd_wrapper.xsa -zocl -platform-name kria_kr260
   -git-branch xlnx_rel_v2022.2 -overlay -compile -out ./dtg_output #
   create devicetree overlay from defined hardware with the help of Xilinx
   official GitHub repository
6
7 exit # exit the tool

```

*Kód 13 - 9 Postup tvorby pl.dtsi souboru pomocí XSCT, popisující devicetree v runtime.*

Uvedeným způsobem je získán textový soubor `pl.dtsi`, který je možné opět konfigurovat pomocí textového editoru. Soubor má podobnou strukturu jako běžný `devicetree`, ovšem definuje tzv. fragmenty pro `device tree overlay`. Protože byla aktivována v kroku HW konfigurace *PetaLinux* možnost `FPGA Manager` -> `Fpga Manager <*>`, je v jádru systému *PetaLinux* zabudovaná jen základní část `devicetree`. Zbytková část je poté načtena do systému při běhu systému (at runtime) při vyvolání příkazu `xmutil loadapp <name-of-the-app>` a spuštění aplikace, resp. načtení bitstreamu do PL. Příkaz `xmutil` je specifický pro *PetaLinux* a Xilinx nástroje. Pro ostatní *Linux* distribuce a zařízení je nutné využívat obecný způsob načítání `device tree overlay`.

Pro vyvíjenou aplikaci v této práci je nutné u použitého bloku AXI Timer změnit *property value compatible = "generic-uio"*; a pro AXI Quad SPI na téže hodnotu.

Následně je nutné textový soubor `pl.dtsi` převést do binární podoby, vhodné pro systém. Ke kompliaci je používán nástroj `dtc` (Device Tree Compiler), dostupný pro většinu distribucí *Linux*. Příkaz, který popisuje kompliaci souboru `pl.dtsi` (Device Tree Source Include, `dtsi`) na `pl.dtbo` (Device Tree Blob Object, `dtbo`) je zobrazen v kódu 13 - 10.

```

1 dtc -@ -O dtb -o <path-to-output-file> <path-to-input-file> # general
   command
2
3 dtc -@ -O dtb -o ./dtg_output/dtg_output/kria_kr260/psu_cortexa53_0/
   device_tree_domain/bsp/pl.dtbo ./dtg_output/dtg_output/kria_kr260/
   psu_cortexa53_0/device_tree_domain/bsp/pl.dtsi # command for project
   file structure

```

*Kód 13 - 10 Kompilace textového souboru device tree overlay pl.dtsi na binární pl.dtbo*

Pokud byla kompliacie úspěšná (v některých případech dochází k vypsání hlášky ohledně IP bloku interrupt controller, tu je možné ignorovat) je vhodné přesunout soubor `pl.dtbo` do složky `transfer`.

### 13.3 Konfigurace Root File System

Po úspěšné konfiguraci kernelu *PetaLinux* s aktualizovaným souborem `system-user.dtsi` je možné přistoupit ke kroku konfigurace *root filesystem* (`rootfs`). Konfigurační nabídka je vyvolána pomocí příkazu 13 - 11.

```
1 petalinux-config -c rootfs
```

*Kód 13 - 11 Příkaz pro vyvolání konfigurace root filesystem*

Při konfiguraci `rootfs` je možné vybrat, jaké aplikace budou do systému *PetaLinux* v základní instalaci vloženy. Pro funkční akcelerovanou aplikaci je doporučováno zvolit výběr nastavení, uvedený v kódu 13 - 12.

Pokud vývoj aplikace nevyžaduje nejnovější instalacní balíky a jejich aktualizace pomocí připojení k internetu, není třeba instalovat `dnf` (Dandified YUM – new version of Yellowdog Updater, Modifier, Package Manager).

Základní funkce jednotlivých nastavení je následující:

`dnf` – Package Manager,  
`xrt` – Xilinx Runtime Library – knihovna mj. zajišťující komunikaci mezi PS aplikací a akcelerovanými kernely v PL,  
`zocl` – ovladač pro ZynQ OpenCL akcelerátory,  
`opencl-headers` a `opencl-clhpp` – knihovny pro OpenCL (Open Computing Language),  
`packagegroup-petalinux` – skupina balíků pro *PetaLinux*,  
`packagegroup-petalinux-opencv` – skupina balíků pro OpenCV knihovnu, zajišťující real-time optimalizované zpracování obrazu (není nutné pro vyvýjenou aplikaci),  
`packagegroup-petalinux-v4lutils` – skupina balíků, zajišťující práci mediálních zařízení jako jsou webkamery apod. (není nutné pro vyvýjenou aplikaci),  
`packagegroup-petalinux-x11` – skupina balíků, zajišťující X Window System (není nutné pro vyvýjenou aplikaci).

Aktivované nastavení automatického přihlašování není doporučeno používat v zařízení v provozu z bezpečnostních důvodů. Při debuggingu a vyvíjení aplikace ovšem přináší zjednodušení přihlašování. Bezpečnost systému v produkčním prostředí není obsahem této práce.

```
1 Image Features -> auto-login <*> # do not use in a production
2
3 Filesystem Packages -> base -> dnf -> dnf <*>
4
5 Filesystem Packages -> x11 -> libdrm -> libdrm <*>
6
7 Filesystem Packages -> x11 -> libdrm -> libdrm-tests <*>
8
9 Filesystem Packages -> x11 -> libdrm -> libdrm-kms <*>
10
11
12 Filesystem Packages -> libs -> xrt -> xrt <*>
13
14 Filesystem Packages -> libs -> xrt -> xrt-dev <*>
15
16 Filesystem Packages -> libs -> zocl -> zocl <*>
17
18 Filesystem Packages -> libs -> opencl-headers -> opencl-headers <*>
19
20 Filesystem Packages -> libs -> opencl-clhpp -> opencl-clhpp-dev <*>
21
22
23 Petaliunx Package Groups -> packagegroup-petalinux -> <*>
    packagegroup-petalinux
```

```

24
25 Petaliunx Package Groups -> packagegroup-petalinux-opencv ->
   packagegroup-petalinux-opencv <*>
26
27 Petaliunx Package Groups -> packagegroup-petalinux-v4lutils ->
   packagegroup-petalinux-v4lutils <*>
28
29 Petaliunx Package Groups -> packagegroup-petalinux-x11 ->
   packagegroup-petalinux-x11 <*>

```

*Kód 13 - 12 Doporučené nastavení rootfs pro akcelerovanou aplikaci.*

### 13.4 Závěrečný build PetaLinux, generování SDK a tvoření WIC obrazu systému

Po provedení požadované `rootfs` konfigurace je možné přistoupit opět k build procesu pomocí příkazu 13 - 5. Po první části build procesu je možné aktivovat proces generování *SDK* (Software Development Kit), který je nutný k tomu, aby bylo možné akcelerovanou aplikaci ve Vitis vyvíjet a aktivovat její build proces. Generování *SDK* je provedeno pomocí příkazu 13 - 13. Autor vyzdvíhal, že pokud je postup tvorby *PetaLinux* dodržen a jsou nainstalované všechny správné packages v operačním systému, kde dochází k buildu *SDK*, a vznikne v procesu generování chyba ohledně `do_populate_sdk`, zahrnující klíčové slovo `python`, je třeba restart operačního systému a pokusit se o opakování příkazu 13 - 13.

Tento *SDK* je pro jeho využití ve Vitis IDE nutné instalovat. Instalace je doporučena do složky `linux-files`, ustanovenou v části *Struktura složek* pomocí příkazu 13 - 14. Po vygenerování *SDK* je možné přistoupit ke kroku vytvoření a „zabalení“ (package) určitých komponent, pro vytvoření obrazu systému *PetaLinux*. K tomuto jsou využity příkazy 13 - 15 a 13 - 16.

```
1 petalinux-build --sdk
```

*Kód 13 - 13 Příkaz pro aktivování build procesu SDK*

```
1 ./sdk.sh -d ../../linux-files/
```

*Kód 13 - 14 Příkaz pro instalaci SDK*

```
1 petalinux-package --boot --u-boot --force
```

*Kód 13 - 15 Příkaz pro zabalení boot komponent pro tvorbu obrazu systému.*

```
1 petalinux-package --wic --images-dir ./images/linux/ --bootfiles "ramdisk.
   cpio.gz.u-boot,boot.scr,Image,system.dtb,system-zynqmp-sck-kr-g-revB.dtb
   " --disk-name "sda"
```

*Kód 13 - 16 Příkaz pro vytvoření obrazu systému, který bude využit v procesu flash SD Card (vybalování obrazu systému na SD kartu).*

Aby bylo možné využít vygenerované *SDK* pomocí Vitis IDE, je nutné vytvořené boot komponenty projektu překopírovat do jedné složky, aby při tvorbě Vitis Platformy mohly být snadno vložené. Boot komponenty jsou umístěny v cestě `<petalinux-project>/images/linux` a je vhodné je zkopírovat do složky ve vytvořené struktuře dle příkazu 13 - 17.

```
1 cp bl31.elf pmufw.elf system.dtb u-boot.elf zynqmp_fsbl.elf ../../../../../  
linux-files/pfm/boot/
```

Kód 13 - 17 Příkaz pro kopírování boot komponent do složky dané strukturou projektu.

Vygenerovaný obraz systému typu `wic` je možné použít na flash SD karty, která je následně vložena do vývojové desky. K flashnutí je možné na operačním systému macOS nebo Linux využít příkazu `dd`. Pokud uživatel není zkušený, je doporučováno využít program *balenaEtcher*.

V této části byl představen postup generování systému *PetaLinux*, byly doporučeny jednotlivá nastavení a konfigurace, vhodné pro vyvýjenou aplikaci. Na závěr části byl nastíněn postup flash SD karty, kterou je poté možné vložit do vývojové desky a započít boot proces systému.

## 13.5 Spuštění systému PetaLinux na KR260

Po úspěšném procesu flashnutí obrazu systému `wic` na SD kartu, je možné kartu vložit do vývojové desky a připojit desku na napájení. CC KR260 neobsahuje přepínač, který by umožňoval přerušení napájení desky. Proto se deska vypíná pomocí manuálního odstranění napájení. Restart (reboot) desky je proveden softwaerovým způsobem pomocí příkazu `reboot now` nebo opět pomocí odstranění a připojení napájení (power cycle).

Po připojení napájení dochází k automatickému spuštění *bootloaderu* a postupnému načtení a spuštění systému. Pokud je uživatel připojen k desce pomocí USB, resp. UART komunikace (např. pomocí `minicom` s baud rate 115200), budou v terminálu vypisovány informace jak z bootloaderu opřed spuštěním *PetaLinux*, tak informace z *kernel ring buffer*. Po úspěšném spuštění systému je možné informace z *kernel ring buffer* opět zobrazit pomocí příkazu `dmesg`. Výpis je v některých případech důležitý při debugingu systému a jeho informace je možné využít i při spuštění akcelerované aplikace a načítání `pl.dtbo` a `xclbin` souboru.

## 13.6 Nastavení Ethernet adaptéru po spuštění systému

Bыло vypořádáno, že vlivem tvorby platformy a nastavení *PetaLinux* je `eth0` interface po restartu systému neaktivní, je třeba jej aktivovat pomocí příkazu `ifup eth0`.

Pokud v síti, ke které je připojena vývojová deska není aktivní DHCP server, je nutné upravit soubor v cestě `/etc/network/interfaces` a vložit požadované nastavení adaptéra. Ukázka nastavení pro vývojové pracoviště autora je v kódu 13 - 18. Kompletní popis architektury pracoviště a volby adres jsou popsány v části *Popis pracoviště*.

```
1 auto eth0  
2 iface eth0 inet static  
3   address 192.168.144.165  
4   netmask 255.255.255.0  
5   network 192.168.144.0  
6   gateway 192.168.144.1  
7   broadcast 192.168.144.255
```

Kód 13 - 18 Nastavení `eth0` interface pro KR260 vývojovou desku na vývojovém pracovišti autora.

## 14 Tvorba akcelerované aplikace ve Vitis IDE

V předchozích kapitolách byl představeno, jakým způsobem připravit HW platformu a *PetaLinux* systém pro vývoj akcelerované aplikace. V této části je uveden postup, jakým vytvořit akcelerovanou aplikaci pomocí Vitis, s využitím HLS.

HLS může být použito také v prostředí Vitis hls, ve kterém je možné krom **xo** souborů pro **v++ linker** vytvářet RTL IP PL bloky do prostředí Vivado. Této možnosti nebylo v práci využito a bude předmětem dalších navazujících prací.

Pro vytvoření **c++** aplikace pro PC a kernelu pro PL, jež je pomocí HLS z **c++** zkompilován do objektu **xo** je využit je v této práci využito prostředí Vitis IDE. Autorem práce je doporučováno využít IDE v maximální míře, ovšem při tvorbě aplikace a prozkoumávání možností využití platformy narazil na problémy s odevzou od GUI Vitis IDE, proto přešel částečně na headless řešení pomocí příkazové řádky. Headless řešení umožňuje rychlejší flow při vytváření aplikace, které je možné automatizovat pomocí **bash** skriptů. Příkazová řádka v této práci byla převážně využívána ke kompliaci souborů pro PS, kernel k a procesu linkování jednotlivých artefaktů pomocí **v++ linker**.

Aby bylo možné Vitis IDE spustit v operačním systému Linux, je nutné opět aktivovat prostředí pomocí příkazu 14 - 1. Poté je možné spustit Vitis IDE pomocí příkazu **vitis**. Po spuštění je třeba zvolit *Workspace*, které je doporučeno volit do složky **vitis** definované ve *Struktura složek*.

### 14.1 Tvorba platformy pro akcelerovanou aplikaci

Před tvorbou samotné akcelerované aplikace je nejprve nutné vytvořit tzv. *Platform project*, jež využije vytvořený soubor *XSA* z Vivado a soubor *Image* z cesty <*petalinux-project*>/linux/image/*Image*. V nabídce výběru systému při tvorbě platformy je nutné vybrat *linux* a zrušit možnost *Generate boot components*. Konfigurace je zobrazená na obr. 14 - 1.

Po vytvoření platformy je nutné vložit cesty potřebných souborů platformy. Přidání cest probíhá v souboru <*platform-name*>/*platform.spr* v záložce *linux* on *cortexa53*. Vysvětlení, jaké cesty souborů je třeba vložit v konfiguraci je uvedeno v tabulce 14 - 1.

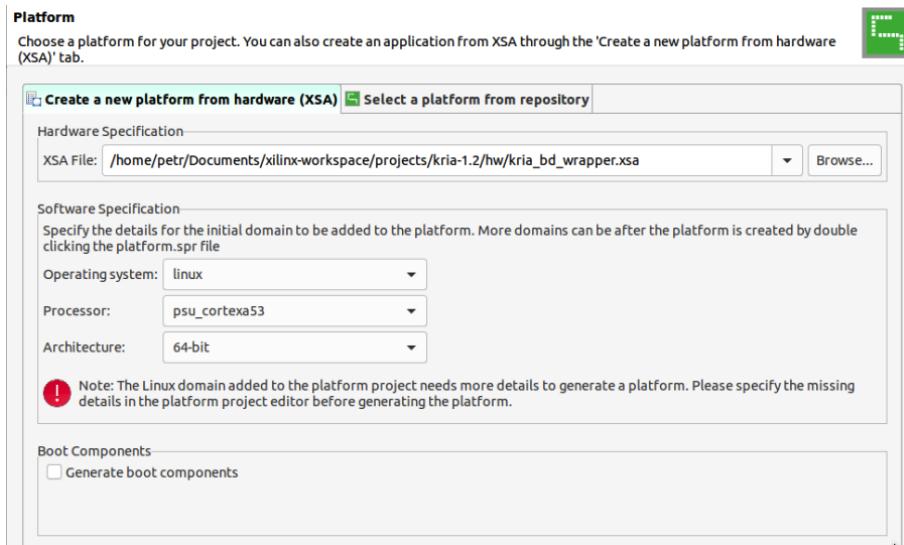
```
source /tools/Xilinx/Vitis/2022.2/settings64.sh
```

Kód 14 - 1 Aktivace prostředí pro Vitis verze 2022.2.

Tab. 14 - 1 Nastavení cest souborů pro platformu ve Vitis IDE souboru *platform.spr*.

Jméno	Cesta	Pozmánka
OS	linux	generované automaticky
Processor	psu_cortexa53	generované automaticky
Supported Runtimes	OpenCL	generované automaticky
Display Name	linux on psu_cortexa53	generované automaticky
Description	linux_domain	generované automaticky
BiF File	-	generovat pomocí šipky tlačítka
Boot components directory	<project-name>/linux-files/pfm/boot	-
Linux Rootfs	<project-name>/<petalinux-project>/images/linux/rootfs.ext4	generované pomocí <i>SDK</i>
Bootmode	SD	generované automaticky
FAT32 Partition Directory	<project-name>/linux-files/pfm/sd_card	složka zůstane prázdná
Sysroot Directory	<project-name>/linux-files/sysroots/cortexa72-cortexa53-xilinx-linux/	generované pomocí <i>SDK</i>
QEMU Data	-	generované automaticky
QEMU Arguments	-	generované automaticky
PMU QEMU Arguments	-	generované automaticky

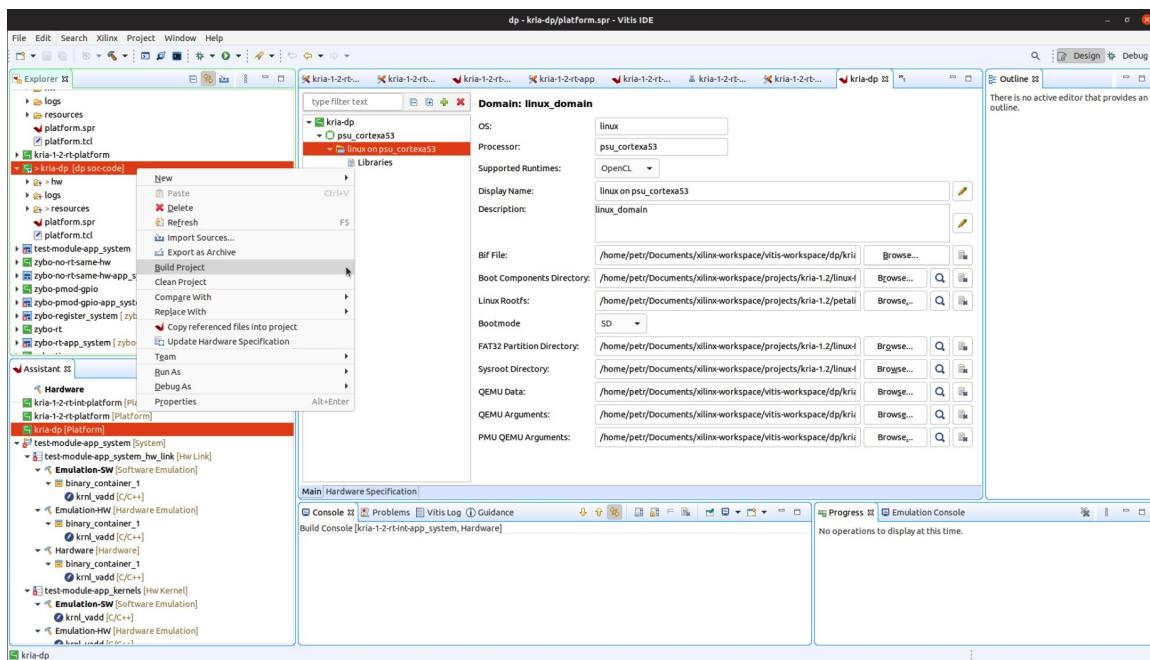
Jak již bylo řešeno, většinu souborů ve Vitis je možné otevřít pomocí textového editoru. Soubor *platform.spr* není výjimkou. Pokud dochází k tvorbě mnohočetných projektů se stejným nastavením platformy, je možné vytvořit skripty, které automaticky vytvoří konfigurovaný *platform.spr* soubor



Obr. 14 - 1 Xilinx Vitis IDE – tvorba platformy pro akcelerovanou aplikaci.

s danou strukturou a nastavením.

Po základní konfiguraci platformy je možné spustit komplikaci platformy pomocí pravého kliknutí na název platformy v okně *Explorer* a zvolení možnosti *Build Project*. Ukázka tohoto kroku je na obr. 14 - 2.



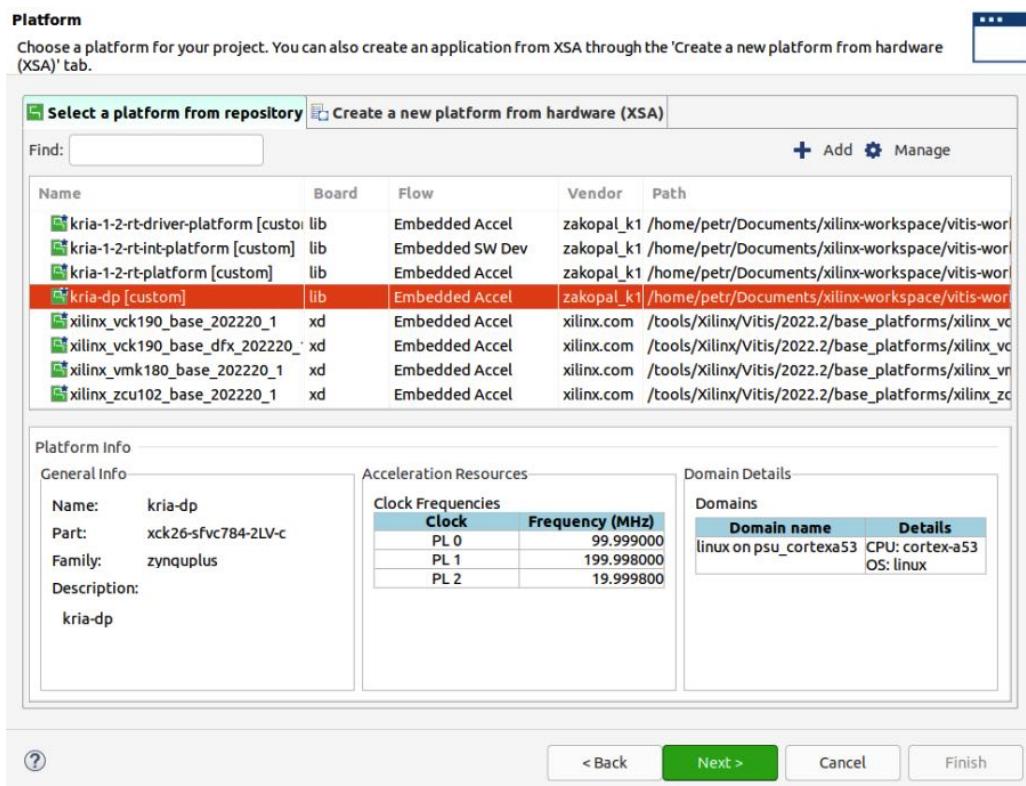
Obr. 14 - 2 Xilinx Vitis IDE – build proces platfromy.

## 14.2 Tvorba application projektu

Po dokončení build procesu platformy je již možné přejít k tvorbě *Application Project*. *Application Project* je možné vytvářen pouze na předem vytvořenou platformu, která prošla úspěšným build procesem. Ukázka výběru platformy s povolenou HW akcelerací, na kterou může být vytvářen *Application Project* je na obr. 14 - 3.

Při inicializaci projektu v kroku *Domain* je nutné zvolit v části *Application settings* cestu k položce

*Kernel Image*, ta je pro vyvýjenou aplikaci umístěna v cestě <project-name>/<petalinux-project>/image



Obr. 14 - 3 Xilinx Vitis IDE – výběr platformy pro vytvoření Application Project.

V následujícím kroku je doporučeno vytvořit aplikaci z předpřipravených ukázkových souborů, ze kterých může být aplikace dále rozvinuta dle potřeb. Nejlepším řešením se autorovi jevilo využívat *Simple Vector Addition*. Při využití ukázkových souborů jsou již potřebné soubory projektu předkonfigurovány a je možné vhodně měnit, aby splňovali potřebné parametry.

Po načtení ukázkového projektu je možné spustit build proces přímo z Vitis IDE, nebo pomocí příkazové řádky. Při realizaci této práce bylo využíváno příkazové řádky, protože disponovala rychlejší odezvou na požadovaný build a snadněji se tak aplikace iterovala a vyvíjela.

Aby bylo možné build proces vyvolávat z příkazové řádky, je nutné vytvořit **makefile** soubory, které slouží ke komplikaci dílčích zdrojových souborů a k vyvolání **v++** linkeru, jež spojí vytvořené artefakty pro PL do jednoho binárního souboru **xclbin**. Makefile soubory je možné vytvořit manuálně, nebo pomocí Vitis IDE v okně *Assistant* poklikem levým tlačítkem myši na název potřebného typu procesu build a volby *Create Makefiles*.

Volbu **makefiles** je potřeba provést pro složky:

1. <application-project-name>\_hw\_link [*HW Link*],
2. <application-project-name>\_kernels [*HW Kernel*],
3. <application-project-name> [*Host*],
4. <type-of-build> (mimo podsložku, umístěno v hlavní složce <application-project-name> [*System*]).

V některých případech nejsou **makefile** soubory vytvořeny, nebo aktualizovány dle posledních změn

v projektu. Proto je nutné v téže okně *Assistant* pravým tlačítkem kliknout na jednotlivé složky a zvolit *Refresh Project Models* a v okně *Explorer* zvolit aplikaci a v nabídce po využití pravvého tlačítka myši zvolit *Refresh* a akci generování **makefile** souborů opakovat.

Struktura **makefile** souborů je obecná a firma Xilinx dodává na svých stránkách dokumentaci k jejich tvorbě. V některých případech, kdy nedocházelo k jejich automatické aktualizaci, byl autor nucen tyto soubory manuálně upravit. Zejména přidat nové soubory pro generování a linkování objektů pro kernel.

Doporučený postup build procesu pro *Hardware* build je následující:

1. build host aplikace pomocí **makefile** v cestě <vitis-workspace>/<application-name>/Hardware/makefile (nejrychlejší proces),
2. build kernelu pomocí **makefile** v cestě <vitis-workspace>/<application-name>\_kernels/Hardware (středně pomalý proces),
3. link objektů **xo** z kroku č. 2 do objektu **xclbin** pro PL pomocí **makefile** souboru v cestě <vitis-workspace>/<application-name>\_system\_hw\_link/Hardware/makefile (nejpomalejší proces, obsahuje syntézu, implementaci, generování bitstreamu), tento proces u vytvářené aplikace v této práci trval i 1–2 hodiny.

Dle dostupných informací Xilinx Kria K26 SoM momentálně nepodporuje emulaci. Proto byl představen postup pro *Hardware* build, který je možné aktivovat při otevření konfiguračního souboru v okně *Explorer* v cestě <application-name>\_system/<application-name>\_kernels/<application-name>\_kernels.prj a výběru **Hardware** v nastavení pro *Active build configuration*.

Je nutné upozornit, že tento soubor je opět upravitelný v textovém editoru a této skutečnosti bylo při realizaci aplikace velmi využíváno. Soubor obsahuje nastavení jednotlivých akcelerovaných funkcí, výběr optimalizace build procesu a nastavení šířky portu pro přenos dat mezi PS a PL akcelerovanou funkcí. V případě, že jsou přidávány do projektu další akcelerované funkce, je nutné mj. pro jejich zkompilování je umístit i do tohoto souboru pomocí GUI nabídky. Ovvšem v některých případech nedochází ke správné indexaci souborů ze strany Vitis IDE a je nutné upravit soubor v textovém editoru.

## 15 Deployment aplikace na platformu

Po úspěšném dokončení build a linking procesu aplikace ve Vitis, je možné přistoupit k procesu *deployment* (nasazení) aplikace do systému vývojové desky.

Z předchozího kroku *Konfigurace Device Tree* byl získán soubor `pl.dtbo`, který byl přemístěn do složky `transfer`, definované v *Struktura složek*. Do téže složky je vhodné překopírovat soubory:

- `<application-name>/Hardware/<application-name>` (host program),
- `<application-name>_system_hw_link/Hardware/<binary-container>.xclbin` (PL bitstream),

které byly získány z build procesu pomocí Vitis.

Aby bylo možné využívat příkazy `xmutil`, které využívají DFX-MGR (daemon) [56] pro konfiguraci PL, loading a unloading bitstreamů aplikací, spravování data modelu daných bitstreamů apod. je třeba pro akcelerovanou aplikaci vytvořit metadata soubor `shell.json`. Tento soubor je využíván právě DFX-MGR. Podpora dalších formátů `shell_type`, než jen `XRT_FLAT` je ve vývoji. [51]

Soubor `shell.json` je opět vhodné vytvořit na vývojářském PC a přemístit do složky `transfer`.

```
1 {
2   "shell_type": "XRT_FLAT",
3   "num_slots": "1"
4 }
```

Kód 15 - 1 Metadata shell.json soubor pro xmutil.

Před přesunem souborů aplikace do vývojové desky obsahuje složka `transfer` soubory:

- `pl.dtbo` (Device Tree Blob Object),
- `shell.json` (metadata soubor),
- `<application-name>` (aplikace pro PS),
- `<binary-container.xclbin>` (bitstream pro PL).

Bylo zjištěno, že nejrychlejším a nejfektivnějším způsobem přenosu dat a souborů mezi systémem na kterém je aplikace vyvíjena (či je třeba data z aplikace zpracovávat) a systémem vývojové desky (*PetaLinux*) je použití `scp` (secure copy) přes interface `eth0`.

Příkaz přenosu potřebných souborů pro běh akcelerované aplikace ze složky `transfer` do složky `/home/petalinux` na K26 je v kódu 15 - 2.

Dle dostupné dokumentace operačních systémů Linux a macOS bylo zjištěno, že pokud systém vývojového PC využívá OpenSSH verze 9.0 a vyšší, je výchozím protokolem pro přenos souborů pomocí `scp` SFTP protokol. Bez dodatečného nastavení *PetaLinux* by tudíž nebylo možné pouze pomocí `scp` příkazu přenášet soubory. Proto je nutné využít tzv. *legacy scp protocol*, aktivovaný pomocí `-O` v příkazu `scp` (15 - 2).

```
1 scp -O pl.dtbo shell.json <application-name> <binary-container.xclbin>
      root@<ip-address-of-eth-interface>:/home/petalinux
```

Kód 15 - 2 Příkaz pro přesun souborů pomocí `scp` ze systému, kde byla aplikace vyvíjena do systému *PetaLinux* na K26 SOM.

Pro práci na vývojové desce v systému *PetaLinux* autor doporučuje využívat `ssh` a komunikaci přes USB/UART používat pouze jako prostředí pro výpis informací z *kernel ring bufferu*, které nejsou pomocí

*ssh* bez použití *dmesg* uživateli viditelné.

Aby došlo k funkčnímu přesunutí bitstreamu do PL, je třeba přejmenovat soubor <binary-container.xclbin> na <binary-container.bin> (např. pomocí příkazu *mv*). Pokud by nedošlo k přejmenování, bude vypsána chybová hláška.

Aby bylo možné akcelerovanou spustit, vyžaduje *dfx.mgr* aby bitstream a soubory aplikace byly vloženy do cesty /lib/firmware/<company-name>/<application-name>. Do verze *PetaLinux* 2022.1 je podporována pouze firma *xilinx* jako <company-name>, od verze 2022.1 jsou podporovány volitelné názvy, ovšem musí být vloženy do souboru *daemon.config*, umístěného v /etc/dfx.mgrd/daemon [51] [56]

Příkaz pro tvorbu složky <application-name> a pro kopírování požadovaných souborů je zobrazen v 15 - 3.

```
1 mkdir -p /lib/firmware/xilinx/<application-name>
2
3 cp pl.dtbo <application-name> <binary-container.bin> shell.json /lib/
firmware/xilinx/<application-name>
```

Kód 15 - 3 Příkaz vytvoření potřebné složky aplikace a kopírování potřebných souborů firmwaru.

Následně je možné provést unloading stávající nahrané aplikace a loading aplikace <application-name>. Potřebné příkazy s komentáři jsou zobrazeny v 15 - 4.

```
1 xmutil unloadapp # unloading currently active application
2
3 xmutil listapps # list currently available applications
4
5 xmutil loadapp <application-name> # load user defined application
```

Kód 15 - 4 Příkaz vytvoření potřebné složky aplikace a kopírování potřebných souborů firmwaru.

Po provedení příkazů načtení aplikace je možné na výpisu *dmesg* nebo USB/UART pozorovat, zda došlo ke správnému načtení bitstreamu, zařízení, přiřazení přerušení apod.

Aplikaci a bitstream které jsou aktuálně načtené je možné spustit i mimo *firmware* cestu. Autor doporučuje mít ponechané kopie aplikací v uživatelské složce /home/petalinux/<application-name> a spouštět aplikace např. příkazem uvedeným v 15 - 5.

```
1 ./<application-name> <binary-container.bin>
```

Kód 15 - 5 Příkaz pro spuštění akcelerované aplikace.

V této části byl představen doporučený postup deploymentu aplikace na zařízení Kria K26 SOM. Postup byl doplněn o užitečné příkazy a poznámky, které spuštění aplikace urychlují, usnadňují a nebo přinášejí možnost automatizace pomocí *bash* skriptů.

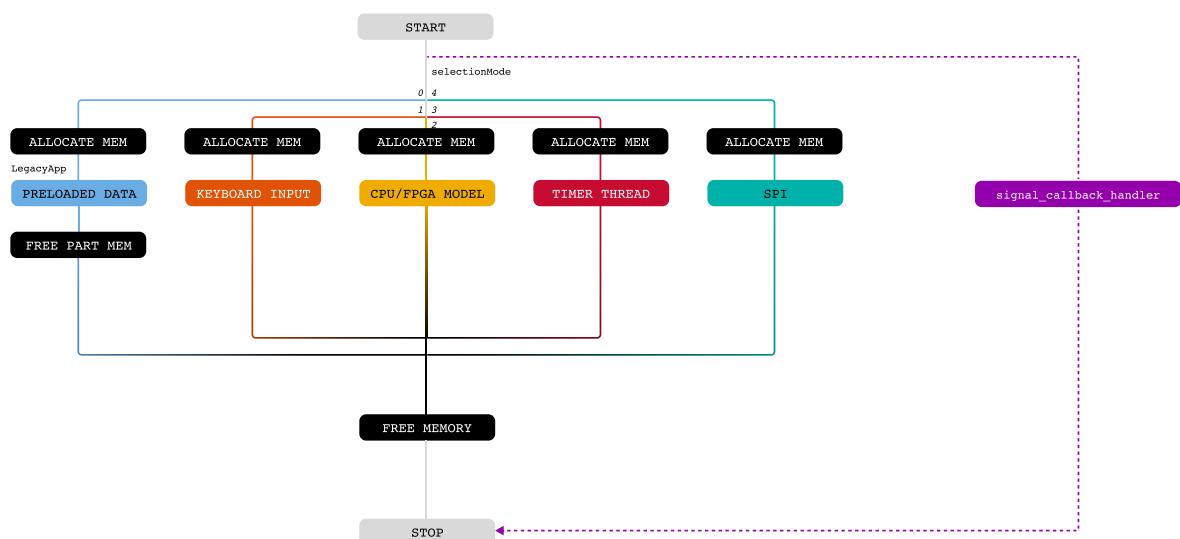
S určitou pravděpodobností existují i jiné způsoby deploymentu aplikací, ale autor je v době realizace této práce zatím nenalezl.

## 16 Vytvořená aplikace

V této části je představena vytvořená aplikace pro PS a akcelerovaná aplikace pro PL. Experimentální výsledky časové náročnosti jednotlivých procesů v daných aplikacích jsou uvedeny v sekci ??.

Aby bylo možné představit jednotlivé funkce, které by byly používány při řízení elektrického potrohu, je ukázková aplikace rozdělena do pěti větví, které je možné vybrat po spuštění aplikace. Je nutné podotknout, že všetek PRELOADED DATA bylo nutné realizovat do zvláštní aplikace, protože současné vkládání všech vytvořených kernelů do bitstreamu by vyžadovalo příliš mnoho resources (FIFO). Aby bylo možné všechny větve aplikaci realizovat s pomocí pouze jednoho bitstreamu, bylo by nutné podrobit algoritmus kernelu další optimalizaci.

Základních pět větví ukázkové aplikace a jejich vztahy k celkovému běhu programu jsou zobrazeny na obr. 16 - 1.



Obr. 16 - 1 Základní větvení ukázkové aplikace.

Po spuštění hlavního procesu je pomocí **selectionMode** proměnné volit, jaká podaplikace bude spuštěna. Následně je provedena dynamická alokace paměti pro využívané struktury a pole v daných aplikacích. Je nutné zmínit, že PRELOADED DATA aplikace využívá unikátní sadu proměnných, které nejsou využívány v ostatních aplikacích. Z tohoto důvodu obsahuje **legacyApp** samostatnou skladbu instrukcí pro dealokaci paměti daných proměnných. Jednolivé podaplikace jsou představeny v následujících částečných práce pomocí názorných vývojových diagramů.

Po ukončení podaplikací jsou vyvolány příkazy pro dealokaci paměti, které byly alokovány dynamicky v programu PS.

### 16.1 Bezpečnost při uživatelském ukončení aplikace

Z důvodu bezpečnosti je do algoritmu aplikace zakomponována funkce **signal\_callback\_handler**, jež reaguje na signál **SIGINT**. Tento signál je momentálně vysílán v případě přerušení běhu aplikace uživatelem. Handler funkce je registrována na signál na počátku hlavní **main(int argc, char \*argv[ ])** funkce celé aplikace.

V kódu č. 16 - 1 představena deklarace struktury typu **InvertorSwitchType**, která slouží k uložení hodnot stavu virtuálních spínačů invertoru. Po deklaraci následuje deklarace funkce **stopInvertor()**,

která po vyvolání nastaví stavy všech virtuálních spínačů na 0 a zajistí vypsání informační hlášky ohledně tohoto děje pro případ debugingu.

Ve funkci `signal_callback_handler` v neprodukční aplikaci vypisuje hlášku o zachycení SIGINT signálu, zajišťuje spuštění funkce `stopInvertor()` a ukončení programu.

```
1 // main.cpp
2 main(int argc, char *argv[])
3 {
4     // Register signal and signal handler
5     signal(SIGINT, signal_callback_handler);
6 .
7 ..
8 ...
9 }
10
11
12 // main.cpp
13
14 InvertorSwitchType invertorSwitchGlobal;
15
16 void stopInvertor()
17 {
18     invertorSwitchGlobal.sw1 = 0;
19     invertorSwitchGlobal.sw2 = 0;
20     invertorSwitchGlobal.sw3 = 0;
21     invertorSwitchGlobal.sw4 = 0;
22     invertorSwitchGlobal.sw5 = 0;
23     invertorSwitchGlobal.sw6 = 0;
24
25     std::cout << "Set all invertor switches at 0!\n";
26 }
27
28
29 // Define the function to be called when ctrl-c (SIGINT) is sent to process
30 void signal_callback_handler(int signum)
31 {
32     std::cout << "\nCaught signal " << signum << "\n";
33
34     // Stoping invertor of global variables
35     stopInvertor();
36     std::cout << "Terminating program!\n";
37     // Terminate program
38     exit(signum);
39 } // Define the function to be called when ctrl-c (SIGINT) is sent to
39 // process
40 void signal_callback_handler(int signum)
41 {
42     std::cout << "\nCaught signal " << signum << "\n";
```

```

43
44     // stoping invertor of global variables
45     stopInvertor();
46     std::cout << "Terminating program!\n";
47     // Terminate program
48     exit(signum);
49 }
```

*Kód 16 - I signal\_callback\_handler funkce a její registrace na signál SIGINT*

## 16.2 Keyboard Input

Program, který je v podaplikaci *Keyboard Input* akcelerován v PL, se nazývá kernel. (v tomto kontextu není myšleno jádro systému Linux) Tento kernel je realizován v PL a jeho úkolem je provést časově náročné výpočty. V podaplikaci *Keyboard Input*, *CPU/FPGA Model* a *Preloaded Data* byl v PL realizován matematický *I-n* model asynchronního motoru, regulace a Space Vector Modulation (SVM) řízení. Hlavním výstupem kernelu jsou virtuální stav sepnutí spínačů, které by v reálné aplikaci byly napojeny na výstupní fyzické piny PMOD a ovládaly by drivery řízených výkonových polovodičových prvků měniče.

Naznačený algoritmus kompletní aplikace je zobrazen na obr. 16 - 2. Představené aplikace v této práci, jež využívají akcelerované kernely, obsahuje totižné inicializační a deinicializační funkce pro správnou funkci kernelu.

### 16.2.1 Konfigurace PL

Blok PL SETTINGS PREAMBLE obsahuje kód, jehož předloha byla získána z ukázkových souborů akcelerovaných aplikací přímo v aplikaci Vitis. V tomto bloku dochází k inicializaci PL zařízení, definování příkazové fronty (Command Queue), programu pro PL, platformy a k definici kernelů. Funkce a definice typů, jež jsou použity pro jednotlivé proměnné jsou pro akcelerované aplikace definovány v `c12.hpp` knihovně. V preambuli se nachází smyčka, jež vyhledává platformy zařízení Xilinx, pokud dojde k jejímu úspěšnému nalezení, pokouší se algoritmus do ní nahrát bitstream ve formátu `xclbin` nebo `bin`. Po úspěšném nahrání bitstreamu, jsou deklarovány potřebné elementy pro spouštění kernelu. (Context, CommandQueue, Program, Kernel). Veškeré funkce, jež využívají *openCL* knihovny jsou uzavřeny do definovaného makra, které v případě, že vykonávaný příkaz navrátí jinou návratovou hodnotu než `CL_SUCCESS` (0), vypíše informace o dané chybě. Toto makro není podstatné pro funkční aplikaci, ovšem je velmi vhodné pro možný debugging. Definice makra byla také převzata z ukázkových akcelerovaných aplikací.

### 16.2.2 PS Aplikace

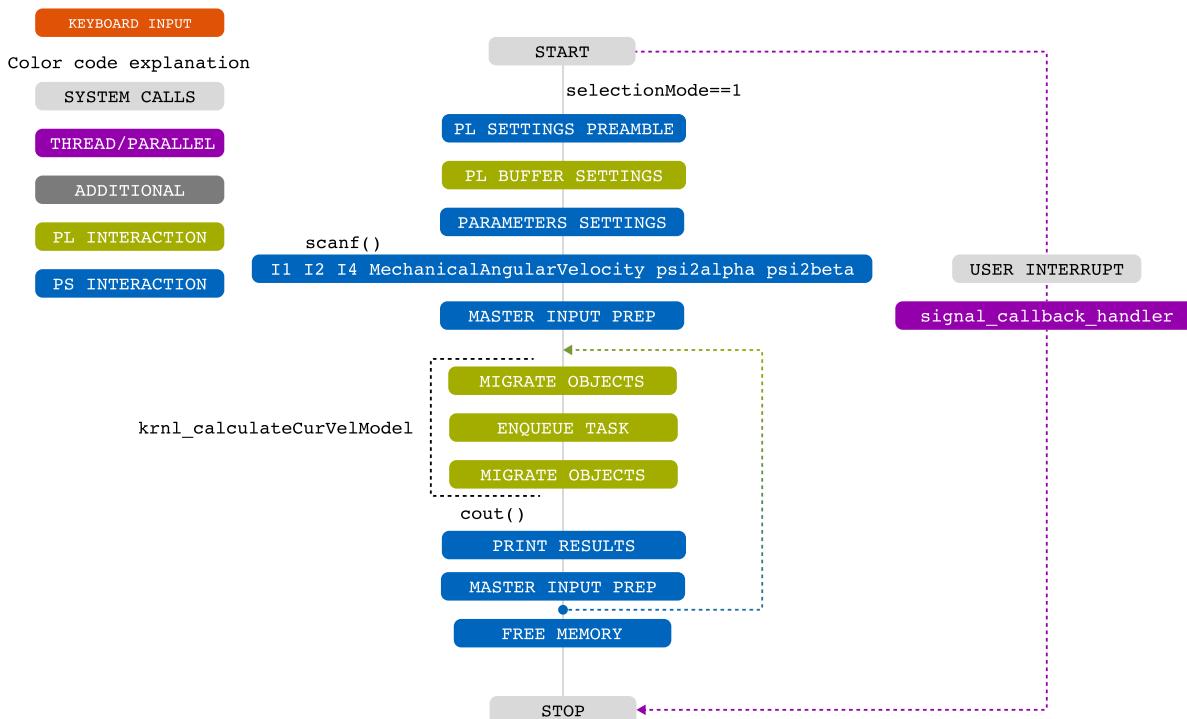
Pokud byla část aplikace pro inicializaci a konfiguraci elementů pro PL a akcelerovaný kernel úspěšná, aplikace přechází do části ve které jsou definovány a deklarovány parametry pro simulaci, pro *I-n* model motoru a pro regulaci. V části PARAMETERS SETTINGS dochází k dynamické alokaci paměti pomocí funkce `posix_memalign()`. U některých parameterů je při jejich definici znán jejich počet proto by bylo možné použít statické alokace paměti. Ovšem pro demonstraci práce s `posix_memalign()` a nutností zarovnání paměti na 4096 bitů, byl zvolen přístup dynamické alokace.

Následně je uživatel tázán o jakou podaplikaci má zájem, po zadání čísla, odpovídající dané podaplikaci KEYBOARD INPUT je uživatel tázán ohledně vstupních hodnot do *I-n*, které jsou pomocí funkce `scanf()` vloženy do odpovídajících proměnných, které budou využity v kernelu.

V algoritmu je dále uveden blok `MASTER INPUT PREP`, který reprezentuje přípravu datového pole typu `float`, které bude využito k přesunu dat do globální paměti, ze které budou hodnoty využívány akcelerovaným kernelem. Je možné využít i více vstupních proměnných, které budou ukládány do globální paměti, ovšem poté je v kernelu nutné vytvořit více interfaces, aby bylo možné data načítat paralelně a urychlit tím dobu vykonávání kernelu. Při zkoumání využitelnosti platformy v této práci byl ovšem vliv rozdelení jednotlivých interfaces na rychlosť vykonávání minimální. Vznikl však rozdíl ve využitých resources. Pokud se v případě platformy Digilent Zybo využilo více interfaces a bylo požadováno paralelní načítání dat kernelem, v některých případech to mělo za následek nemožnost umístění designu na PL, protože bylo překročeno maximálního počtu využitých resources.

### 16.2.3 Interakce s kernelem

Po přípravě proměnné `masterInput` je do CommandQueue pro dané zařízení vložen požadavek na přesun proměnných v podobě vytvořeného bufferu do globální paměti, přístupné pro PL. Po ukončení přenosu bufferů do paměti, je možné do CommandQueue zařadit spuštění požadovaného kernelu `krnl_calculateCurVelModel`. Pokud dojde k úspěšnému vykonání kernelu, je možné přesunout výsledné hodnoty uložené v bufferu z globální paměti pomocí příkazu `enqueueMigrateMemObjects` do paměti PS. Část ohraničená přerušovanou křívkou v obr. 16 - 2 reprezentující komunikaci s kernelem je zobrazena v kódu 16 - 2. Postup interakce s tímto kernelem je totožný i v podaplikacích *CPU/FPGA Model* a *Preloaded Data*. Interakce s kernelem `krnl_calculateInvMot` v podaplikaci *CPU/FPGA Model*, která využívá akcelerovaný model asynchronního motoru, je odlišná ve struktuře přenášeného bufferu do a z globální paměti.



Obr. 16 - 2 Keyboard Input větev aplikace – manuální nastavování vstupních hodnot do I-n modelu.

```

1 OCL_CHECK(err, err = q.enqueueMigrateMemObjects({buffer_masterInput}, 0 /*
2   0 means from host*/));
3 OCL_CHECK(err, q.finish());
4
5 OCL_CHECK(err, err = q.enqueueTask(krnl_calculateCurVelModel));
6 OCL_CHECK(err, q.finish());
7
8 OCL_CHECK(err, q.enqueueMigrateMemObjects({buffer_masterOutput},
9   CL_MIGRATE_MEM_OBJECT_HOST));
10 OCL_CHECK(err, q.finish());

```

Kód 16 - 2 Interakce s kernelem krnl\_calculateCurVelModel.

Po získání dat z globální paměti je vybraná sada hodnot proměnných vypsána uživateli v konzoli. Nyní by bylo možné program ukončit, ale pro demonstraci funkce aplikovaného RT, je znovu deklarovaný vstupní vektor proměnných a opět je spuštěn kernel. Pokud jsou výsledky získané z akcelerovaného kernelu totožné z předchozí iterací, došlo ke správné aplikaci a RT patch je užitečný.

Na počátku vývoje a debuggování aplikace, kdy nebyl RT patch využit vznikal problém nekonzistentnosti výsledků mezi iteracemi. Více o problematice RT patche je uvedeno v části *RealTime Linux Patch*.

Program je zakončen uvolněním využité paměti, dynamicky alokované v předchozích krocích. Na závěr dojde k odmapování bufferů, které byly využity pro interakci s kernelem, od přidružených ukazatelů.

V obr. 16 - 3 je možné pozorovat snímek konzole/terminálu, který zachycuje postup přihlášení pomocí ssh k vývojové desce s K26, unload stávající aplikace, loading uživatelské aplikace rt a její následné spuštění. Dále je zobrazen výběr podaplikace a výpis vybraných hodnot proměnných po první iteraci kernelu.



```

ssh root@192.168.144.165
root@192.168.144.165's password:
root@xilinx-kr260-starterkit-20222:~# xmutil unloadapp
remove from slot 0 returns: 0 (Ok)
root@xilinx-kr260-starterkit-20222:~# xmutil loadapp rt
rt: loaded to slot 0
root@xilinx-kr260-starterkit-20222:~# cd /home/petalinux/rt/
root@xilinx-kr260-starterkit-20222:/home/petalinux/rt# ./kria-1-2-rt-dp-application binary_container_1.bin
INFO: Reading binary_container_1.bin
Loading: 'binary_container_1.bin'
Trying to program device[0]: edge
Device[0]: program successful!
Select mode:
0 - preloaded data (disabled)
1 - keyboard input data (partialy enabled)
2 - CPU/FPGA model
3 - timer thread test + SPI
4 - SPI send data
1
You have selected: 1
Keyboard input data mode
-----
Insert data divided by {space symbol}
I1 I2 I3 MechanicalAngularVelocity psi2alpha[0] psi2beta[0]
25 -12 12 25 0.56 0.67
-----
You have entered:
I1 = 25.000000
I2 = -12.000000
I3 = 12.000000
MechanicalAngularVelocity = 25.000000
psi2alpha[0] = 0.560000
psi2beta = 0.670000
-----
0 round
*****
sw1: 1
sw2: 0
sw3: 0
sw4: 0
sw5: 1
sw6: 1
triangleWaveSettings.calculationTime: 1e-06
fluxRegulator.iSum: 0
velocityRegulator.iSum: 0
idRegulator.saturationOutput: 6.12227e-41
idRegulator.iSum: 0
iqRegulator.iSum: -21697.7
psi2alpha: 0.559969
psi2beta: 0.670023
psi2amplitude: 0.87321
idRegulator.measuredValue: 0.0608902
idRegulator.wantedValue: 16.4223
transformationAngle: 0.874636

```

Obr. 16 - 3 Snímek obrazovky konzole, zobrazující postup spuštění pod aplikace Keyboard Input a výpis první iterace výsledků z kernelu.

## 16.3 CPU/FPGA Model

Nejrozsáhlejší částí hlavního programu je podaplikace s názvem CPU/FPGA Model, která využívá dvou kernelů, které komunikují přes PS. Při prozkoumávání možností využití platformy autor narazil na možnost, že by kernely streamovali data přímo mezi sebou, bez nutnosti použití PS. Tento způsob přenosu dat nebyl v této práci využit, ale je plánováno jeho prozkoumání. Tyto kernely by bylo také vhodné realizovat stylem *free running*, kdy by data byla z PS streamovaná přímo do jednotlivých kernelů v okamžiku, když by byla v PS k dispozici. To by nejspíše umožnilo rychlejší reakci kernelu, která by přinesla zkrácení doby potřebné na přesun dat z PS do PL a naopak. Právě doba, potřebná na přesun hodnot představuje v algoritmu největší časovou položku, kterou je třeba minimalizovat. Experimentálně zjištěné časy a waterfall graf je uveden v sekci 18.2

Algoritmus, využívaný v této práci, je uveden na obr. 16 - 4.

K inicializaci PL je využita totožná preambule jako v *Keyboard Input* podaplikaci. Stejným způsobem dochází i k nastavení potřebných bufferů a parametrů modelů a simulace.

Protože dochází k modelování i regulace, je v případě této podaplikace důležité nastavit žádané hodnoty regulovaných veličin. V této ukázkové aplikaci jsou žádané hodnoty mechanické otáčivé rychlosti  $\Omega$  a velikosti magnetického toku rotoru  $\psi_2$  nastaveny přímo v kódu aplikace. V případě realizace skutečné regulace by bylo vhodné disponovat možností měnit tyto hodnoty v průběhu běhu programu pomocí konzole, nebo např. pomocí externího zařízení, komunikující s platformou pomocí SPI nebo jiného druhu komunikace.

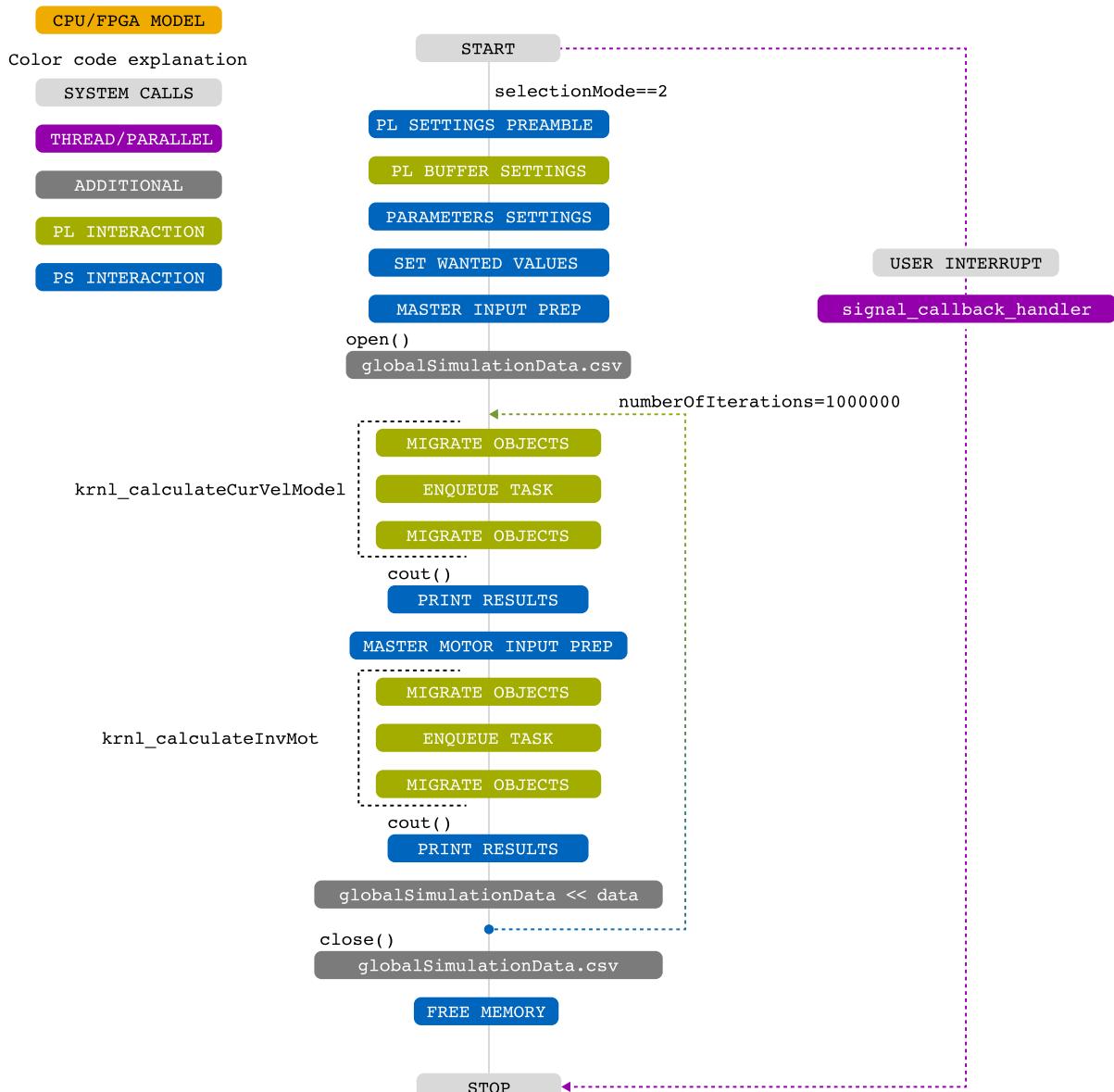
Před započnutím smyčky, která zajišťuje hlavní iteraci programu, je v programu zařazeno vytvoření souboru `globalSimulationData.csv`, který slouží k uchování hodnot vybraných sledovaných veličin. Soubor je dále využíván při tvorbě výsledných grafů simulace pomocí Python skriptu. Výsledný graf simulace a popis využití skriptu je uveden v čásit Zobrazení výsledků simulace.

V programu následuje opět blok označený `krnl_calculateCurVelModel`, jež rezprezentuje interakci s kernelem. Po migraci hodnot veličin z globální paměti do paměti PS, je možné získané výsledky vypsat do konzole. Po provedení kernelu, jež obsahuje *I-n* model, bloky regulace a algoritmus SVM jsou získané stavy virtuálních spínačů vloženy do vstupního vektoru pro kernel `krnl_calculateInvMot`. Tento kernel obsahuje modely invertoru a asynchronního motoru, popsaného v části *Model stroje*. Po úspěšném provedení kernelu a získání vypočtených hodnot z globální paměti jsou hodnoty některých významných veličin pro čtyři první iteraci algoritmu vypsány v konzoli. Veličiny, u kterých je vhodné sledovat jejich závislost na čase v grafu jsou vloženy do souboru `globalSimulationData.csv` pro další zpracování. Následuje uzavření aktivního souboru a dealokace paměti použitých proměnných a bufferů.

### 16.3.1 Zobrazení výsledků simulace

Aby bylo možné vizuálně pozorovat výsledky simulace, bylo nutné data ze souboru `globalSimulationData.csv` vizualizovat způsobem, jež umožňuje rychlé zpracování velikého množství dat a v nejlepším případě je Open Source.

První přístup spočíval ke kontrole výsledků v programu Wolfram Mathematica. Ovšem při kroku simulace  $1\mu s$  a simulovaném čase 1 s se jednalo o výpis jednoho milion hodnot. Vykreslení takového množství hodnot, které byly přímkově spojeny, bylo příliš náročné pro zařízení autora a trvalo příliš dlouho dobu. A protože Wolfram Mathematica není Open Source, bylo od tohoto způsobu upuštěno. Další možností bylo využití programu MATLAB, ovšem opět není Open Source a autor dbal na co nej-



Obr. 16 - 4 CPU/FPGA Model větev aplikace – matematický I-n model, regulační, ASM model v FPGA.

větší otevřenosti projektu. Proto bylo nakonec využito jazyku Python, jež není zatížen problémem *Vendor lock-in* a vykreslení požadovaného grafu se stejnou kvalitou jako v MATLAB™u nebo ve Wolfram Mathematica trvalo velmi krátkou dobu. Kód č. 16 - 3 vyprodukuje graf č. 16 - 5. Zobrazené výsledky odpovídají žádaným hodnotám, regulovaných veličin. V simulaci byly nastaveny požadované hodnoty:

- velikost magnetického toku rotoru  $\psi_2 = 0.9032 \text{ Wb}$ ,
- velikost mechanické otáčivé rychlosti  $\Omega = 10 \text{ s}^{-1}$  v čase  $t = 0.6 \text{ s}$ .

```

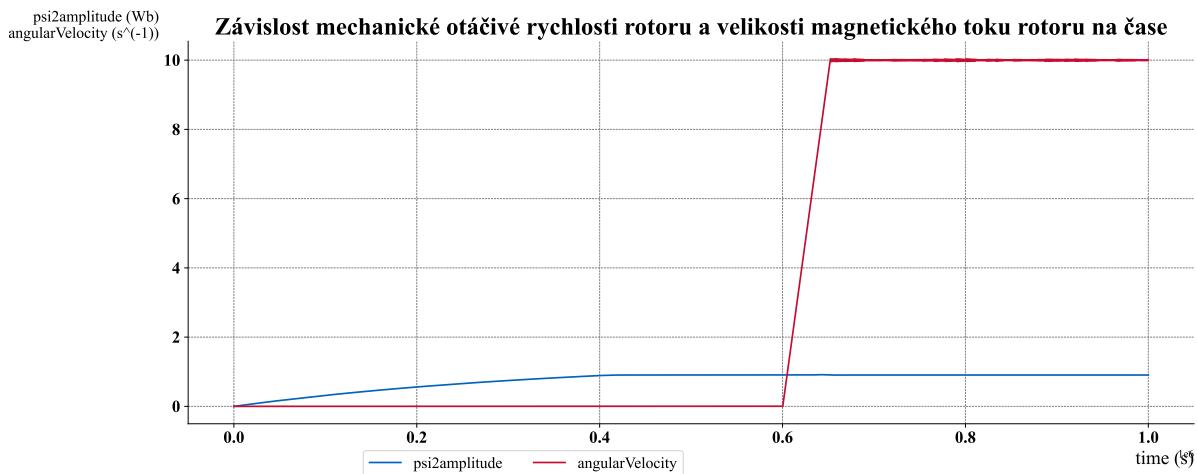
1 # importing dependencies
2 # GRAPH USED IN A~CONJUNCTION WITH testCalculationLoop file program
3 import pandas as pd
4 from matplotlib import pyplot as plt
5
6 # setting global font for plots
7 plt.rcParams["font.family"] = "Times New Roman"
8
9
10 # defining custom CTU FEE colors
11 ctuBlue="#0065BD"
12 ctuLightBlue = "#6AADE4"
13 ctuRed = "#C60C30"
14 ctuGreen = "#A2AD00"
15 ctuGreenyBlue = "#00B2A9"
16 ctuOrange = "#E05206"
17 ctuYellow = "#F0AB00"
18
19
20 # setting figure size, the value is in inches, but help from one tutorial
21     gives info, that because of dpi it translates to pixels like inches *
22     100 = pixels
23 plt.rcParams["figure.figsize"] = [15, 6]
24
25
26 # some kind of autolayout
27 plt.rcParams["figure.autolayout"] = True
28
29
30 # defining which columns are in imported CSV
31 columns = ["globalSimulationTime", "psi2amplitude",
32             "motorMechanicalAngularVelocity", "idRegulatorMeasuredValue", " "
33             "idRegulatorWantedValue", "velocityRegulatorWantedValue", " "
34             "velocityRegulatorSaturationOutput", "velocityRegulatorClampingStatus", " "
35             "fluxRegulatorISum"]
36 df = pd.read_csv("./globalSimulationData.csv", names=columns, header=None,
37                  skiprows=0, nrows=10000000)
38
39
40 # print out part of the csv files as a text to terminal
41 print("Contents in csv file:", df)
42
43 figure_first = plt.figure("psi2amplitude")
44
```

```

35 plt.title("Závislost mechanické čotáivé rychlosti rotoru a velikosti
36 magnetického toku rotoru na čase", fontsize=22, fontweight=700)
37
38 # ax = axis, but subplot is here mainly for deleting some axis on top and
39 # right
40 ax = plt.subplot(111)
41 ax.spines[['right', 'top']].set_visible(False)
42 # formating ticks, there can be used fontweight="bold"
43 plt.yticks(fontsize=15, fontweight=700)
44 plt.xticks(fontsize=15, weight=700)
45
46
47 # adding grid
48 plt.grid(color = 'gray', linestyle = '--', linewidth = 0.5)
49
50 plt.plot(df.globalSimulationTime, df.psi2amplitude, color=ctuBlue, label="psi2amplitude")
51 plt.plot(df.globalSimulationTime, df.motorMechanicalAngularVelocity, color=ctuRed, label="angularVelocity")
52 plt.xlabel("time (s)", fontsize=17, fontweight=400, loc = "right")
53 plt.ylabel("psi2amplitude (Wb)\nangularVelocity (s^(-1))", fontsize=14 , fontweight=400, loc = "top", rotation=0)
54 plt.legend( bbox_to_anchor=(0.5, -0.05), ncol=2, fontsize=14 )
55 plt.show()

```

Kód 16 - 3 Ukázka python skriptu pro vykreslení časové závislosti mechanické otáčivé rychlosti rotoru  $\Omega$  a velikosti magnetického toku rotoru  $\psi_2$ .



Obr. 16 - 5 Časová závislost velikosti mechanické otáčivé rychlosti  $\Omega$  a velikosti magnetického toku rotoru  $\psi_2$ . Výsledné hodnoty získané ze simulace akcelerované pomocí kernelu v PL.

## 16.4 Preloaded Data

Podaplikace preloaded data je z důvodů, popsaných v *Vytvořená aplikace*, realizována v odděleném Application projektu v programu Vitis.

Aplikace byla součástí prvních experimentů s využitím kernelů a proto obsahuje starší (legacy) strukturu algoritmu, všetně legacy kódu v kernelu, který využívá více vstupních a výstupních vektorů a tudíž

i interfaces (z důvodu testování optimalizace).

Zjednodušený vývojový diagram aplikace je na obr. 16 - 6. Stejně jako ostatní představené akcelerované aplikace je na počátku hlavního programu blok zajišťující inicializaci prvků pro kernel. Hlavním rozdílem od předchozích aplikací je definice a deklarace pouze jednoho kernelu `krnl_CurVelLoadLegacy`. Ukázka deklarace je v kódu 16 - 4.

```
1 OCL_CHECK(err, krnl_CurVelLoadLegacy = cl::Kernel(
2     program, "krnl_CurVelLoadLegacy", &err));
```

Kód 16 - 4 Deklarace kernelu `krnl_CurVelLoadLegacy` v podaplikaci Preloaded Data. Aplikace využívá legacy kódů.

Po potřebných deklaracích a definicích pro správnou funkci kernelu je dynamicky naalokována paměť pro určité konstantní parametry simulace, jako je krok simulace, časové rozmezí simulace, počet kroků. Protože je v podaplikaci simulován zjednodušený  $I-n$  model, kdy není uvažována změna parametrů stroje během simulace (např. rezistivita rotorového vinutí), jsou v bloku `PARAMETERS SETTINGS` definovány také parametry stroje vstupující do myšleného modelu.

Do této aplikace vstupují předpočítané nebo změřené hodnoty následujících veličin:

- proud  $I_1$ , jež reprezentuje velikost proudu statoru  $i_{1a}(t)$  procházející první fází do řízeného motoru,
- proud  $I_2$ , jež reprezentuje velikost proudu statoru  $i_{1b}(t)$  procházející druhou fází do řízeného motoru,
- proud  $I_3$ , jež reprezentuje velikost proudu statoru  $i_{1c}(t)$  procházející třetí fází do řízeného motoru,
- mechanická otáčivá rychlosť rotoru mototu  $\Omega$ .

Uvedené hodnoty jsou načítány ze souboru `outputData.csv`, který je strukturován dle formátu, uvedeném v 16 - 5. Formát nevyužívá nových řádků pro oddělení sady dat, pouze využívá oddělení pomocí čárky. Tento přístup byl zvolen aby byla zajištěna co nejmenší velikost souboru a aby bylo maximálně zjednodušeno načítání dat pomocí funkce `std::getline`.

```
1 time,i1,i2,i3,MechanicalAngularVelocity,...,...
```

Kód 16 - 5 Struktura souboru `outputData`, ze kterého jsou načítány hodnoty pro akcelerovaný kernel.

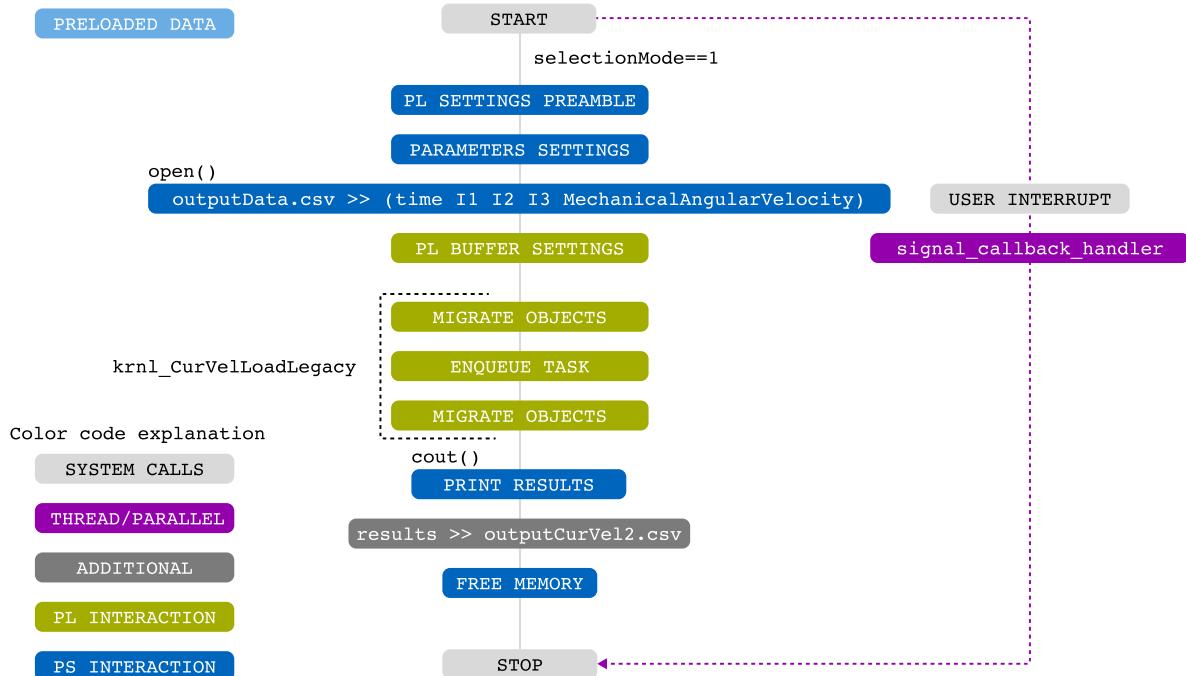
Po načtení hodnot do definovaných proměnných jsou vytvořeny v PS buffery, které jsou mapovány na jednotlivé adresy proměnných a mají rozsah jednotlivých proměnných, ke kterým jsou mapovány. Poté, jako u všech představených aplikací s kernelem, kde není využíván přístup free running kernelu [57], jsou načteny buffery jako jednotlivé vstupní parametry kernelu. Dále ve vyznačené části `krnl_CurVelLoadLegacy` na obr. 16 - 6 je provedena sada příkazů pro přenos hodnot proměnných pomocí bufferů do globální paměti, přístupné z PL, spuštění kernelu a opětovné přenesení výsledných hodnot z globální paměti do PS.

V této legacy aplikaci je při výpisu hodnot vybraných veličin také provedeno ukládání hodnot do csv souboru `outputCurVel2.csv`. Struktura tohoto legacy souboru je v kódu 16 - 6.

Po ukončení podaplikace je opět dealokována paměť proměnných, která byla dynamicky alokována.

```
1 time,psi2Amplitude,transformAngle
2 .
3 ..
4 ...
```

Kód 16 - 6 Struktura souboru `outputCurVel2`, do něhož jsou umisťovány výstupní hodnoty vybraných veličin, vypočtených pomocí akcelerované aplikace.



Obr. 16 - 6 Preloaded Data větev aplikace – automatické čtení změřených/simulovaných vstupních hodnot do I-n modelu a jejich následné hromadné zpracování v kernelu.

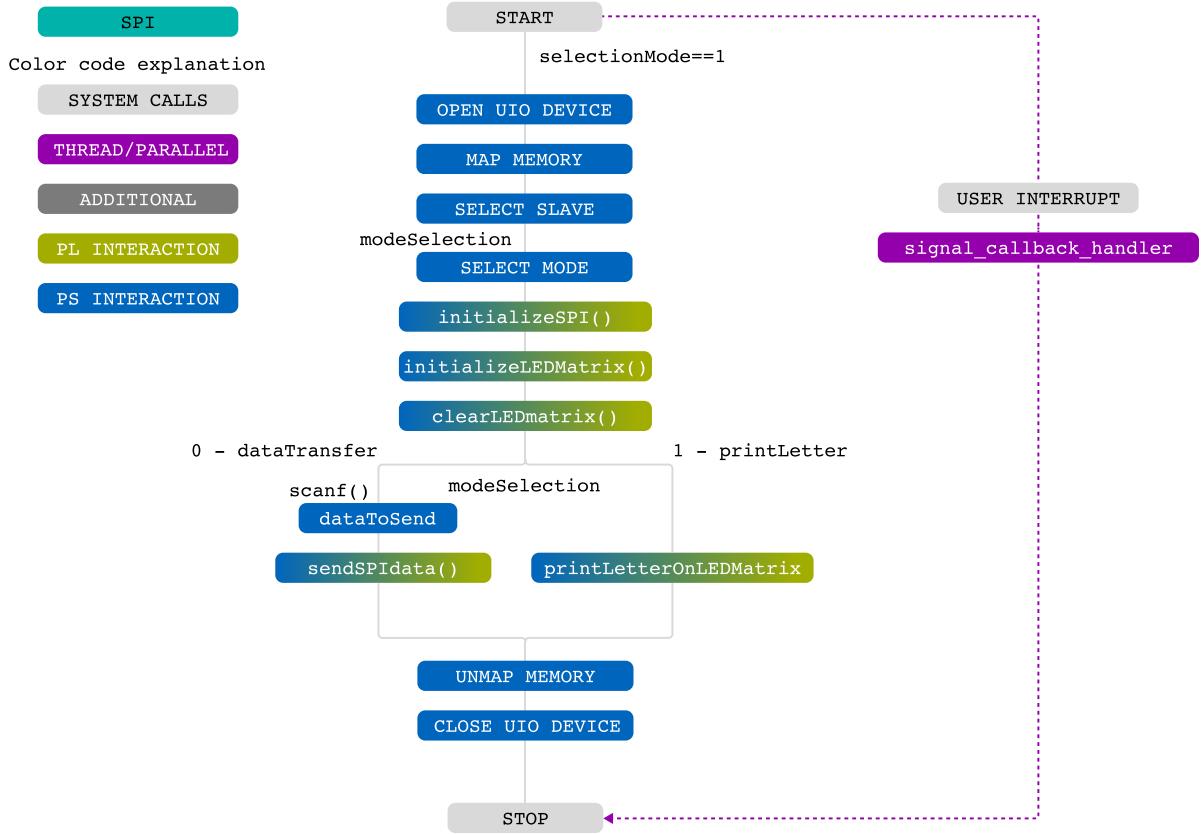
## 16.5 SPI

Část aplikace, která prezentuje SPI komunikaci není oproti předchozím podaplikacím akcelerovaná. Tudíž nevyužívá akcelerované funkce (kernelu) pro urychlení výpočtů. Využívá však PL, ve kterém byl vytvořen IP blok *AXI Quad SPI*, který umožňuje SPI komunikaci. Tento blok způsobí vytvoření adres pamětí, které je možné z userspace programu nebo běhu *PetaLinux* adresovat. Díky adresaci v userspace je možné využívat libovolně nakonfigurovanou SPI komunikaci z Vivado IP bloku.

Další možné využití SPI komunikace by bylo využít SPI driver, který by bylo nutné aktivovat při tvorbě *PetaLinux* systému.

Je důležité zmínit, že nakonfigurované parametry bloku *AXI Quad SPI* lze změnit pouze ve Vivado, tudíž je důležité při tvorbě HW platformy již znát požadavky použitých zařízení, se kterými bude aplikace komunikovat. Jedná se například o délku přenášené zprávy nebo o frekvenci signálu CLK.

Pro zjednodušení adresování jsou definovány jednotlivé posuny od základní adresy pomocí `define` direktiv. Definice direktiv dle dokumentace [52] je zobrazena v 16 - 7.



Obr. 16 - 7 SPI větev aplikace – manuální odesílání dat přes SPI.

```

1 #define MAP_SIZE 0x10000
2 #define SPI_SPICR 0x60
3 #define SPI_SPISR 0x64
4 #define SPI_DTR 0x68
5 #define SPI_DRR 0x6C
6 #define SPI_SPISSR 0x70
7 #define SPI_TRANSMIT_FIFO_OCUPANCY 0x74
8 #define SPI_RECEIVE_FIFO_OCUPANCY 0x78
9 #define SPI_DGIER 0x1C
10 #define SPI_IPISR 0x20
11 #define SPI_IPIER 0x28

```

Kód 16 - 7 Definice posuvu adres pro registry AXI Quad SPI bloku pomocí define direktiv.

Jak je možné na názorném vývojovém diagramu 16 - 7 pozorovat, je pro zvýšení bezpečnosti programu využito mapování pouze potřebné části HW registrů SPI jednotky do uživatelského prostředí pomocí UIO zařízení a  `mmap` funkce. Pro jednotku je využit *generic-lio* driver, díky kterému je možné pozorovat vzniklá přerušení od jednotky a tyto přerušení také znova povolovat pomocí acknowledge operace. Autor zatím nenašel jiný způsob, jakým by došlo k acknowledge přerušení v *PetaLinux*, pokud by bylo využito výchozích driverů SPI jednotky.

Po provedení mapování adres registrů do userspace pomocí funkce  `initializeSPI()` (jejíž algoritmus je zobrazen v kódu ??) následuje inicializace jednotky, se kterou aplikace má komunikovat. Pokud by se jednalo o skutečnou aplikaci pro řízení elektrického pohonu, aplikace by komunikovala

nejspíše s analogově-digitálními převodníky. Pokud by se jednalo o aplikaci HIL, nejspíše by docházelo ke komunikaci s digiálně-analogovými převodníky. V této práci dochází pouze k ukázkové komunikaci s jednotkou *MAX7219*, která je připojena k LED matici. Z toho důvodu je po inicializaci SPI jednotky třeba inicializovat jednotku *MAX7219* a nejlépe zajistit, aby po její inicializaci došlo ke zhasnutí všech diod na matici. Tyto kroky jsou provedeny pomocí funkcí `initializeLEDMatrix()` a `clearLEDmatrix()`. Kód funkcí je součástí souborů, jež jsou přílohou této práce.

Po inicializaci je možné pomocí proměnné `dataTransfer` vybrat ze dvou testovacích módů. Mód kdy `dataTransfer == 0` je určen pro manuální odesílání jednotlivých zpráv pomocí SPI jednotky, mód kdy `dataTransfer == 1` odešle předem definované zprávy pomocí SPI jednotky.

Následně dochází k odmapování dříve mapované HW paměti a uzavření UIO zařízejí pomocí jeho file descriptoru.

```

1  /*
2   * @name      initializeSPI
3   * @brief     Initialize SPI communication in PL for desired slave and
4   *            mapped device.
5   * @todo      Implement interrupt and delete sleep_for...
6   */
7 void spiClass::initializeSPI(void *ptr, off_t slaveSelect)
8 {
9     *((unsigned *) (ptr + SPI_SPICR)) = 0x1E6;
10
11    *((unsigned *) (ptr + SPI_DTR)) = 0x06;
12
13    *((unsigned *) (ptr + SPI_SPISSR)) = 0x00;
14
15    *((unsigned *) (ptr + SPI_SPISSR)) = slaveSelect;
16
17    *((unsigned *) (ptr + SPI_SPICR)) = 0x1E6;
18
19    // Interrupt settings
20
21    // Global Interrupt Enable
22    *((unsigned *) (ptr + SPI_DGIER)) = 0x80000000;
23
24    // Interrupt enables
25    // *((unsigned *) (ptr + SPI_IPIER)) = 0x3FFF;           // enabling
26    // all interrupts
27    *((unsigned *) (ptr + SPI_IPIER)) = 0x4; // enabling onty DTR is clear
28    INT
29
30    off_t interruptStatus;
31
32    interruptStatus = *((unsigned *) (ptr + SPI_IPISR));
33    std::this_thread::sleep_for(std::chrono::nanoseconds(1)); // could not
34    resolve other way now, because reading and writing to register takes
35    more time than one tick probably

```

```

31     *((unsigned *) (ptr + SPI_IPISR)) = interruptStatus;           // resetting
32     SPI interrupt status register
33 }

```

Kód 16 - 8 Algoritmus inicializace AXI Quad SPI jednotky v C++.

## 16.6 Timer Thread

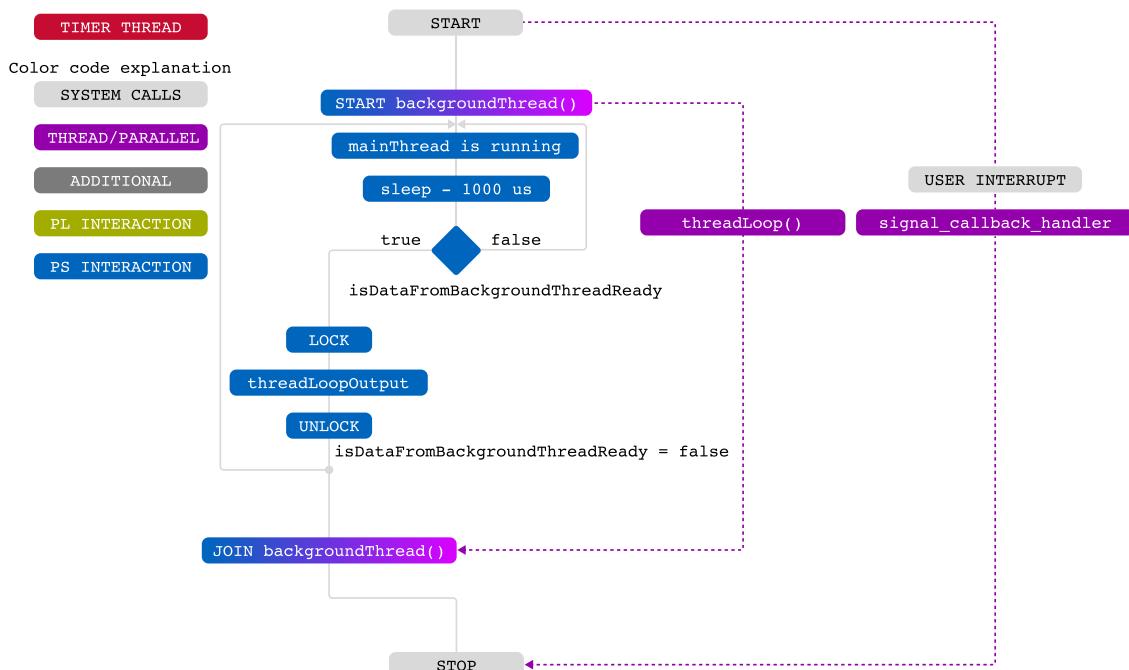
Timer Thread je opět podaplikace, která nevyužívá PL k akceleraci, ale k implementaci IP, jež reprezentují HW jednotky, využité v programu aplikace. V podaplikaci je využito IP bloku AXI Timer pro časování periodického děje. V ukázkové aplikaci je periodickým dějem funkce, měnící obsah proměnné `threadLoopOutput`, a funkce odesílání dat pomocí SPI jednotky. Pomocí SPI jednotky jsou odeslány data opět do jednotky *MAX7219*, která způsobuje zobrazování dvou písmen na LED matici.

Tento ukázkový algoritmus má za úkol reprezentovat periodické získávání dat z analogově-digitálních převodníků a jejich následné zpracování v hlavní funkci. Jak je na vývojovém diagramu 16 - 8 možné zjistit, pro obhospodařování AXI Timeru a SPI jednotky je vytvořeno samostatné vlákno, jež krom inicializační části obsahuje část výkonnou, která je uzavřena do nekonečné smyčky.

V reálné aplikaci řízení elektrického pohonu je plánováno využít tolik vláken, kolik bude třeba paralelně získávat informací z ADC, jež budou napojeny na proudové senzory a na senzor otáček.

Aby došlo k přenosu z vedlejších vláken do hlavního vláknka pouze validních dat, je využito `mutex` třídy z knihovny `std` a logického semaforu, který umožní předání dat pouze v případě, že došlo ke kompletnímu uložení potřebné hodnoty do proměnné, ze které je hodnota čtena v hlavním vlákně. V případě více paralelních vláken a čtených hodnot by bylo nutné zakomponovat podmínu, která by kontrolovala stav všech čtených proměnných z vedlejších vláken.

Algoritmy, provedené ve vedlejším vlákně, jsou představeny v části *Thread Loop*.



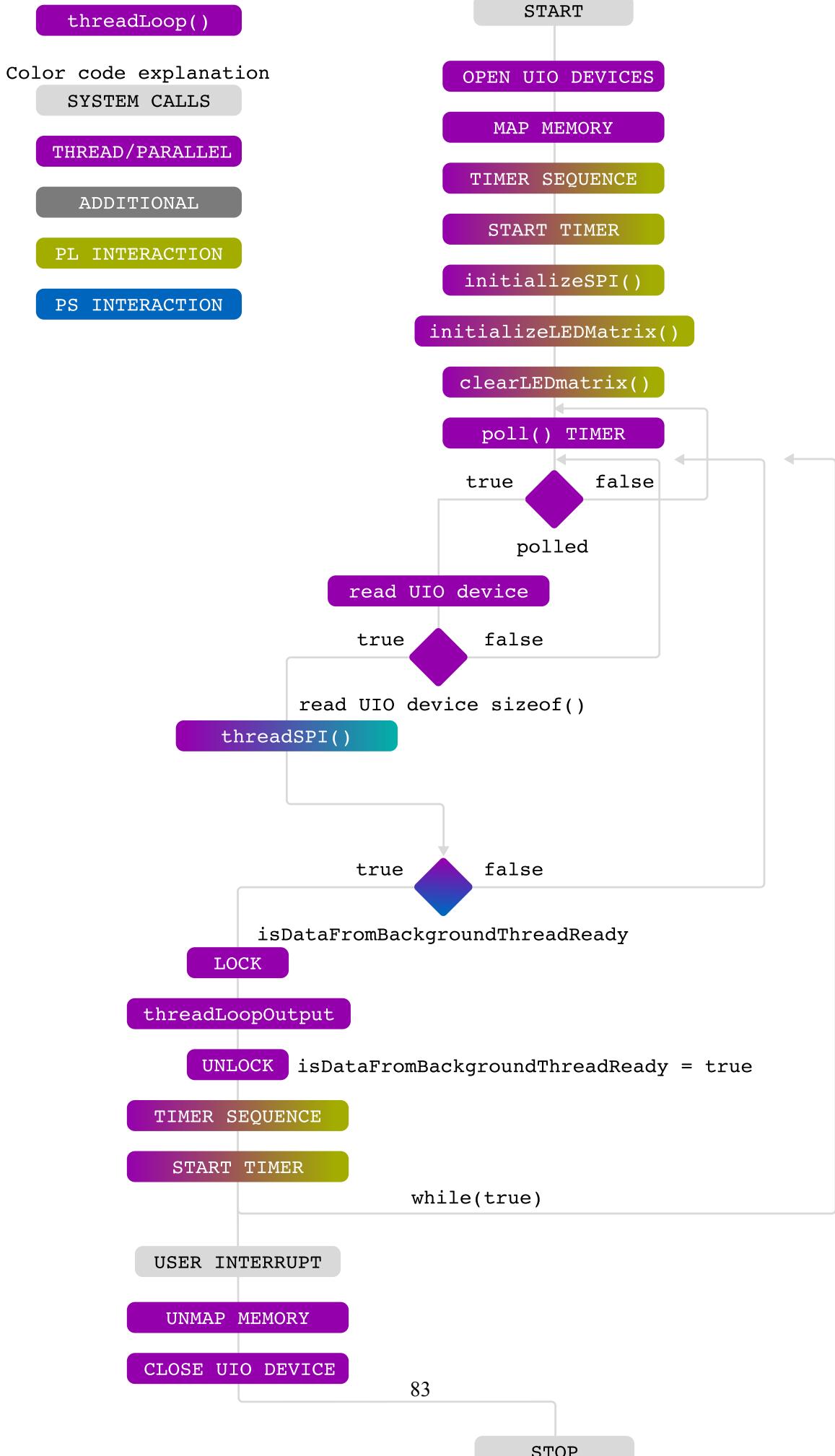
Obr. 16 - 8 SPI Timer Thread větev aplikace – AXI Timer Thread s automatickým odesíláním dat.

### 16.6.1 Thread Loop

Část aplikace Thread Loop, jejíž ukázkový vývojový diagram je zobrazen na 16 - 9, reprezentuje soubor algoritmů a funkcí, které jsou prováděny ve vedlejším vlákně `backgroundThread`. Funkce, která je pomocí `backgroundThread` spuštěna je v kódu nazvána `threadLoop()`.

Protože tato aplikace pracuje opět s adresy HW registrů, vytvořených v PL, zobrazitelnými v user space, je s ohledem na bezpečnost programu vhodné přistupovat k paměti pomocí mapování do user space pomocí `mmap()` funkce a daného file descriptoru UIO zařízení.

Po inicializační části mapování mapětí jednotky AXI Timer (postup zobrazen v horní části kódu 16 - 9) a AXI Quad SPI do user space dané aplikace, je v případě ukázkové aplikace využito opět komunikování SPI jednotky s obvodem *MAX7219*. V práci je uvedený kompletní ukázka funkce `threadLoop()` jejíž algoritmus odráží vývojový diagram 16 - 9. V případě zájmu o nahlédnutí na kódy použitých funkcí `initializeSPI(ptrSPI, slaveSelect)`, `initializeLEDmatrix(ptrSPI, fdSPI, slaveSelect)`, `clearLEDmatrix(ptrSPI, fdSPI, slaveSelect)` a `threadSPI(ptrSPI, fdSPI, slaveSelect)` je možné prozkoumat soubory přílohy této práce. Funkce jsou z důvodu vývoje vloženy do samostatné třídy. Funkce jsou zatím ve vývoji a v budoucnu je plánováno vytvořit knihovnu, která umožňuje uživateli komunikovat s bloky jako je AXI Quad SPI a AXI Timer bez nutnosti znalostí adres jednotlivých registrů a používat pouze dobře zdokumentované API.



```

1  /*
2   * @name      threadLoop
3   * @brief     Threaded function for timer and data acquisition.
4   * @todo      Make multiple functions and multiple data acquisitions
5   *           parallel but use data only when data from all sources all valid.
6   */
7
8  void threadLoop()
9  {
10    void *timer1ptr;           // pointer to a virtual memory filled by
11    mmap
12    int timer1fd;            // file descriptor of uio to reset
13    interrupt in /proc/interrupts
14    char *uiod;              // name of the uio to reset interrupts
15    uiod = "/dev/uio5";       // check when making changes in a
16    platform
17    int irq_on = 1;           // for writing 0x1 to /dev/uioX
18    uint32_t info = 1;         // in read function of a interrupt
19    checking
20    spiClass spi;
21
22    timer1fd = open(uiod, O_RDWR | O_NONBLOCK); // opening uioX device
23
24    // if error
25    if (timer1fd < 1)
26    {
27      perror("open\n");
28      printf("Invalid UIO device file:%s.\n", uiod);
29    }
30
31    // for polling the interrupt struct
32    struct pollfd fds = {
33      .fd = timer1fd,
34      .events = POLLIN | POLLOUT,
35    };
36
37    // mmap the timer in virtual memory
38    timer1ptr = mmap(NULL, TIMER_MAP_SIZE, PROT_READ | PROT_WRITE,
39    MAP_SHARED, timer1fd, 0);
40
41    // initial values for timer
42    *((unsigned *) (timer1ptr)) = 0X1C0;
43    write(timer1fd, &irq_on, sizeof(irq_on));
44    // *((unsigned *) (timer1ptr + 0x4)) = 0xE8287BFF;
45    // *((unsigned *) (timer1ptr + 0x4)) = 0xFFFFFFF37;
46    *((unsigned *) (timer1ptr + 0x4)) = 0xFFFFF82F; // 10 us
47    // *((unsigned *) (timer1ptr + 0x4)) = 0xFA0A1EFF; // 0.5
48    s~*((unsigned *) (timer1ptr)) = 0XE0;

```

```

43
44     // one tick is 0.8 ns, have to wait till data is moved to counter
45     // register
46     // otherwise it wont start, solve maybe later or ask about it
47     std::this_thread::sleep_for(std::chrono::nanoseconds(1));
48
49     *((unsigned*)(timer1ptr + 0x8)) = 0X0;
50     *((unsigned*)(timer1ptr)) = 0XC0;
51
52     off_t slaveSelect = 0x1; // manually selecting slave to make
53     active
54
55     void *ptrSPI; // pointer to a virtual memory filled by mmap
56     int fdSPI; // file descriptor
57     char *uiodSPI; // name what device to open
58     uiodSPI = "/dev/uio4";
59
60     fdSPI = open(uiodSPI, O_RDWR | O_NONBLOCK); // opening device
61
62     // if error
63     if (fdSPI < 1)
64     {
65         perror("open\n");
66         printf("Invalid UIO SPI device file:%s.\n", uiod);
67     }
68     else
69     {
70         std::cout << "Successfully SPI opened device.\n";
71     }
72
73     ptrSPI = mmap(NULL, MAP_SIZE, PROT_READ | PROT_WRITE, MAP_SHARED,
74     fdSPI, 0);
75     std::this_thread::sleep_for(std::chrono::nanoseconds(1));
76     spi.initializeSPI(ptrSPI, slaveSelect);
77     std::this_thread::sleep_for(std::chrono::nanoseconds(1));
78     spi.initializeLEDmatrix(ptrSPI, fdSPI, slaveSelect);
79     std::this_thread::sleep_for(std::chrono::nanoseconds(1));
80     spi.clearLEDmatrix(ptrSPI, fdSPI, slaveSelect);
81
82     while (true)
83     {
84         while (true) // polling while
85         {
86             int ret = poll(&fds, 1, -1); // poll on a return value
87             // there was change in ret
88             if (ret >= 1)
89             {
90                 ssize_t nb = read(timer1fd, &info, sizeof(info));
91                 if (nb == (ssize_t)sizeof(info))

```

```

88     {
89         /* Do something in response to the interrupt. */
90         printf("Interrupt #%u!\n", info);
91         spi.threadSPI(ptrSPI, fdSPI, slaveSelect);
92         // if timer has finished (interrupt has risen)
93         // copy data / insert data to shared variable
94         if (isDataFromBackgroundThreadReady == false)
95         {
96             gLock.lock();                                // mutex
97             locking - any other thread can't access this variable (think it cannot
98             write or read)
99             threadLoopOutput = threadLoopOutput + 1; // edit the
100            shared variable
101            gLock.unlock();                          // mutex unlock
102            isDataFromBackgroundThreadReady = true; // flag to main
103            while loop that new data is present
104            {
105            }
106            break;
107        }
108    }
109
110    // resolving and starting timer again
111    *((unsigned *)timer1ptr) = 0X1C0;
112    write(timer1fd, &irq_on, sizeof(irq_on));
113    // *((unsigned *) (timer1ptr + 0x4)) = 0xE8287BFF;
114    // *((unsigned *) (timer1ptr + 0x4)) = 0xFFFFFFF37; // 1 us
115    *((unsigned *) (timer1ptr + 0x4)) = 0xFFFFF82F; // 10 us
116    // *((unsigned *) (timer1ptr + 0x4)) = 0xFA0A1EFF; // 0.5
117    s~*((unsigned *) (timer1ptr)) = 0XE0;
118
119    // one tick is 0.8 ns, have to wait till data is moved to
120    // counter register
121    // otherwise it wont start, solve maybe later or ask about it
122    std::this_thread::sleep_for(std::chrono::nanoseconds(1));
123
124    *((unsigned *) (timer1ptr + 0x8)) = 0X0;
125    *((unsigned *) (timer1ptr)) = 0XC0; // start
126
127
128    munmap(ptrSPI, MAP_SIZE);
129    close(fdSPI);
130    munmap(timer1ptr, TIMER_MAP_SIZE);
131    close(timer1fd);
132
133
134
135
136
137
138
139
140
141
142
143
144
145
146
147
148
149
150
151
152
153
154
155
156
157
158
159
160
161
162
163
164
165
166
167
168
169
170
171
172
173
174
175
176
177
178
179
180
181
182
183
184
185
186
187
188
189
190
191
192
193
194
195
196
197
198
199
200
201
202
203
204
205
206
207
208
209
210
211
212
213
214
215
216
217
218
219
220
221
222
223
224
225
226
227
228
229
230
231
232
233
234
235
236
237
238
239
240
241
242
243
244
245
246
247
248
249
250
251
252
253
254
255
256
257
258
259
260
261
262
263
264
265
266
267
268
269
270
271
272
273
274
275
276
277
278
279
280
281
282
283
284
285
286
287
288
289
290
291
292
293
294
295
296
297
298
299
300
301
302
303
304
305
306
307
308
309
310
311
312
313
314
315
316
317
318
319
320
321
322
323
324
325
326
327
328
329
330
331
332
333
334
335
336
337
338
339
340
341
342
343
344
345
346
347
348
349
350
351
352
353
354
355
356
357
358
359
360
361
362
363
364
365
366
367
368
369
370
371
372
373
374
375
376
377
378
379
380
381
382
383
384
385
386
387
388
389
390
391
392
393
394
395
396
397
398
399
400
401
402
403
404
405
406
407
408
409
410
411
412
413
414
415
416
417
418
419
420
421
422
423
424
425
426
427
428
429
430
431
432
433
434
435
436
437
438
439
440
441
442
443
444
445
446
447
448
449
450
451
452
453
454
455
456
457
458
459
460
461
462
463
464
465
466
467
468
469
470
471
472
473
474
475
476
477
478
479
480
481
482
483
484
485
486
487
488
489
490
491
492
493
494
495
496
497
498
499
500
501
502
503
504
505
506
507
508
509
510
511
512
513
514
515
516
517
518
519
520
521
522
523
524
525
526
527
528
529
530
531
532
533
534
535
536
537
538
539
540
541
542
543
544
545
546
547
548
549
550
551
552
553
554
555
556
557
558
559
560
561
562
563
564
565
566
567
568
569
570
571
572
573
574
575
576
577
578
579
580
581
582
583
584
585
586
587
588
589
589
590
591
592
593
594
595
596
597
598
599
599
600
601
602
603
604
605
606
607
608
609
609
610
611
612
613
614
615
616
617
618
619
619
620
621
622
623
624
625
626
627
628
629
629
630
631
632
633
634
635
636
637
638
639
639
640
641
642
643
644
645
646
647
648
649
649
650
651
652
653
654
655
656
657
658
659
659
660
661
662
663
664
665
666
667
668
669
669
670
671
672
673
674
675
676
677
678
679
679
680
681
682
683
684
685
686
687
687
688
689
689
690
691
692
693
694
695
696
697
697
698
699
699
700
701
702
703
704
705
706
707
708
709
709
710
711
712
713
714
715
716
717
718
719
719
720
721
722
723
724
725
726
727
728
729
729
730
731
732
733
734
735
736
737
738
739
739
740
741
742
743
744
745
746
747
748
749
749
750
751
752
753
754
755
756
757
758
759
759
760
761
762
763
764
765
766
767
768
769
769
770
771
772
773
774
775
776
777
778
779
779
780
781
782
783
784
785
786
787
787
788
789
789
790
791
792
793
794
795
796
797
797
798
799
799
800
801
802
803
804
805
806
807
808
809
809
810
811
812
813
814
815
816
817
817
818
819
819
820
821
822
823
824
825
826
827
827
828
829
829
830
831
832
833
834
835
836
837
837
838
839
839
840
841
842
843
844
845
846
847
847
848
849
849
850
851
852
853
854
855
856
856
857
858
858
859
859
860
861
862
863
864
865
866
866
867
868
868
869
869
870
871
872
873
874
875
875
876
877
877
878
878
879
879
880
881
882
883
884
885
885
886
887
887
888
889
889
890
891
892
893
893
894
895
895
896
896
897
897
898
898
899
899
900
901
901
902
902
903
903
904
904
905
905
906
906
907
907
908
908
909
909
910
910
911
911
912
912
913
913
914
914
915
915
916
916
917
917
918
918
919
919
920
920
921
921
922
922
923
923
924
924
925
925
926
926
927
927
928
928
929
929
930
930
931
931
932
932
933
933
934
934
935
935
936
936
937
937
938
938
939
939
940
940
941
941
942
942
943
943
944
944
945
945
946
946
947
947
948
948
949
949
950
950
951
951
952
952
953
953
954
954
955
955
956
956
957
957
958
958
959
959
960
960
961
961
962
962
963
963
964
964
965
965
966
966
967
967
968
968
969
969
970
970
971
971
972
972
973
973
974
974
975
975
976
976
977
977
978
978
979
979
980
980
981
981
982
982
983
983
984
984
985
985
986
986
987
987
988
988
989
989
990
990
991
991
992
992
993
993
994
994
995
995
996
996
997
997
998
998
999
999
1000
1000
1001
1001
1002
1002
1003
1003
1004
1004
1005
1005
1006
1006
1007
1007
1008
1008
1009
1009
1010
1010
1011
1011
1012
1012
1013
1013
1014
1014
1015
1015
1016
1016
1017
1017
1018
1018
1019
1019
1020
1020
1021
1021
1022
1022
1023
1023
1024
1024
1025
1025
1026
1026
1027
1027
1028
1028
1029
1029
1030
1030
1031
1031
1032
1032
1033
1033
1034
1034
1035
1035
1036
1036
1037
1037
1038
1038
1039
1039
1040
1040
1041
1041
1042
1042
1043
1043
1044
1044
1045
1045
1046
1046
1047
1047
1048
1048
1049
1049
1050
1050
1051
1051
1052
1052
1053
1053
1054
1054
1055
1055
1056
1056
1057
1057
1058
1058
1059
1059
1060
1060
1061
1061
1062
1062
1063
1063
1064
1064
1065
1065
1066
1066
1067
1067
1068
1068
1069
1069
1070
1070
1071
1071
1072
1072
1073
1073
1074
1074
1075
1075
1076
1076
1077
1077
1078
1078
1079
1079
1080
1080
1081
1081
1082
1082
1083
1083
1084
1084
1085
1085
1086
1086
1087
1087
1088
1088
1089
1089
1090
1090
1091
1091
1092
1092
1093
1093
1094
1094
1095
1095
1096
1096
1097
1097
1098
1098
1099
1099
1100
1100
1101
1101
1102
1102
1103
1103
1104
1104
1105
1105
1106
1106
1107
1107
1108
1108
1109
1109
1110
1110
1111
1111
1112
1112
1113
1113
1114
1114
1115
1115
1116
1116
1117
1117
1118
1118
1119
1119
1120
1120
1121
1121
1122
1122
1123
1123
1124
1124
1125
1125
1126
1126
1127
1127
1128
1128
1129
1129
1130
1130
1131
1131
1132
1132
1133
1133
1134
1134
1135
1135
1136
1136
1137
1137
1138
1138
1139
1139
1140
1140
1141
1141
1142
1142
1143
1143
1144
1144
1145
1145
1146
1146
1147
1147
1148
1148
1149
1149
1150
1150
1151
1151
1152
1152
1153
1153
1154
1154
1155
1155
1156
1156
1157
1157
1158
1158
1159
1159
1160
1160
1161
1161
1162
1162
1163
1163
1164
1164
1165
1165
1166
1166
1167
1167
1168
1168
1169
1169
1170
1170
1171
1171
1172
1172
1173
1173
1174
1174
1175
1175
1176
1176
1177
1177
1178
1178
1179
1179
1180
1180
1181
1181
1182
1182
1183
1183
1184
1184
1185
1185
1186
1186
1187
1187
1188
1188
1189
1189
1190
1190
1191
1191
1192
1192
1193
1193
1194
1194
1195
1195
1196
1196
1197
1197
1198
1198
1199
1199
1200
1200
1201
1201
1202
1202
1203
1203
1204
1204
1205
1205
1206
1206
1207
1207
1208
1208
1209
1209
1210
1210
1211
1211
1212
1212
1213
1213
1214
1214
1215
1215
1216
1216
1217
1217
1218
1218
1219
1219
1220
1220
1221
1221
1222
1222
1223
1223
1224
1224
1225
1225
1226
1226
1227
1227
1228
1228
1229
1229
1230
1230
1231
1231
1232
1232
1233
1233
1234
1234
1235
1235
1236
1236
1237
1237
1238
1238
1239
1239
1240
1240
1241
1241
1242
1242
1243
1243
1244
1244
1245
1245
1246
1246
1247
1247
1248
1248
1249
1249
1250
1250
1251
1251
1252
1252
1253
1253
1254
1254
1255
1255
1256
1256
1257
1257
1258
1258
1259
1259
1260
1260
1261
1261
1262
1262
1263
1263
1264
1264
1265
1265
1266
1266
1267
1267
1268
1268
1269
1269
1270
1270
1271
1271
1272
1272
1273
1273
1274
1274
1275
1275
1276
1276
1277
1277
1278
1278
1279
1279
1280
1280
1281
1281
1282
1282
1283
1283
1284
1284
1285
1285
1286
1286
1287
1287
1288
1288
1289
1289
1290
1290
1291
1291
1292
1292
1293
1293
1294
1294
1295
1295
1296
1296
1297
1297
1298
1298
1299
1299
1300
1300
1301
1301
1302
1302
1303
1303
1304
1304
1305
1305
1306
1306
1307
1307
1308
1308
1309
1309
1310
1310
1311
1311
1312
1312
1313
1313
1314
1314
1315
1315
1316
1316
1317
1317
1318
1318
1319
1319
1320
1320
1321
1321
1322
1322
1323
1323
1324
1324
1325
1325
1326
1326
1327
1327
1328
1328
1329
1329
1330
1330
1331
1331
1332
1332
1333
1333
1334
1334
1335
1335
1336
1336
1337
1337
1338
1338
1339
1339
1340
1340
1341
1341
1342
1342
1343
1343
1344
1344
1345
1345
1346
1346
1347
1347
1348
1348
1349
1349
1350
1350
1351
1351
1352
1352
1353
1353
1354
1354
1355
1355
1356
1356
1357
1357
1358
1358
1359
1359
1360
1360
1361
1361
1362
1362
1363
1363
1364
1364
1365
1365
1366
1366
1367
1367
1368
1368
1369
1369
1370
1370
1371
1371
1372
1372
1373
1373
1374
1374
1375
1375
1376
1376
1377
1377
1378
1378
1379
1379
1380
1380
1381
1381
1382
1382
1383
1383
1384
1384
1385
1385
1386
1386
1387
1387
1388
1388
1389
1389
1390
1390
1391
1391
1392
1392
1393
1393
1394
1394
1395
1395
1396
1396
1397
1397
1398
1398
1399
1399
1400
1400
1401
1401
1402
1402
1403
1403
1404
1404
1405
1405
1406
1406
1407
1407
1408
1408
1409
1409
1410
1410
1411
1411
1412
1412
1413
1413
1414
1414
1415
1415
1416
1416
1417
1417
1418
1418
1419
1419
1420
1420
1421
1421
1422
1422
1423
1423
1424
1424
1425
1425
1426
1426
1427
1427
1428
1428
1429
1429
1430
1430
1431
1431
1432
1432
1433
1433
1434
1434
1435
1435
1436
1436
1437
1437
1438
1438
1439
1439
1440
1440
1441
1441
1442
1442
1443
1443
1444
1444
1445
1445
1446
1446
1447
1447
1448
1448
1449
1449
1450
1450
1451
1451
1452
1452
1453
1453
1454
1454
1455
1455
1456
1456
1457
1457
1458
1458
1459
1459
1460
1460
1461
1461
1462
1462
1463
1463
1464
1464
1465
1465
1466
1466
1467
1467
1468
1468
1469
1469
1470
1470
1471
1471
1472
1472
1473
1473
1474
1474
1475
1475
1476
1476
1477
1477
1478
1478
1479
1479
1480
1480
1481
1481
1482
1482
1483
1483
1484
1484
1485
1485
1486
1486
1487
1487
1488
1488
1489
1489
1490
1490
1491
1491
1492
1492
1493
1493
1494
1494
1495
1495
1496
1496
1497
1497
1498
1498
1499
1499
1500
1500
1501
1501
1502
1502
1503
1503
1504
1504
1505
1505
1506
1506
1507
1507
1508
1508
1509
1509
1510
1510
1511
1511
1512
1512
1513
1513
1514
1514
1515
1515
1516
1516
1517
1517
1518
1518
1519
1519
1520
1520
1521
1521
1522
1522
1523
1523
1524
1524
1525
1525
1526
1526
1527
1527
1528
1528
1529
1529
1530
1530
1531
1531
1532
1532
1533
1533
1534
1534
1535
1535
1536
1536
1537
1537
1538
1538
1539
1539
1540
1540
1541
1541
1542
1542
1543
1543
1544
1544
1545
1545
1546
1546
1547
1547
1548
1548
1549
1549
1550
1550
1551
1551
1552
1552
1553
1553
1554
1554
1555
1555
1556
1556
1557
1557
1558
1558
1559
1559
1560
1560
1561
1561
1562
1562
1563
1563
1564
1564
1565
1565
1566
1566
1567
1567
1568
1568
1569
1569
1570
1570
1571
1571
1572
1572
1573
1573
1574
1574
1575
1575
1576
1576
1577
1577
1578
1578
1579
1579
1580
1580
1581
1581
1582
1582
1583
1583
1584
1584
1585
1585
1586
1586
1587
1587
1588
1588
1589
1589
1590
1590
1591
1591
1592
1592
1593
1593
1594
1594
1595
1595
1596
1596
1597
1597
1598
1598
1599
1599
1600
1600
1601
1601
1602
1602
1603
1603
1604
1604
1605
1605
1606
1606
1607
1607
1608
1608
1609
1609
1610
1610
1611
1611
1612
1612
1613
1613
1614
1614
1615
1615
1616
1616
1617
1617
1618
1618
1619
1619
1620
1620
1621
1621
1622
1622
1623
1623
1624
1624
1625
1625
1626
1626
1627
1627
1628
1628
1629
1629
1630
1630
1631
1631
1632
1632
1633
1633
1634
1634
1635
1635
1636
1636
1637
1637
1638
1638
1639
1639
1640
1640
1641
1641
1642
1642
1643
1643
1644
1644
1645
1645
1646
1646
1647
1647
16
```

## 16.7 Akcelerované algoritmy (kernely) v PL

V předchozích částech textu byla představena struktura algoritmů aplikací, realizovaných v PS. Algoritmy programů, realizované v PL, se odlišují filozofií návrhu jejich struktury. Při tvorbě algoritmů v PS se postupuje dle konvenčních přístupů tvorby C++ programu, kdy jednotlivé příkazy jsou prováděny převážně sekvenčně. Tvorba kernelů je specifická v tom, že sice dochází k využití jazyka C++, ovšem protože je program dále zpracován pomocí HLS, je vhodné se snažit splnit hlavní tři paradigm pro tvorbu algoritmů určených na FPGA.

Tyto paradigmata jsou:

- **Producer-Consumer**, jedná se o dekompozici programu tak, aby výsledky jednoho dílčího algoritmu byly využívány pouze jedním dalším dílčím algoritmem, nepoužívat rekurzivní algoritmy apod.,
- **Streaming Data**, využití FIFO pro kontinuální tok dat jedním směrem,
- **Pipelining**, pokud je možné po vykonání dílčích instrukcí na určité sadě dat vykonávat danou instrukci na nové sadě dat, dokud nebyl nadřazený algoritmus dokončen, dochází ke snížení celkové časové náročnosti programu.

Detailní popis těchto paradigm a jejich ukázkovou realizaci je možné nalézt v oficiální dokumentaci pro HLS. [58].

V realizovaných algoritmech matematického modelu nejsou dodrženy všechny představené paradigmata. To má za následek snížení kvality překladu pomocí HLS do RTL a následné implementace a tvorby bitstreamu. Toto snížení kvality se projevilo ve větším počtu požadovaných resources a pomalejším překladu. V budoucí práci je vhodné tyto paradigmata lépe implementovat do zavedených algoritmů.

Kompletní zdrojové kódy se nacházejí v souborové příloze této práce. Z důvodu rozsahu není vhodné kompletní soubory v této práci uvádět.

Filozofií tvorby kernelů bylo rozdělit algoritmus pomocí přístupu *Producer-Consumer* tak, aby nedocházelo k rekurzivním úpravám hodnot proměnných a aby hodnoty daných proměnných byly čteny pouze jednou. Z toho důvodu byly vytvořeny *slice* funkce, které ve smyčce s daným počtem iterací čtou hodnotu z jedné proměnné a vkládají ji do nové proměnné typu pole s pevně daným rozsahem. Hodnota proměnné je vždy čtena v algoritmu z daného indexu pole pouze jednou. Ukázka této funkce pro proměnnou, jež by bez použití *slice* musela být v algoritmu čtena osmkrát, je v kódu 16 - 10.

```
1 void sliceInternalVariables8Parts(float variableIn, float *variableOut)
2 {
3     for(int i = 0;i<8;i++)
4     {
5         variableOut[i] = variableIn;
6     }
7 }
```

Kód 16 - 10 Slice funkce pro kopírování proměnné *variableIn* do pole *variableOut* s osmi polohami.

V první fázi vývoje kernelů bylo používáno knihoven, které autor vytvořil pro simulaci téže úlohy pomocí stolního počítače s využitím kompilátoru **gcc** verze **c++14**. I když konstrukce v těchto knihovnách umožňovaly vytvořit přehledné algoritmy a struktury, nebyl tento přístup v práci využit. Čím složitější a více přehlednější popis problému by byl v kernelu realizován, tím problematičtější pro HLS je vytvořit vhodný popis RTL a provést implementaci s tvorbou bitstreamu. Tento problém se opět projeví ve změně

použitých resources. Počet potřebných resources může v extrémních případech několikanásobně přerůst počet dostupných prvků v SoC. Tento problém se projevoval převážně u vývojové desky Digilent Zybo.

### 16.7.1 Implementace výpočtu diferenciálních rovnic

Výpočet diferenciálních rovnic byl realizován pomocí algoritmu *Runge–Kutta* 4. řádu (RK4). Vhodnost tohoto algoritmu řešení byla ověřena výsledky simulace v MATLAB™u.

Pro zjednodušení tvorby algoritmu kernelu byly definovány a deklarovány funkce pro výpočet dané soustavy diferenciálních rovnic. Například pro  $I$ - $n$  model byly definovány funkce magnetických toků rotoru  $\psi_{2\alpha}$  a  $\psi_{2\beta}$ . Jednotlivé rovnice soustavy diferenciálních rovnic č. 9 - 14 jsou v kernelu implementovány pomocí kódu 16 - 11. Algoritmus výpočtu časově/hodnotově závislých hodnot je kompletně převzat z obecně známého postupu metody RK4, který využívá iteračního výpočtu soustavy rovnic 16 - 1.

```

1 float psi2alphaFce(float R2MLmDL2, float R2DL2, float i1alpha, float i1beta
    , float psi2alpha, float psi2beta, float motorElectricalAngularVelocity)
2 {
3     return ((R2MLmDL2 * i1alpha) - (motorElectricalAngularVelocity *
4         psi2beta) - (R2DL2 * psi2alpha));
5 }
6
6 float psi2betaFce(float R2MLmDL2, float R2DL2, float i1alpha, float i1beta,
7     float psi2alpha, float psi2beta, float motorElectricalAngularVelocity)
8 {
9     return ((R2MLmDL2 * i1beta) + (motorElectricalAngularVelocity *
    psi2alpha) - (R2DL2 * psi2beta));
}

```

Kód 16 - 11 Implementace diferenciálních rovnic č. 9 - 14 do algoritmu kernelu.

$$\begin{aligned}
 k_{i1} &= h \cdot f(t_n, y_{1n}, y_{2n}, \dots, y_{in}), \\
 k_{i2} &= h \cdot f((t_n + \frac{h}{2}), (y_{1n} + \frac{k_{i1}}{2}), (y_{2n} + \frac{k_{i1}}{2}), \dots, (y_{in} + \frac{k_{i1}}{2})), \\
 k_{i3} &= h \cdot f((t_n + \frac{h}{2}), (y_{1n} + \frac{k_{i2}}{2}), (y_{2n} + \frac{k_{i2}}{2}), \dots, (y_{in} + \frac{k_{i2}}{2})), \\
 k_{i4} &= h \cdot f((t_n + h), (y_{1n} + k_{i3}), (y_{2n} + k_{i3}), \dots, (y_{in} + k_{i3})), \\
 y_{i(n+1)} &= y_{in} + \frac{k_{i1}}{6} + \frac{k_{i2}}{3} + \frac{k_{i3}}{3} + \frac{k_{i4}}{6} + O(h^5),
 \end{aligned} \tag{16 - 1}$$

kde  $h$  značí krok metody, index  $i$  označuje pořadí proměnné, pro kterou je uvedena skladba rovnic.

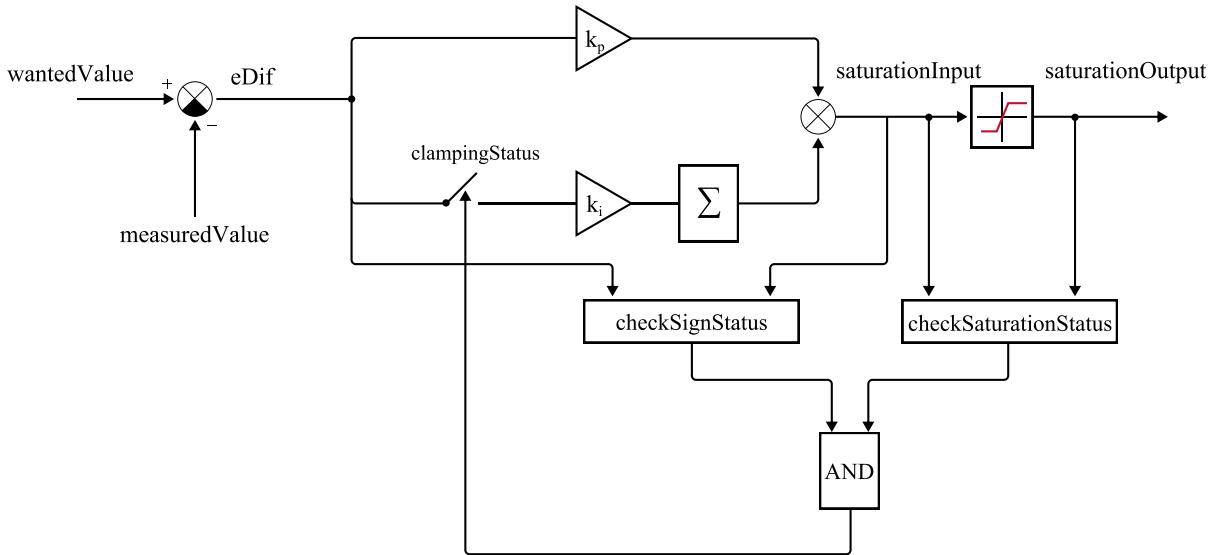
### 16.7.2 Implementace regulátorů

V kernelu byly implementovány PI regulátory se strukturou naznačenou na obr. 16 - 10. Pro omezení wind-up efektu byl použit princip *clamping*.

Při realizaci v C++ bylo vhodné realizovat pro regulátory ucelený datový typ struktury, která by obsahovala potřebné proměnné. Tento způsob byl výhodný při implementaci algoritmu v PC, ovšem jak již bylo zmíněno v části *Akcelerované algoritmy (kernely)* v PL, pro překlad pomocí HLS bylo nutné využít datová pole typu float. Tento přístup snížil čitelnost kódu, ale zachoval relativně kvalitní překlad HLS.

Blokové schéma principu PI regulátoru, který byl implementován do algoritmu je zobrazeno v obr.

16 - 10.



Obr. 16 - 10 Blokové schéma regulátoru s ošetřením anti-windup pomocí principu clamping.

### 16.7.3 Implementace modulace prostorového vektoru

Komparační úrovně v implementaci modulace prostorového vektoru (Space Vector Modulation, SVM) byly získány pomocí *Min-Max* metody. Výpočet komparačních úrovní byl převzat z [59]. Tyto komparační úrovně jsou porovnávány s hodnotami pilovitého průběhu nosného signálu, jež je vytvořen na základě periody pilovitého průběhu. Pilovitý průběh je vytvořen pomocí metody bez využití trigonometrických funkcí, jež by vyžadovali příliš mnoho resources. Implementace výpočtu hodnoty pilovitého průběhu v závislosti na čase v rámci periody průběhu je v kódu 16 - 12. Ve skutečném kernelu je opět pro uložení hodnot využito pole typu *float*, ovšem s ohledem na přehlednost není v tomto textu vhodné prezentovat toto provedení.

Na základě porovnaných hodnot jsou nastaveny virtuální výstupy spínání výkonových polovodičových prvků invertoru **sw1...sw6**, které jsou jedním z hlavních výstupů kernelu **krnl\_calculateCurVelModel**.

```

1 float svmCoreClass::generateActualValueTriangleWave(
2     TriangleWaveSettingsType *triangleWaveSettings)
3 {
4     // local variable
5     float triangleActualValue;
6
7     // calculation
8     triangleActualValue = (((4 * triangleWaveSettings->waveAmplitude) /
9         triangleWaveSettings->wavePeriod) * abs(fmod((fmod((triangleWaveSettings
10        ->calculationTime-(triangleWaveSettings->wavePeriod/4)),
11        triangleWaveSettings->wavePeriod) + triangleWaveSettings->wavePeriod),
12        triangleWaveSettings->wavePeriod) - (triangleWaveSettings->wavePeriod
13        /2)) - triangleWaveSettings->waveAmplitude);
14
15
16     // updating inner wave calculation time based on set initial value

```

```

11     of calculationTime
12         triangleWaveSettings->calculationTime = triangleWaveSettings->
13             calculationTime + triangleWaveSettings->calculationStep;
14
15     // output
16     return(triangleActualValue);
}

```

Kód 16 - 12 Implementace výpočtu aktuální hodnoty pilovitého průběhu.

#### 16.7.4 Implementace modelu invertoru

Model trojfázového můstkového invertoru, napájeného z trojfázového můstkového usměrňovače je implementován pomocí soustavy rovnic 16 - 2. [33]

$$\begin{bmatrix} u_a \\ u_b \\ u_c \end{bmatrix} = \frac{1}{3} U_{DC} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \begin{bmatrix} sw1 \\ sw3 \\ sw5 \end{bmatrix}, \quad (16 - 2)$$

kde  $u_a, u_b, u_c$  (V) reprezentují fázová statorová napětí,  $sw1, sw2, sw3$  (1/0) reprezentují stavy virtuálních spínačů **sw1**, **sw3**, **sw5** (1/0).

#### 16.7.5 Implementace modelu asynchronního motoru

Diferenciální rovnice matematického modelu asynchronního motoru (popsané v části *Matematický popis „kompletního“ modelu stroje*) jsou v této práci opět řešeny pomocí metody RK4. Implementace této metody je popsána v *Implementace výpočtu diferenciálních rovnic*.

Oproti `krnl_calculateCurVelModel`, kernel `krnl_calculateInvMot`, realizovaný v době psaní této práce, téměř nevyužívá paradigmu *Producer–Consumer*. V budoucí práci je plánováno využít realizovaný systém pro HIL a proto bude třeba *Producer–Consumer* přístup ve značné míře aplikovat. Po aplikaci ovšem dojde ke významné komplikaci kódu, protože zavedení *Slice* funkcí způsobí znásobení počtu proměnných v kernelu. Jen na jednu sadu mezičípůků prvků  $k_{i1}$  pro velikosti proudů statoru  $i_{1\alpha}, i_{1\beta}$  a magnetických toků rotoru  $\psi_{2\alpha}, \psi_{2\beta}$  bude místo 6 vstupních proměnných potřeba proměnných 24. (je však možné použít pole a datový typ float, ovšem stále se jedná o znečitelnění kódu)

## 17 Popis pracoviště

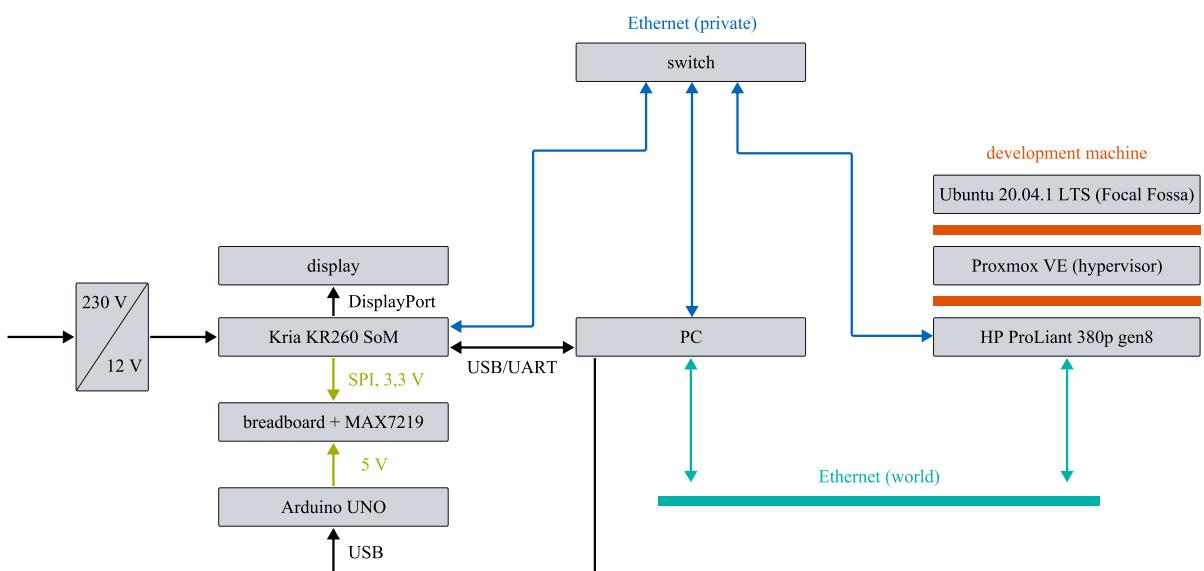
Na obr. 17 - 1 je zobrazeno blokové schéma pracoviště, které bylo vytvořeno v rámci této práce a slouží k vývoji akcelerovaných aplikcí.

Blok *PC* představuje osobní počítač, který slouží k přístupu k vyvýjenému pracovišti a je propojeno s vývojovou deskou KR260 pomocí *USB/UART* spojení, které je vhodné v případě, že nedošlo k inicializaci ethernet adaptéru. Vývojová deska je pomocí adaptéra *eth0* připojena do switche na pracovišti, ke kterému je také připojen uživatelský počítač. Pomocí modrého značení jsou do switche připojeny také bloky **development machine**. Fyzicky se jedná o připojení serveru pomocí adaptéra *eno2*, který je umístěn ve fakultním datacentru. Tímto způsobem je vytvořena virtuální síť, která je využívána pouze pro komunikaci mezi zařízeními vývojového pracoviště.

Připojení serveru pomocí adaptéra *eno1* do externí sítě **Ethernet (world)** přináší krom možnosti vzdáleného přístupu do virtualizované zařízení v hypervisoru Proxmox VE také možnost vzdáleného přístupu do sítě **Ethernet (private)**. Využití serveru pro tvorbu aplikací bylo zvoleno z důvodu výkonové a časové náročnosti tvoření *PetaLinux* systému, HW designu ve Vivado a tvoření bitstreamu ve Vitis IDE. Díky vzdáleným přístupům je možné pracovat na vývoji i mimo laboratoř. Protože v některých případech při restartování vývojové desky nedochází ke správné inicializaci adaptéra *eth0*, je v navazující práci plánováno připojit vývojovou desku k SBC (single board computer) pomocí *USB/UART* rozhraní a SBC do **Ethernet (private)**. K vývojové desce bude možné přistupovat cestou **Ethernet (world)** -> **development machine** -> **Ethernet (private)** -> PCB -> *USB/UART* -> Kria KR260. Toto fyzické spojení umožní přístup ke K26 pomocí *minicom* a manuální inicializaci adaptéru po restartování vývojové desky.

Protože obvod MAX7219 s LED maticí vyžaduje napájení v rozmezí 4 V až 5 V a výstupy PMOD dodávají napětí pouze 3,3 V, je třeba pro napájení testovacího rozhraní využít externího zdroje. V této práci bylo pro napájení obvodu využito z důvodu jednoduchosti desky Arduino UNO, která je napájena z USB rozhraní uživatelského počítače. provedení testovacího zapojení je znázorněno v části 17.1.

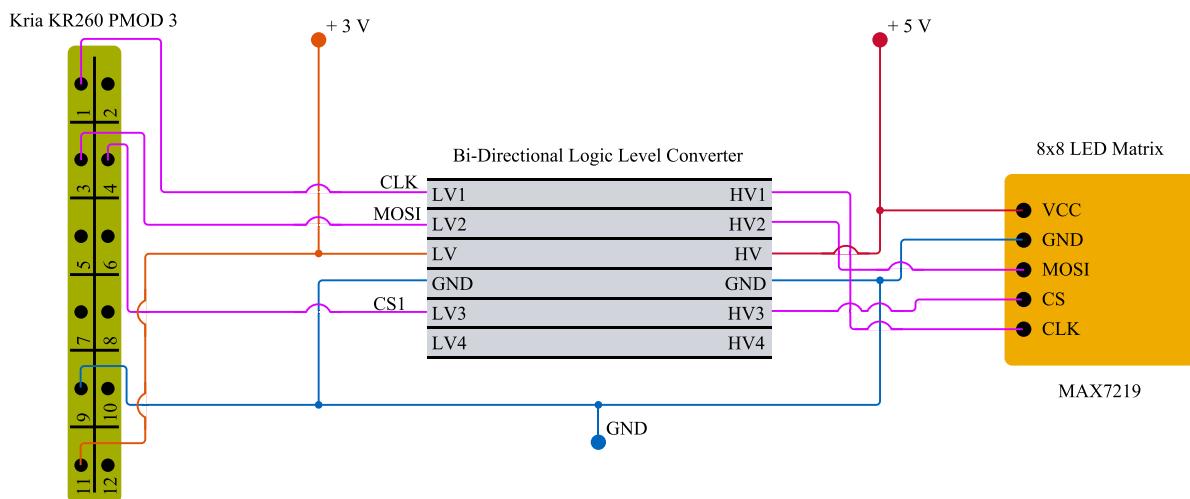
Představená architektura pracoviště byla tvořena takovým způsobem, aby nebylo problematické ji rozšiřovat o další prvky a umožňovala vzdálený přístup s podporou více aktivních uživatelů v jeden okamžik.



Obr. 17 - 1 Blokové schéma uspořádání vývojového pracoviště.

## 17.1 SPI komunikace

V částečech *SPI a Thread Loop* je představen způsob využití IP bloku AXI Quad SPI. Pomocí tohoto bloku je možné provádět komunikaci s externími zařízeními. Pokud by se jednalo o skutečnou aplikaci pro řízení elektrického pohonu, byly by jako externí zařízení použity ADC a DAC. Pro ukázkou funkčnosti SPI komunikace byl využit prvek MAX7219, který vyžaduje napájecí napětí v rozmezí 4 V až 5 V. Ovšem jak již bylo v části *Popis pracoviště* uvedeno, výstupní napětí využitých PMOD konektorů je pouze 3,3 V. Aby bylo možné tento obvod využít k demonstraci, je pro připojení PMOD konektorů k obovdnu MAX7219 využit převodník úrovní. Finální experimentální zapojení pro testování SPI komunikace je zobrazeno na 17 - 2.



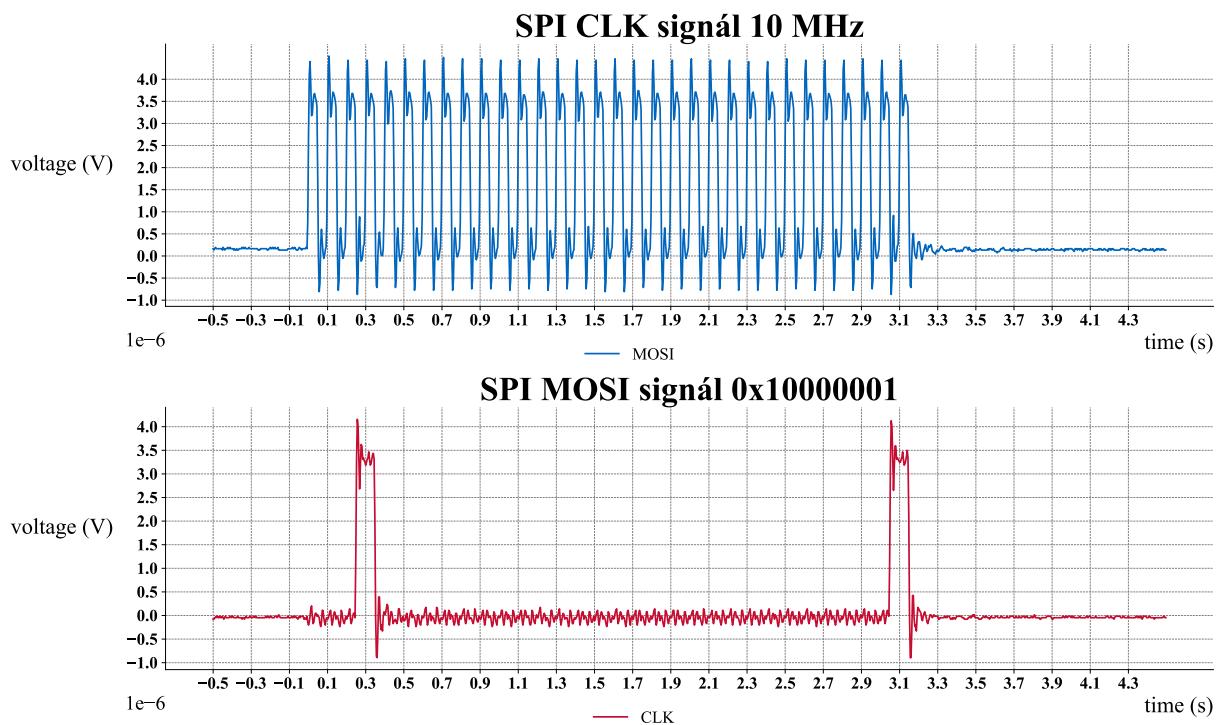
Obr. 17 - 2 Názorné schéma připojení PMOD 3 Xilinx Kria KR260 k LED Matici s obvodem MAX7219.

V rámci prozkoumávání funkčnosti SPI komunikace byly pomocí osciloskopu změřeny oscilogramy pro signály CLK a MOSI.

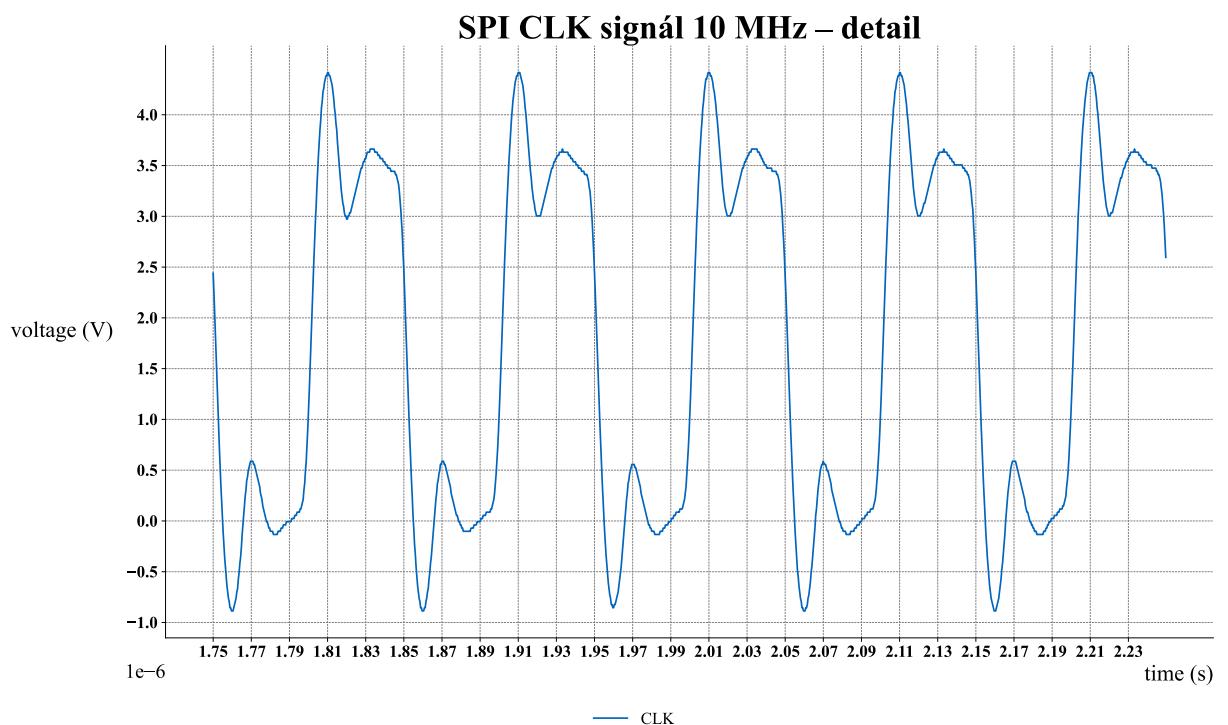
Na grafu 17 - 3 je možné pozorovat průběhy obou signálů a jejich vzájemnou závislost. Je vidět, že náběžná hrana signálu MOSI začíná před náběžnou hranou CLK. Tato souslednost je vytvořena z důvodu, aby již v okamžiku, kdy vzniká náběžná hrana CLK signálu, byla úroveň signálu MOSI ustálena na hodnotě 3,3 V.

Na obou signálech je vidět, že nedochází při náběžné hraně k dosáhnutí přesně úrovně 3,3 V, ale k překmitnutí hodnoty až na úroveň téměř 4,38431 V. Při sestupné hraně dochází k podkmitnutí hodnoty 0 V na hodnotu -0,854902 V. Při komunikaci s některými prvky nejsou tyto překmitny žádoucí a bylo by třeba provést kroky k jejich odstranění. Důvod nedodržení úrovní by bylo vhodné více prozkoumat, ovšem tento úkol by byl nad rámec této práce a je možné mu věnovat úsilí v nadcházejících pracích.

V případě, že nedochází k odesílání signálu MOSI pomocí osciloskopu 17 - 3 zjištěno, že se v signálu objevuje šum v napěťovém rozmezí přibližně - 0.200 V až 0.170 V. Po ukončení přenosu signálu CLK je šum již relativně malý. Je tudíž možné předpokládat, že rušení je způsobeno přenosem CLK signálu pomocí vodiče, který nezaručuje dostatečné odstínění možného EMC rušení a způsobuje tvorbu šumu v MOSI signálu.



Obr. 17 - 3 Oscilogram znázorňující časové průběhy SPI komunikace – 10 MHz CLK signál a MOSI signál, přenášející data 0x10000001.



Obr. 17 - 4 Oscilogram znázorňující detail časového průběhu SPI komunikace – 10 MHz CLK signál.

## 18 Poznatky získané profilováním aplikací

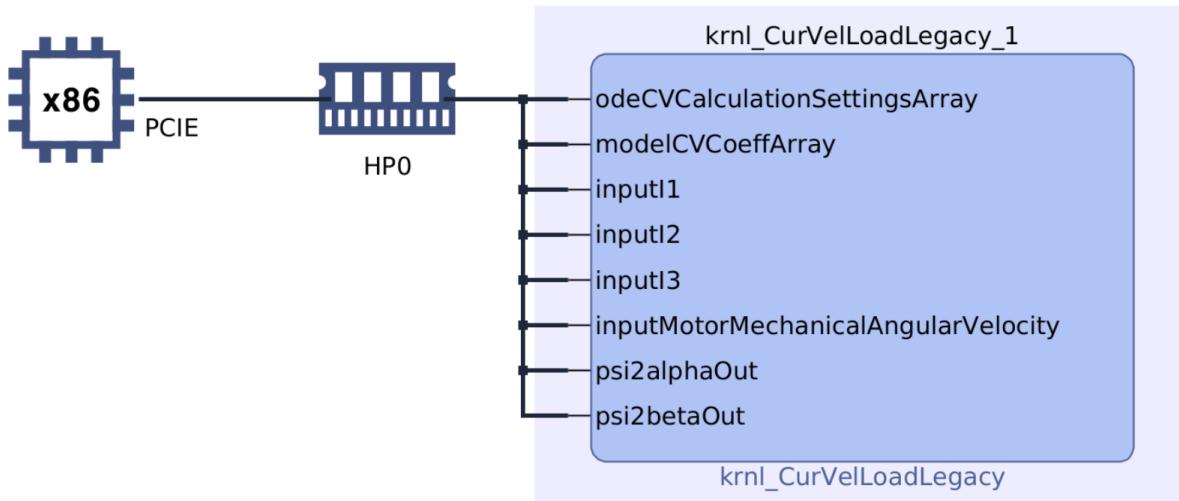
V této sekci budou představeny výsledky a poznatky ohledně vytvořených aplikací, které byly získány profilováním host aplikace (běžící na PS) pomocí knihovny `xrt_coreutil` a programu *Vitis Analyzer*.

### 18.1 Preloaded Data – Legacy Application

V části *Preloaded Data* byla představena aplikace, která používá starší verzi kódu v kernelu a PS.

Struktura systému aplikace, která je vizualizována pomocí Vitis Analyzer je zobrazena na 18 - 1.

Informace o skutečném využití zdrojů kernelem je pro porovnání jednotlivých aplikací, interagujících s kernelem, uvedeno v tab. 18 - 3.



Obr. 18 - 1 System diagram – Vitis Analyzer pro Preloaded Data aplikaci.

Tuto aplikaci je převážně vhodné analyzovat z pohledu rychlosti zpracování dat v kernelu v závislosti na velikosti přenášených dat. Aplikace byla testována pro zpracování jednoho milionu a sto tisíc sad hodnot velikostí fázových statorových proudů ( $i_{1a}(t)$ ,  $i_{1b}(t)$ ,  $i_{1c}(t)$ , v programu označeny jako  $I1$ ,  $I2$ ,  $I3$ ), velikosti mechanické otáčivé rychlosti motoru  $\Omega$  a složek magnetického toku rotoru  $\psi_{2\alpha}$  a  $\psi_{2\beta}$ .

V tabulce 18 - 1 jsou uvedeny vybrané hodnoty, získané analýzou běhu kernelů.

Dle získaných výsledků je možné konstatovat, že pokud po dokončení výpočtu kernelu dochází k ukládání hodnot do souboru a výpisu hodnot do konzole, není možné o navýšení doby běhu kernelu signifikantní. V případě, že byly aplikace spuštěny po sobě, docházelo k mírnému kolísání hodnot *total runtime*. Tudíž dané navýšení hodnoty mezi UVH a BUVH měřením je způsobeno nejspíše nestálostí systému a může být předmětem dalšího zkoumání. Zrychlení běhu kernelu se např. projevuje po opakováném spuštění kernelu, kdy vlivem zabudované optimalizace nedochází ke změně uložených hodnot, které jsou dány jako konstanty apod.

Je ovšem vhodné zmínit, že počet zpracovávaných hodnot v kernelu má značný vliv na dobu potřebnou na zpracování jedné sady hodnot. Po přepočtu hodnoty *total runtime* na *total runtime / number of steps* je vidět, že při zpracování desetinásobného počtu sad hodnot dochází ke snížení času potřebného na zpracování jedné sady téměř pětkrát. Při přepočtu doby potřebné na přenos hodnot veličin do a z globální paměti, označené jako *migrateMemObjects*, dochází ke snížení času téměř osmkrát.

U uvedených faktů je možné usoudit, že akcelerovaná aplikace pomocí kernelu v PL těží z rozsahu

zpracovávaných dat. Pokud je do globální paměti přeneseno veliké množství dat, které je kernelem zpracováno, bude doba potřebná na zpracování jedné hodnoty kratší, než pokud bude přeneseno dat méně. Proto se vyplácí akcelerovat aplikace, kde dochází k náročným matematickým výpočtům mnoha hodnot, které jsou prováděny nejlépe v cyklech.

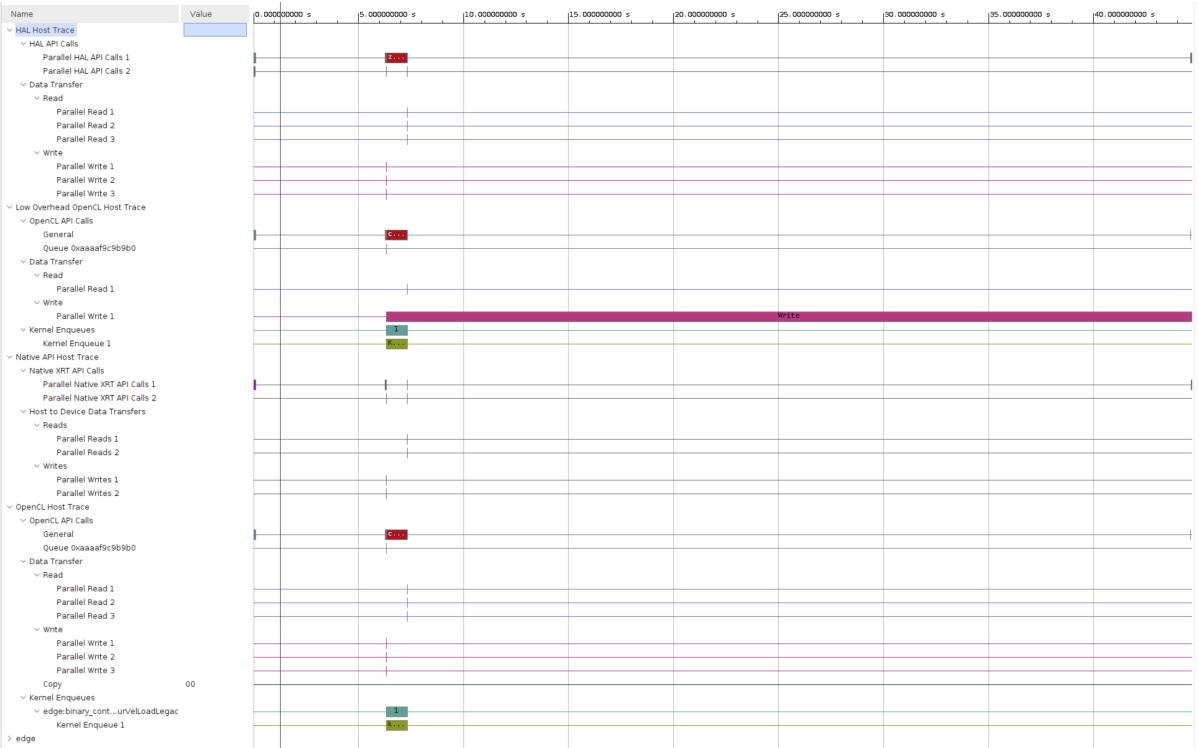
Negativní závěr v případě použití malého množství dat je možné pozorovat i u aplikace *CPU/FPGA*.

Je vhodné doplnit informaci z [5], že Xilinx MPSoC K26 používá pro přenos dat z PS do globální paměti pro PL PCIe s propustností dat až 6,0 Gb/s. V tomto případě se nejedná o PCIe pro komunikaci s externími prvky, ale s globální pamětí umístěné na MPSoC. Tudíž samotný přesun dat mezi pamětí PS a globální pamětí by měl probíhat vysokou rychlostí. V jednom z testovacích běhů aplikace *Preloaded Data* dochází k blokování běhu programu vlivem zápisu dat do globální paměti z PS po dobu přibližně 1,2 ms a vlivem čtení výsledných hodnot z této paměti po dobu přibližně 0,380 ms.

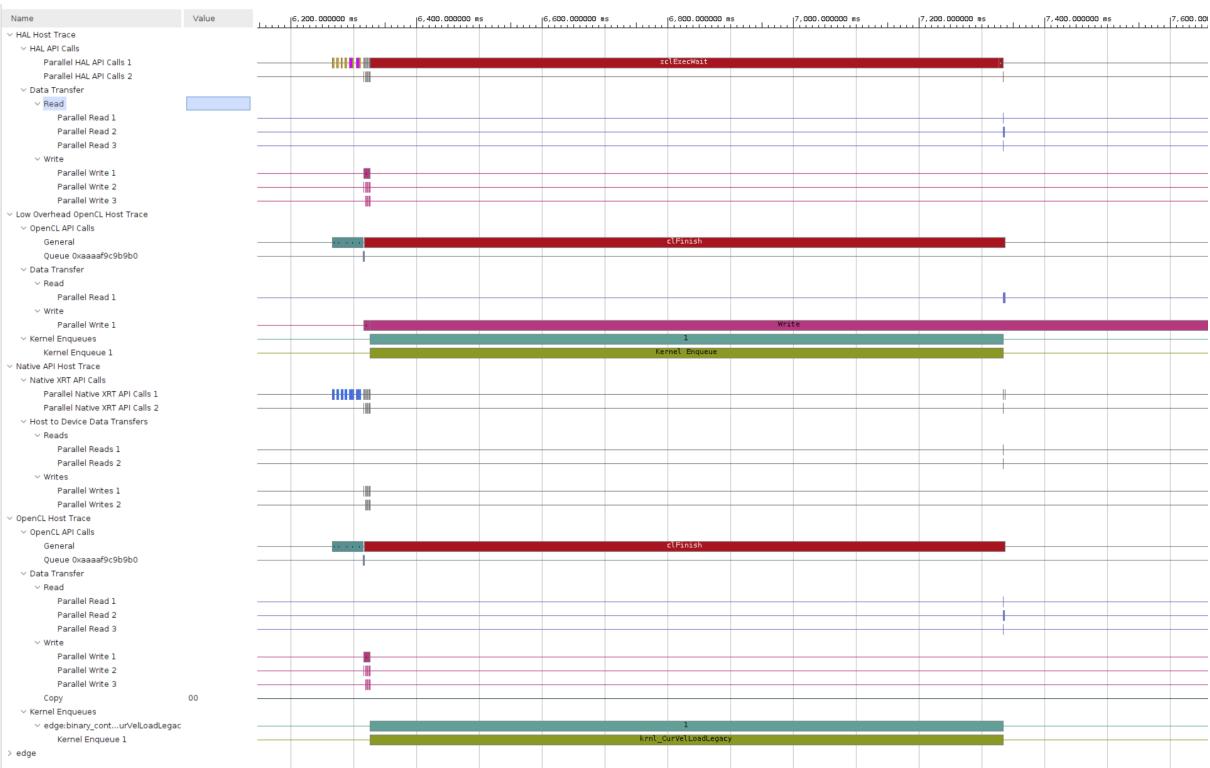
Je vhodné upozornit, že sice v obr. 18 - 3 je po přiblížení fialově naznačená aktivita *Parallel Write* nazvána jako *Host to Memory*. V případě v okamžiku běhu kernelu nedochází host programem k zápisu do globální paměti. Jedná se tedy nejspíše o zápis PL do globální paměti, ze které budou poté pomocí jiné instrukce čteny výsledné hodnoty do paměti PS. Ale i tato úvaha může být nesprávná, protože po ukončení běhu kernelu a vykonání instrukce *Read*, dochází až do konce celkového běhu programu k instrukci *Parallel Write*.

*Tab. 18 - 1 Porovnání vybraných hodnot běhu kernelu v aplikace Preloaded Data – Legacy App pro 1 milion a 100 tisíc sad hodnot. (UVH – ukládání a výpis hodnot, BUVH – bez ukládání a výpisu hodnot)*

Preloaded Data					
název	krok	total runtime (ms)	runtime 1 step ( $\mu$ s)	migrateMemObjects (ms)	clFinish (ms)
100 k hodnot, UVH	$1 \cdot 10^{-5}$	502,284	5,02284	0,749	503,691
1 M hodnot, UVH	$1 \cdot 10^{-6}$	1007,880	1,00788	0,940	1019,280
1 M hodnot, BUVH	$1 \cdot 10^{-6}$	1005,070	1,005070	0,907	1016,220



Obr. 18 - 2 Timeline Trace – Vitis Analyzer pro Preloaded Data aplikaci při zpracování 1 M dat. Na obrázku je zobrazen celý životní cyklus aplikace od startu až po ukončení.



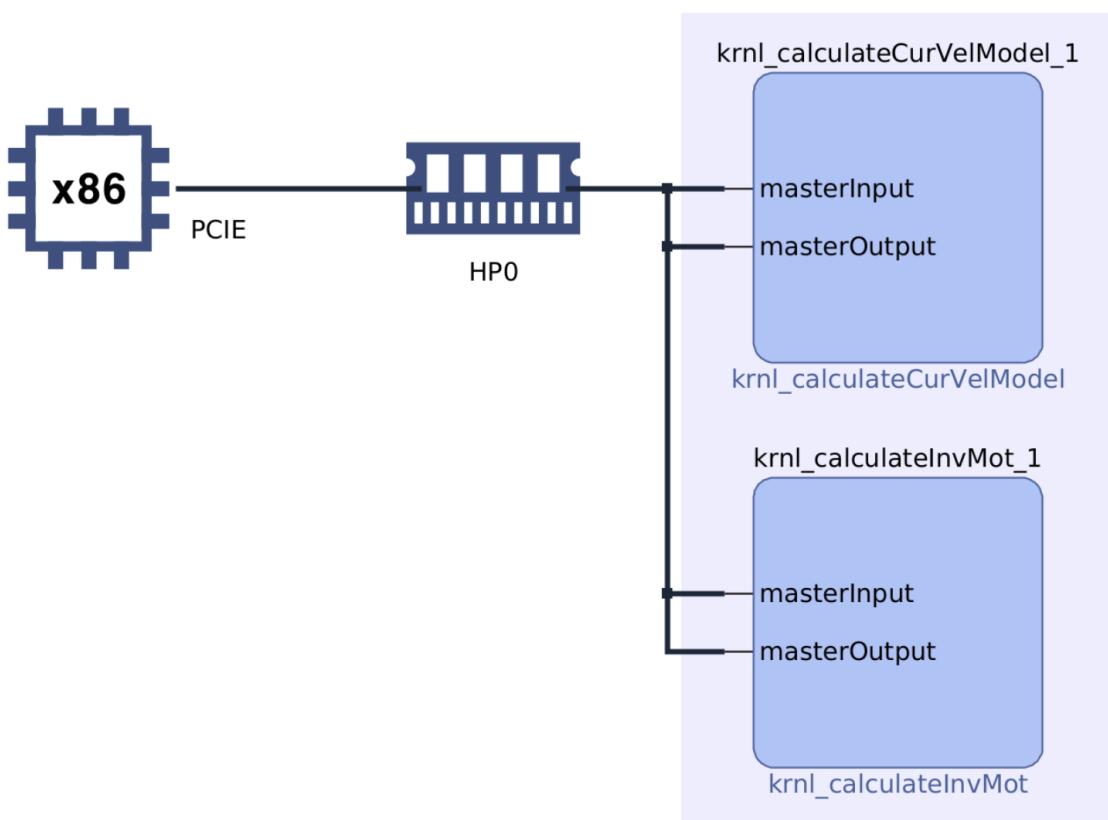
Obr. 18 - 3 Timeline Trace – Vitis Analyzer pro Preloaded Data aplikaci při zpracování 1 M dat. Na obrázku je zobrazena část, kdy je spuštěn kernel a aplikace v PS čeká na výsledky jeho kalkulaci.

## 18.2 CPU/FPGA

Aplikaci *CPU/FPGA* nebylo možné v její původní verzi analyzovat. V případě, že byla aplikace spuštěna pro 1 M steps (1 M souborů hodnot), aplikace běžela, ale nedokončila se v definovaném čase a byla *PetaLinux* systémem automaticky ukončena. Tato situace vzniká nejspíše vlivem toho, že systém není schopen při tolka iteracích spuštění kernelu ukládat soubory a hodnoty analýzy. V některých případech byla systémem zobrazena hláška *Killed* a v původním systému *PetaLinux* bez RT patche aplikace nebyla nikdy dokončena akceptovatelným způsobem. Z udaných důvodů vyplývá, že je vhodné analyzovat tuto aplikaci na menším souboru dat. Analýza byla provedena pro 1000 souborů hodnot (steps) a 100 souborů hodnot (steps).

V tabulce 18 - 2 jsou uvedeny výsledky daných běhů programu. Protože je aplikace postavena na iteracích spuštění kernelu a nikoliv na iteracích algoritmu uvnitř kernelu, je možné pozorovat odlišené výsledky, než které byly zjištěny u aplikace *Preloaded Data – Legacy Application*. V aplikaci *CPU/FPGA* nedochází při zvýšení počtu sad zpracovávaných hodnot ke snížení doby potřebné na jednu iteraci běhu kernelu.

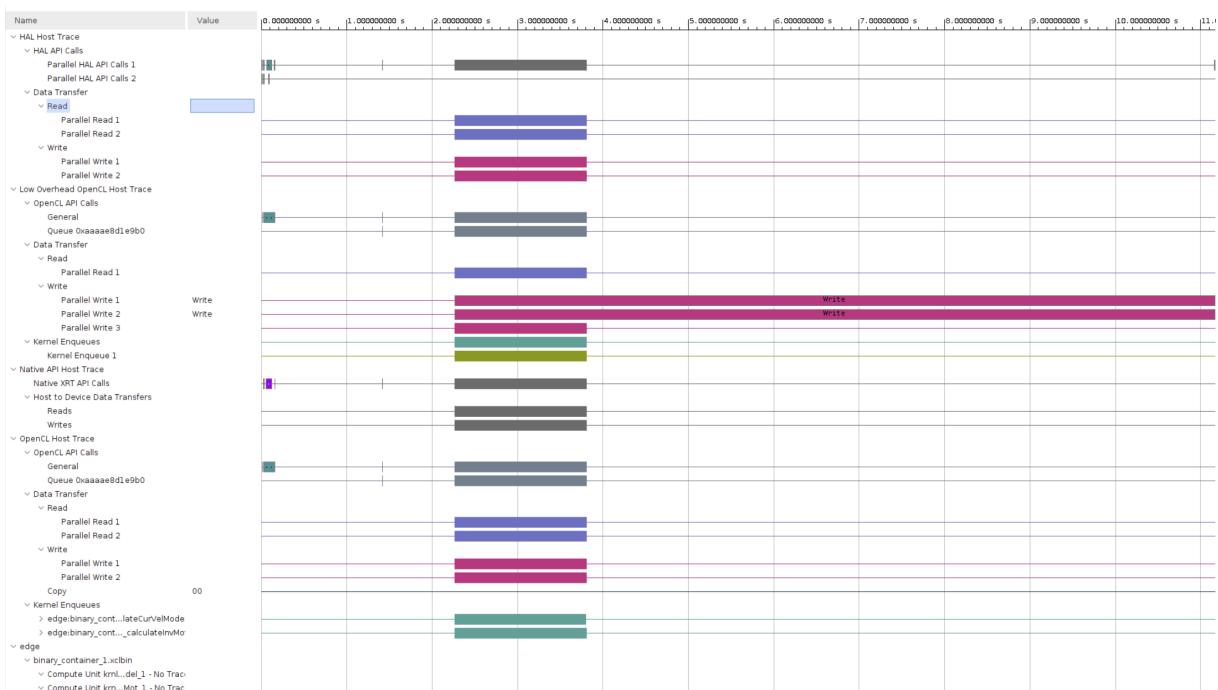
Ve stávající architektuře aplikace dochází k přesunu dat mezi `krnl_calculateCurVelModel` a `krnl_calculateInvMot` pomocí PS. Architektura kernelů a PS je zobrazena na obr. 18 - 4. Tento přenos dat představuje další instrukce, které je nutné vykonávat a může způsobit zpoždění běhu aplikace. Proto je vhodné v nadcházejících pracích analyzovat architekturu, kdy dochází k přenosu dat mezi jednotlivými kernely napřímo pomocí streamu dat. Tento způsob je představen firmou Xilinx v [60].



Obr. 18 - 4 System diagram – Vitis Analyzer pro CPU/FPGA aplikaci.

Tab. 18 - 2 Vybrané hodnoty běhu kernelu v podaplikaci CPU/FPGA.

CPU/FPGA		
název	hodnota (ms)	hodnota 1 step (ms)
krok	$1 \cdot 10^{-3}$	x
1000 steps		
total runtime krnl_calculateCurVelModel	110,916	0,110916
total runtime krnl_calculateInvMot	110,486	0,110486
device execution time	1539,1	1,5391
migrateMemObjects	115,889	0,11589
clFinish	626,687	0,626687
100 steps		
total runtime krnl_calculateCurVelModel	11,552	0,11552
total runtime krnl_calculateInvMot	10,442	0,10442
device execution time	141,249	1,41249
migrateMemObjects	10,678	0,10678
clFinish	59,294	0,59294



Obr. 18 - 5 Timeline Trace – Vitis Analyzer pro CPU/FPGA aplikaci při zpracování 1000 souborů dat. Na obrázku je zobrazen celý životní cyklus aplikace od startu až po ukončení.



Obr. 18 - 6 Timeline Trace – Vitis Analyzer pro CPU/FPGA aplikaci při zpracování 1000 souborů dat. Na obrázku je zobrazena přiblížená část, kdy dochází k iteraci spuštění jednotlivých kernelů.

## 18.3 Využití zdrojů pro PL jednotlivých akcelerovaných aplikací

Tab. 18 - 3 Využití zdrojů PL pro akcelerované aplikace.

Kernel	LUT	Registry	BRAM	URAM	DSP
krnl_CurVelLoadLegacy	6 520	8 003	2	0	19
krnl_calculateCurVelModel	23 713	23 490	3	0	103
krnl_calculateInvMot	14 207	16 319	9	0	75

## Závěr

Aliquam dapibus leo velit, ultrices eleifend mi feugiat eget. Aliquam euismod facilisis turpis, nec lobortis libero aliquet sit amet. Aenean suscipit ante eget ipsum viverra hendrerit. Ut sed massa sed nisi tempus dapibus in eu enim. Nullam vitae odio laoreet, malesuada purus non, faucibus orci. Lorem ipsum dolor sit amet, consectetur adipiscing elit. Etiam eget odio quis enim laoreet imperdiet nec eu nunc. Maecenas ut consequat purus. Duis faucibus risus nec metus cursus placerat. Phasellus sapien justo, laoreet in pulvinar ut, maximus nec velit.

## Literatura

- [1] HARDING, Sharon. What Is an SoC? A Basic Definition. In: *Blog post* [online]. 11. 09. 2019 [cit. 2023-03-18]. Dostupné z: <https://www.tomshardware.com/reviews/glossary-soc-system-on-chip-definition,5890.html>.
- [2] XILINX, Inc. System-on-Modules (SOMs): How and Why to Use Them. In: *Xilinx Website* [online]. [B.r.] [cit. 2023-03-10]. Dostupné z: <https://www.xilinx.com/products/som/what-is-a-som.html>.
- [3] XILINX, Inc. Kria KR260 Robotics Starter Kit. In: *Xilinx Website* [online]. [B.r.] [cit. 2023-03-10]. Dostupné z: <https://www.xilinx.com/products/som/kria/kr260-robotics-starter-kit.html>.
- [4] XILINX, Inc. Kria SOM Carrier Card Design Guide (UG1091). In: *AMD Xilinx Documentation Portal* [online]. 27. 07. 2022 [cit. 2023-03-18]. Dostupné z: <https://docs.xilinx.com/r/en-US/ug1091-carrier-card-design/Introduction>.
- [5] XILINX, Inc. Kria K26 SOM Data Sheet (DS987). In: *AMD Xilinx Documentation Portal* [online]. 26. 07. 2022 [cit. 2023-03-18]. Dostupné z: <https://docs.xilinx.com/r/en-US/ds987-k26-som>.
- [6] XILINX, Inc. Antmicro's open source Kria K26 Devboard. In: *GitHub* [online]. [B.r.] [cit. 2023-03-10]. Dostupné z: <https://github.com/antmicro/kria-k26-devboard>.
- [7] SASS, Ronald; SCHMIDT, Andrew G. *Embedded systems design with platform FPGAs: principles and practices*. Boston: Morgan Kaufmann, 2010. ISBN 0123743338.
- [8] ANDINA, Juan J. R.; TORRE ARNANZ, Eduardo de la; VALDÉS PEÑA, María D. *FPGAs: Fundamentals, Advanced Features, and Applications in Industrial Electronics*. 1. vyd. Bosa Roca: CRC Press, 2017;2015; ISBN 9781439896990;1439896992;
- [9] What Is Accelerated Computing, and Why Is It Important? In: *Xilinx, Inc.* [Online]. [B.r.] [cit. 2022-11-03]. Dostupné z: <https://www.xilinx.com/applications/adaptive-computing/what-is-accelerated-computing-and-why-is-it-important.html>.
- [10] NALCACI, Gamze; YILDIRIM, Doğan; CADIRCI, Isik; ERMIS, Muammer. Selective Harmonic Elimination for Variable Frequency Traction Motor Drives Using Harris Hawks Optimization. *IEEE Transactions on Industry Applications*. 2022, roč. 58, č. 4, s. 4778–4791. Dostupné z DOI: 10.1109/TIA.2022.3174828.
- [11] APPLE, Inc. Explore the new system architecture of Apple silicon Macs. In: *Apple WWDC Video* [online]. [B.r.] [cit. 2023-03-18]. Dostupné z: <https://developer.apple.com/videos/play/wwdc2020/10686/>.
- [12] PANG, Aiken; MEMBREY, Peter; SLUŽBA), SpringerLink (online. *Beginning FPGA: Programming Metal: Your brain on hardware: Programming Metal*. Berkeley, CA: Apress, 2017;2016; č. Book, Whole. Dostupné také z: <https://go.exlibris.link/JzysQtpz>.
- [13] Sphery vs. shapes, the first raytraced game that is not software. In: *GitHub* [online]. 14. 07. 2022 [cit. 2022-11-06]. Dostupné z: <https://github.com/JulianKemmerer/PipelineC-Graphics/blob/main/doc/Sphery-vs-Shapes.pdf>.
- [14] Ray tracing (graphics). In: *Wikipedia* [online]. 06. 11. 2022 [cit. 2022-11-06]. Dostupné z: [https://en.wikipedia.org/wiki/Ray\\_tracing\\_\(graphics\)](https://en.wikipedia.org/wiki/Ray_tracing_(graphics)).

- [15] GROVER, Naresh; K.SONI, M. Reduction of Power Consumption in FPGAs - An Overview. *International journal of information engineering and electronic business*. 2012, roč. 4, č. 5, s. 50–69. ISBN 2074-9023.
- [16] Amazon EC2 F1 Instances. In: *Amazon AWS* [online]. [B.r.] [cit. 2022-11-06]. Dostupné z: <https://aws.amazon.com/ec2/instance-types/f1/>.
- [17] VANDERBAUWHEDE, Wim; BENKRID, Khaled. *High-Performance Computing Using FPGAs*. Springer Publishing Company, Incorporated, 2013. ISBN 1461417902.
- [18] RODRÍGUEZ-ANDINA, Juan J.; VALDÉS-PEÑA, María D.; MOURE, María J. Advanced Features and Industrial Applications of FPGAs---A Review. *IEEE Transactions on Industrial Informatics*. 2015, roč. 11, č. 4, s. 853–864. Dostupné z DOI: 10.1109/TII.2015.2431223.
- [19] Hardware-in-the-Loop (HIL) Simulation. In: *The MathWorks, Inc.* [Online]. [B.r.] [cit. 2022-11-06]. Dostupné z: <https://www.mathworks.com/discovery/hardware-in-the-loop-hil.html>.
- [20] NAOUAR, Mohamed-Wissem; MONMASSON, Eric; NAASSANI, Ahmad Ammar; SLAMA-BELKHODJA, Ilhem; PATIN, Nicolas. FPGA-Based Current Controllers for AC Machine Drives---A Review. *IEEE Transactions on Industrial Electronics*. 2007, roč. 54, č. 4, s. 1907–1925. Dostupné z DOI: 10.1109/TIE.2007.898302.
- [21] DIGILENT, Inc. Zybo. In: *Digilent Documentation* [online]. [B.r.] [cit. 2022-11-11]. Dostupné z: <https://digilent.com/reference/programmable-logic/zybo/start>.
- [22] DIGILENT, Inc. Zybo Z7 Migration Guide. In: *Digilent Documentation* [online]. [B.r.] [cit. 2022-11-11]. Dostupné z: <https://digilent.com/reference/programmable-logic/zybo-z7/migration-guide>.
- [23] XILINX, Inc. Zynq-7000 SoC Technical Reference Manual. In: *Xilinx Documentation* [online]. 02. 04. 2021 [cit. 2022-11-11]. Dostupné z: <https://docs.xilinx.com/v/u/en-US/ug585-Zynq-7000-TRM>.
- [24] DIGILENT, Inc. Zybo Reference Manual. In: *Digilent Documentation* [online]. [B.r.] [cit. 2022-11-11]. Dostupné z: <https://digilent.com/reference/programmable-logic/zybo/reference-manual>.
- [25] XILINX, Inc. Kria KR260 Robotics Starter Kit User Guide (UG1092). In: *AMD Xilinx Documentation Portal* [online]. 17. 05. 2022 [cit. 2023-04-05]. Dostupné z: <https://docs.xilinx.com/r/en-US/ug1092-kr260-starter-kit/Interfaces>.
- [26] XILINX, Inc. Kria K26 System-on-Module. In: *AMD Xilinx Product Brief* [online]. [B.r.] [cit. 2023-04-05]. Dostupné z: <https://www.xilinx.com/content/dam/xilinx/publications/product-briefs/xilinx-k26-product-brief.pdf>.
- [27] XILINX, Inc. Vitis Unified Software Platform Documentation: Application Acceleration Development (UG1393). In: *AMD Xilinx Documentation Portal* [online]. [B.r.] [cit. 2022-11-18]. Dostupné z: <https://docs.xilinx.com/r/en-US/ug1393-vitis-application-acceleration/>.
- [28] XILINX, Inc. XTP743 - Kria KR260 Starter Kit Carrier Card Schematics (v1.0). In: *AMD Xilinx Board Files* [online]. 09. 06. 2022 [cit. 2023-04-06]. Dostupné z: <https://www.xilinx.com/member/forms/download/design-license.html?cid=bad0ada6-9a32-427e-a793-c68fed567427&filename=xtp743-kr260-schematic.zip>.

- [29] XILINX, Inc. XTP685 - Kria K26 SOM XDC File (v1.0). In: *AMD Xilinx Board Files* [online]. 14. 05. 2021 [cit. 2023-04-06]. Dostupné z: <https://www.xilinx.com/member/forms/download/design-license.html?cid=29e0261a-9532-4a47-bb06-38c83bbbb8c0&filename=xtp685-kria-k26-som-xdc.zip>.
- [30] ADMIN, Confluence Wiki; ROY, Debraj; DYLAN. Embedded SW Support. In: *Xilinx Wiki* [online]. 28. 02. 2023 [cit. 2023-04-06]. Dostupné z: <https://xilinx-wiki.atlassian.net/wiki/spaces/A/pages/18841631/Embedded+SW+Support>.
- [31] XILINX, Inc. Pre-Built Applications for Kria System-on-Modules. In: *Xilinx Website* [online]. [B.r.] [cit. 2023-04-06]. Dostupné z: <https://www.xilinx.com/products/app-store/kria.html>.
- [32] FOUNDATION, Linux. Real-Time Linux. In: *Linux Foundation DokuWiki* [online]. [B.r.] [cit. 2023-04-06]. Dostupné z: <https://wiki.linuxfoundation.org/realtime/start>.
- [33] LIPČÁK, Ondřej; BAUER, Jan. Doprovodný materiál k přednáškám. In: *Materiál k přednáškám předmětu BIMI4EPT* [online]. [B.r.] [cit. 2023-02-28]. Dostupné z: <https://moodle.cvut.cz>.
- [34] KOBRLE, Pavel; PAVELKA, Jiří. *Elektrické pohony a jejich řízení*. 3. přepracované vydání. V Praze: České vysoké učení technické, 2016. ISBN 978-80-01-06007-0.
- [35] XILINX, Inc. Downloads. In: *AMD Xilinx Downloads* [online]. [B.r.] [cit. 2022-11-19]. Dostupné z: <https://www.xilinx.com/support/download.html>.
- [36] XILINX, Inc. Downloads. In: *AMD Xilinx PetaLinux Tools* [online]. [B.r.] [cit. 2022-11-19]. Dostupné z: <https://www.xilinx.com/products/design-tools/embedded-software/petalinux-sdk.html>.
- [37] XILINX, Inc. PetaLinux Tools Documentation: Reference Guide (UG1144). In: *AMD Xilinx Documentation Portal* [online]. [B.r.] [cit. 2022-11-18]. Dostupné z: <https://docs.xilinx.com/r/en-US/ug1144-petalinux-tools-reference-guide>.
- [38] REGHENZANI, Federico; MASSARI, Giuseppe; FORNACIARI, William. The Real-Time Linux Kernel: A Survey on PREEMPT\_RT. *ACM Comput. Surv.* 02/2019, roč. 52, č. 1. ISSN 0360-0300. Dostupné z DOI: 10.1145/3297714.
- [39] COMPANY], LogicTronix [FPGA Design + Machine Learning. Real Time Optimization in Petalinux with RT Patch on MPSoC. In: *Hackster.io, an Avnet Community* [online]. 10. 12. 2021 [cit. 2023-04-07]. Dostupné z: <https://www.hackster.io/LogicTronix/real-time-optimization-in-petalinux-with-rt-patch-on-mpsoc-5f4832>.
- [40] ERRAPART, Andrei; IGELBRINK, Felix. How to install the linux-rt (Real-Time) patch. In: *Trenz Electronic Wiki* [online]. 05. 10. 2016 [cit. 2023-04-07]. Dostupné z: <https://wiki.trenz-electronic.de/display/PD/How+to+install+the+linux-rt+%28Real-Time%29+patch>.
- [41] XILINX, Inc. Vivado Design Suite User Guide: Release Notes, Installation, and Licensing (UG973). In: *AMD Xilinx Documentation Portal* [online]. [B.r.] [cit. 2022-11-18]. Dostupné z: <https://docs.xilinx.com/r/en-US/ug973-vivado-release-notes-install-license/>.
- [42] DIGILENT, Inc. Vivado Board Files for Digilent FPGA Boards, 2022. In: *GitHub.io* [online]. 25. 03. 2022 [cit. 2022-11-26]. Dostupné z: <https://github.com/Digilent/vivado-boards>.
- [43] DIGILENT, Inc. Installing Vivado, Vitis, and Digilent Board Files. In: *Digilent Reference* [online]. [B.r.] [cit. 2022-11-26]. Dostupné z: <https://digilent.com/reference/programmable-logic/guides/installing-vivado-and-vitis>.

- [44] KNITTER, Whitney. Getting Started with the Kria KR260 in PetaLinux 2022.1. In: *Hackster.io, an Avnet Community* [online]. 12. 08. 2022 [cit. 2023-04-10]. Dostupné z: <https://www.hackster.io/whitney-knitter/getting-started-with-the-kria-kr260-in-petalinux-2022-1-daec16>.
- [45] KNITTER, Whitney. Add Peripheral Support to Kria KR260 Vivado 2022.1 Project. In: *Hackster.io, an Avnet Community* [online]. 11. 08. 2022 [cit. 2023-04-10]. Dostupné z: <https://www.hackster.io/whitney-knitter/add-peripheral-support-to-kria-kr260-vivado-2022-1-project-874960>.
- [46] KNITTER, Whitney. Getting Started with the Kria KR260 in Vivado 2022.1. In: *Hackster.io, an Avnet Community* [online]. 31. 07. 2022 [cit. 2023-04-10]. Dostupné z: <https://www.hackster.io/whitney-knitter/getting-started-with-the-kria-kr260-in-vivado-2022-1-33746d>.
- [47] XILINX, Inc. Vitis Custom Embedded Platform Creation Example on KV260 – Step 1: Create the Vivado Hardware Design and Generate XSA. In: *Xilinx Vitis Tutorials Github Repository* [online]. 22. 05. 2022 [cit. 2023-04-13]. Dostupné z: [https://xilinx.github.io/Vitis-Tutorials/2022-1/build/html/docs/Vitis\\_Platform\\_Creation/Design\\_Tutorials/01-Edge-KV260/step1.html](https://xilinx.github.io/Vitis-Tutorials/2022-1/build/html/docs/Vitis_Platform_Creation/Design_Tutorials/01-Edge-KV260/step1.html).
- [48] XILINX, Inc. Zynq UltraScale+ MPSoC Processing System Product Guide (PG201). In: *Xilinx Documentation* [online]. 11. 05. 2021 [cit. 2023-04-13]. Dostupné z: <https://docs.xilinx.com/r/en-US/pg201-zynq-ultrascale-plus-processing-system/Fabric-Reset-Enable>.
- [49] ADMIN, Confluence Wiki; BHATT, Madhav. Zynq UltraScale+ MPSoC Restart solution. In: *Xilinx Wiki* [online]. 24. 08. 2022 [cit. 2023-04-13]. Dostupné z: <https://xilinx-wiki.atlassian.net/wiki/spaces/A/pages/18842142/GPIO+User+Space+App>.
- [50] ZAKOPAL, Petr et al. [Kria SOM KR260 Starter Kit] Schematic (pdf) vs constrains (xdc) pin confusion. Possible explanation on fan pinout. In: *Xilinx Support Community Forum* [online]. 18. 03. 2023 [cit. 2023-04-13]. Dostupné z: [https://support.xilinx.com/s/question/0D54U00006alUwcSAE/kria-som-kr260-starter-kit-schematic-pdf-vs-constrains-xdc-pin-confusion-possible-explanation-on-fan-pinout?language=en\\_US](https://support.xilinx.com/s/question/0D54U00006alUwcSAE/kria-som-kr260-starter-kit-schematic-pdf-vs-constrains-xdc-pin-confusion-possible-explanation-on-fan-pinout?language=en_US).
- [51] XILINX, Inc. Vitis Custom Embedded Platform Creation Example on KV260 – Step 2: Step 2: Create the Software Components. In: *Xilinx Vitis Tutorials Github Repository* [online]. 16. 05. 2022 [cit. 2023-04-14]. Dostupné z: [https://xilinx.github.io/Vitis-Tutorials/2022-1/build/html/docs/Vitis\\_Platform\\_Creation/Design\\_Tutorials/01-Edge-KV260/step2.html](https://xilinx.github.io/Vitis-Tutorials/2022-1/build/html/docs/Vitis_Platform_Creation/Design_Tutorials/01-Edge-KV260/step2.html).
- [52] XILINX, Inc. AXI Quad SPI v3.2 LogiCORE IP Product Guide. In: *AMD Xilinx Documentation Portal* [online]. 26. 04. 2022 [cit. 2023-04-14]. Dostupné z: <https://docs.xilinx.com/r/en-US/pg153-axi-quad-spi>.
- [53] XILINX, Inc. AXI Timer v2.0 LogiCORE IP Product Guide. In: *AMD Xilinx Documentation Portal* [online]. 05. 10. 2016 [cit. 2023-04-14]. Dostupné z: <https://docs.xilinx.com/v/u/en-US/pg079-axi-timer>.
- [54] LIMITED, Linaro. The DeviceTree Specification. In: *Specification page* [online]. [B.r.] [cit. 2023-04-14]. Dostupné z: <https://www.devicetree.org/>.
- [55] Device Tree for Dummies! - Thomas Petazzoni, Free Electrons. In: *YouTube* [online]. 15. 11. 2013 [cit. 2023-04-14]. Dostupné z: [https://youtu.be/m\\_NyYEBxfn8](https://youtu.be/m_NyYEBxfn8). Kanál uživatele The Linux Foundation.
- [56] XILINX, Inc. DFX-MGR Github Repository. In: *GitHub* [online]. 23. 08. 2022 [cit. 2023-04-15]. Dostupné z: <https://github.com/Xilinx/dfx-mgr>.

- [57] XILINX, Inc. Stream Free Running Kernel (HLS C/C++). In: *GitHub* [online]. 2020 [cit. 2023-04-19]. Dostupné z: [https://xilinx.github.io/Vitis\\_Accel\\_Examples/2020.2/html/streaming\\_free\\_running\\_k2k.html](https://xilinx.github.io/Vitis_Accel_Examples/2020.2/html/streaming_free_running_k2k.html).
- [58] XILINX, Inc. Vitis High-Level Synthesis User Guide (UG1399). In: *AMD Xilinx Documentation Portal* [online]. 07. 12. 2022 [cit. 2023-04-20]. Dostupné z: <https://docs.xilinx.com/r/en-US/ug1399-vitis-hls>.
- [59] CORPORATION, Microsemi. Space Vector Modulation v4.1, User Guide, UG0468. In: *User Guide* [online]. [B.r.] [cit. 2023-04-20]. Dostupné z: [https://www.microsemi.com/document-portal/doc\\_download/133496-ug0468-space-vector-modulation-v4-1-user-guide](https://www.microsemi.com/document-portal/doc_download/133496-ug0468-space-vector-modulation-v4-1-user-guide).
- [60] XILINX, Inc. Stream Free Running Kernel (HLS C/C++). In: *Xilinx Vitis Accel Examples Github Repository* [online]. [B.r.] [cit. 2023-04-24]. Dostupné z: [https://xilinx.github.io/Vitis\\_Accel\\_Examples/2022.2/html/streaming\\_free\\_running\\_k2k.html](https://xilinx.github.io/Vitis_Accel_Examples/2022.2/html/streaming_free_running_k2k.html).
- [61] HOSSEINABADY, Mohammad. Vitis 2021.1 Embedded Platform for Zybo-Z7-20, 2018. In: *Hackster.io, an Avnet Community* [online]. 16. 08. 2021 [cit. 2022-11-26]. Dostupné z: <https://www.hackster.io/mohammad-hosseinabady2/vitis-2021-1-embedded-platform-for-zybo-z7-20-d39e1a>.
- [62] XILINX, Inc. SoCs with Hardware and Software Programmability. In: *Xilinx Website* [online]. [B.r.] [cit. 2022-11-11]. Dostupné z: <https://www.xilinx.com/products/silicon-devices/soc/zynq-7000.html>.
- [63] DIGILENT, Inc. Zybo Petalinux BSP Project, 2018. In: *GitHub.io* [online]. 29. 03. 2018 [cit. 2022-11-26]. Dostupné z: <https://github.com/Digilent/Petalinux-Zybo>.
- [64] MESSINGER, Roy. GPIO and Petalinux - Part 1. In: *LinkedIn Article* [online]. 20. 06. 2020 [cit. 2023-02-28]. Dostupné z: <https://www.linkedin.com/pulse/gpio-petalinux-part-1-roy-messinger/>.
- [65] MESSINGER, Roy. GPIO and Petalinux - Part 2. In: *LinkedIn Article* [online]. 27. 06. 2020 [cit. 2023-02-28]. Dostupné z: <https://www.linkedin.com/pulse/gpio-petalinux-part-2-roy-messinger/>.
- [66] MESSINGER, Roy. GPIO and Petalinux - Part 3 (Go, UIO, Go!) In: *LinkedIn Article* [online]. 23. 07. 2021 [cit. 2023-02-28]. Dostupné z: <https://www.linkedin.com/pulse/gpio-petalinux-part-3-go-uiο-roy-messinger/>.
- [67] ADMIN, Confluence Wiki; O'NEAL, Terry. GPIO User Space App. In: *Xilinx Wiki* [online]. 14. 01. 2020 [cit. 2023-02-28]. Dostupné z: <https://xilinx-wiki.atlassian.net/wiki/spaces/A/pages/18842142/GPIO+User+Space+App>.
- [68] INC., Xilinx. Zynq-7000 SoC Technical Reference Manual (UG585). In: *Xilinx Documentation Portal* [online]. 02. 04. 2021 [cit. 2023-02-28]. Dostupné z: <https://docs.xilinx.com/v/u/en-US/ug585-Zynq-7000-TRM>.
- [69] THE MATHWORKS, Inc. Understanding PID Control, Part 2: Anti-windup for PID control. In: *The MathWorks, Inc. Videos and Webinars* [online]. [B.r.] [cit. 2023-03-04]. Dostupné z: <https://www.mathworks.com/videos/understanding-pid-control-part-2-expanding-beyond-a-simple-integral-1528310418260.html>.

## Příloha A: Seznam symbolů a zkratek

### A.1 Seznam zkratek

<b>ADC</b>	Analog-to-digital converter
<b>AI</b>	Artificial Intelligence
<b>API</b>	Application Programming Interface
<b>APU</b>	Application processor unit
<b>ASHW</b>	Application Specific Hardware
<b>ASIC</b>	Application Specific Integrated Circuits
<b>ASIC</b>	Application Specific Integrated Circuit
<b>ASM</b>	Asynchronous Motor
<b>AXI</b>	Advanced eXtensible Interface
<b>BB</b>	Base Board
<b>BRAM</b>	Block RAM
<b>BTN</b>	Button
<b>BUVH</b>	bez ukládání a výpis hodnot
<b>CC</b>	Carrier Card
<b>CLK</b>	Clock Signal
<b>CMOS</b>	Complementary metal-oxide-semiconductor
<b>CPU</b>	Central Processing Unit
<b>DAC</b>	Digital-to-analog converter
<b>DHCP</b>	Dynamic Host Configuration Protocol
<b>DMA</b>	Direct Memory Access
<b>DSP</b>	Digital Signal Processing
<b>DT</b>	Device Tree
<b>dtbo</b>	Device Tree Blob Object
<b>dtc</b>	Device Tree Compiler
<b>DTO</b>	Device Tree Overlay
<b>dtsi</b>	Device Tree Source Include
<b>EMC</b>	Electromagnetic compatibility
<b>FIFO</b>	First In First Out
<b>FOC</b>	Field Oriented Control
<b>FPD</b>	Full Power Domain
<b>FPGA</b>	Field Programmable Gate Array
<b>FPGAs</b>	Field Programmable Gate Arrays
<b>GIC</b>	General Interrupt Controller
<b>GND</b>	Ground
<b>GPIO</b>	General-Purpose Input/Output
<b>GPUs</b>	Graphics Processing Units
<b>GPUs</b>	Graphics Processing Unit
<b>GUI</b>	Graphical User Interface
<b>HATs</b>	Hardware Attached On Top
<b>HDL</b>	Hardware Description Language

<b>HIL</b>	Hardware In the Loop
<b>HLS</b>	High Level Synthesis
<b>HW</b>	Hardware
<b>I/O</b>	Input/Output
<b>IDE</b>	Integrated Development Environment
<b>IOP</b>	I/O peripherals
<b>IP</b>	Intellectual Property
<b>IRQ</b>	Interrupt Request
<b>LCD</b>	Liquid Crystal Display
<b>LED</b>	Light Emitting Diode
<b>LPD</b>	Low Power Domain
<b>LTS</b>	Long Term Support
<b>LUT</b>	Look-Up Table
<b>LUTs</b>	Look-Up Tables
<b>ML</b>	Machine Learning
<b>MOSI</b>	Master Out
<b>MPSoC</b>	Multiprocessor System on a Chip
<b>MUX</b>	Multiplexer
<b>PC</b>	Personal Computer
<b>PCB</b>	Printed Circuit Board
<b>PCIe</b>	Peripheral Component Interconnect Express
<b>PI</b>	Proporcionální Integrační
<b>PL</b>	Programmable Logic
<b>PLA</b>	Programmable Logic Arrays
<b>PLD</b>	Programmable Logic Devices
<b>PMOD</b>	PMOD Interface
<b>PS</b>	Processing System
<b>PWM</b>	Pulse Width Modulation
<b>RAM</b>	Random Access Memory
<b>RK4</b>	Runge–Kutta 4. řádu
<b>ROM</b>	Read Only Memory
<b>RT</b>	Real Time
<b>RTL</b>	Register Transfer Level
<b>SBC</b>	Single Board Computer
<b>scp</b>	secure copy
<b>SD</b>	Solid Drive
<b>SDK</b>	Software Development Kit
<b>SFTP</b>	Secure File Transfer Protocol
<b>SoC</b>	System on a chip
<b>SOM</b>	System on Module
<b>SOMs</b>	System on Modules
<b>SPI</b>	Serial Peripheral Interface

<b>SRAM</b>	Static Random Access Memory
<b>ssh</b>	Secure Shell
<b>SVM</b>	Space Vector Modulation
<b>SW</b>	Software
<b>TPUs</b>	Tensor Processing Units
<b>U+</b>	Kladná polarita napětí U
<b>UART</b>	Universal Asynchronous Receiver-Transmitter
<b>UIO</b>	Userspace I/O
<b>URAM</b>	Unified Random Access Memory
<b>USB</b>	Universal Serial Bus
<b>UVH</b>	ukládání a výpis hodnot
<b>VE</b>	Virtual Environment
<b>VHDL</b>	Very High-Speed Integrated Circuit Hardware Description Language
<b>XDC</b>	Xilinx Synopsys Design Constraints
<b>xo</b>	Xilinx Object
<b>XPR</b>	Vivado Project File
<b>XRT</b>	Xilinx Runtime
<b>XSA</b>	Xilinx Support Archive
<b>XSCT</b>	Xilinx Software Command-Line Tool

## A.2 Seznam symbolů

$f_n$	(Hz)	jmenovitá napájecí frekvence stroje
$I_n$	(A)	jmenovitý fázový proud stroje (efektivní hodnota)
$I_1$	(A)	velikost proudu statoru $i_1(t)$ procházející první fází do řízeného motoru, reprezentace v programu
$\underline{i}_1^{\alpha\beta}$	(A)	prostorový vektor statorového proudu v souřadnicovém systému $\alpha\beta$
$i_{1\alpha}$	(A)	složka vektoru statorového proudu v souřadnicovém systému spojeném se statorem stroje
$i_{1a}(t)$	(A)	proud statoru procházející první fází do řízeného motoru
$i_{1\beta}$	(A)	složka vektoru statorového proudu v souřadnicovém systému spojeném se statorem stroje
$i_{1b}(t)$	(A)	proud statoru procházející druhou fází do řízeného motoru
$i_{1c}(t)$	(A)	proud statoru procházející třetí fází do řízeného motoru
$I_2$	(A)	velikost proudu statoru $i_2(t)$ procházející druhou fází do řízeného motoru, reprezentace v programu
$\underline{i}_2^{\alpha\beta}$	(A)	prostorový vektor rotorového proudu v souřadnicovém systému $\alpha\beta$
$I_3$	(A)	velikost proudu statoru $i_3(t)$ procházející třetí fází do řízeného motoru, reprezentace v programu

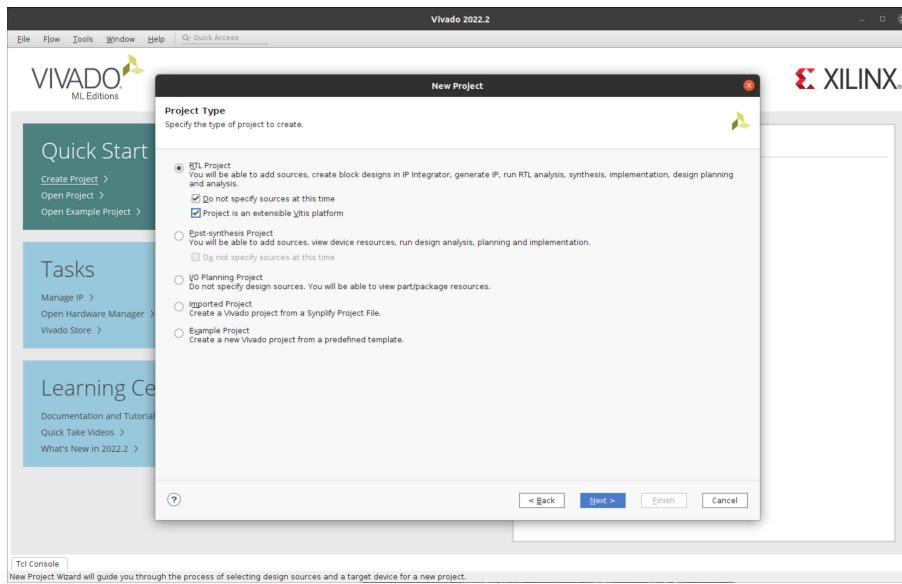
$\underline{i}_1^k$	(A)	prostorový vektor statorového proudu v obecném souřadnicovém systému $k$
$K$	(-)	konstanta Clarkovi transformace při volbě $\omega_k = 0$
$\sigma$	(-)	rozptyl
$L_1$	(H)	statorová indukčnost
$L_{2\sigma}$	(H)	rotorová rozptylová indukčnost
$L_1$	(H)	rotorová indukčnost
$L_m$	(H)	magnetizační indukčnost
$J$	(kg·m <sup>2</sup> )	moment setrvačnosti
$M$	(Nm)	vnitřní elektromechanický moment
$M_z$	(Nm)	zátěžný moment
$n_n$	(min <sup>-1</sup> )	jmenovité otáčky stroje
$\omega$	(s <sup>-1</sup> )	elektrická úhlová rychlosť rotoru
$\Omega$	(s <sup>-1</sup> )	mechanická úhlová rychlosť
$\omega_k$	(s <sup>-1</sup> )	elektrická otáčivá rychlosť souřadnicového systému $k$
$P_n$	(W)	jmenovitý výkon stroje
$p_p$	(-)	počet polpárů stroje
$\psi_2^k$	(Wb)	prostorový vektor rotorového toku v obecném souřadnicovém systému $k$
$\psi_1^k$	(Wb)	prostorový vektor statorového toku v obecném souřadnicovém systému $k$
$\psi_2^{\alpha\beta}$	(Wb)	prostorový vektor rotorového toku v souřadnicovém systému $\alpha\beta$
$\psi_{2\alpha}$	(Wb)	složka vektoru rotorového magnetického toku v souřadnicovém systému spojeném se statorem stroje
$\psi_{2\beta}$	(Wb)	složka vektoru rotorového magnetického toku v souřadnicovém systému spojeném se statorem stroje
$\psi_2$	(Wb)	velikost vektoru magnetického toku rotirzz
$L_{1\sigma}$	(H)	statorová rozptylová indukčnost
$R_1$	(Ω)	rezistivita statorového vinutí
$R_2$	(Ω)	rezistivita rotorového vinutí
$h$	(-)	krok metody
$U_n$	(V)	jmenovité sdružené napájecí napětí stroje
$\cos(\varphi_n)$	(-)	jmenovitý účinník stroje
$\underline{i}_1^k$	(A)	prostorový vektor proudu statoru v obecném souřadnicovém systému $k$
$\underline{i}_2^k$	(A)	prostorový vektor proudu rotoru v obecném souřadnicovém systému $k$

$\underline{u}_1^k$	(V)	prostorový vektor napětí statoru v obecném souřadnicovém systému $k$
$\underline{u}_1^{\alpha\beta}$	(V)	prostorový vektor napětí statoru v obecném souřadnicovém systému $\alpha\beta$
$u_{1\alpha}$	(V)	složka vektoru napětí statoru v souřadnicovém systému spojeném se statorem stroje
$u_{1\beta}$	(V)	složka vektoru napětí statoru v souřadnicovém systému spojeném se statorem stroje
$\underline{u}_2^k$	(V)	prostorový vektor napětí rotoru v obecném souřadnicovém systému $k$
$\underline{u}_2^{\alpha\beta}$	(V)	prostorový vektor napětí rotoru v souřadnicovém systému $\alpha\beta$

## Příloha B: Tvorba HW designu pro Digilent Zynq-7000 vývojovou desku

V této části bude představen postup tvorby HW architektury pro vývojovou desku Digilent Zynq-7000. Postup tvorby platformy byl částečně převzat z [61]. V případě, že je požadováno vytvoření dalších speciálních bloků v čipu PL je třeba do blokového designu vložit odpovídající IP bloky, které zajistí potřebnou funkcionality.

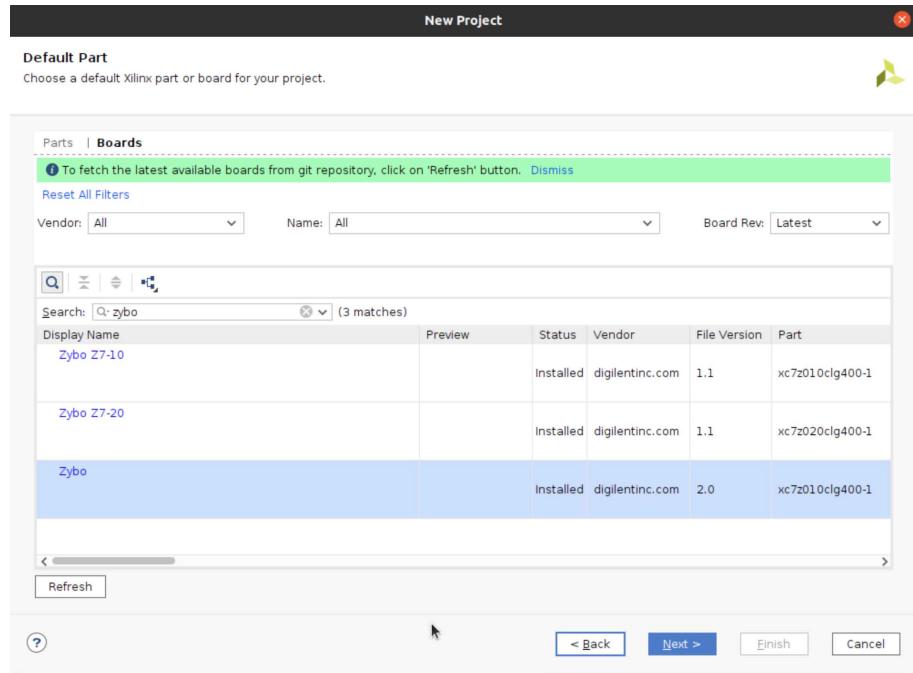
Nejprve je nutné vytvořit nový Vivado projekt a pojmenovat ho dle požadavků. Při výběru typu projektu je nutné zvolit možnost *RTL Project* a aktivovat možnost *Project is an extensible Vitis platform*. Tento úkon je naznačen na obr. B - 1.



Obr. B - 1 Xilinx Vivado – volba typu projektu pro Digilent Zynq.

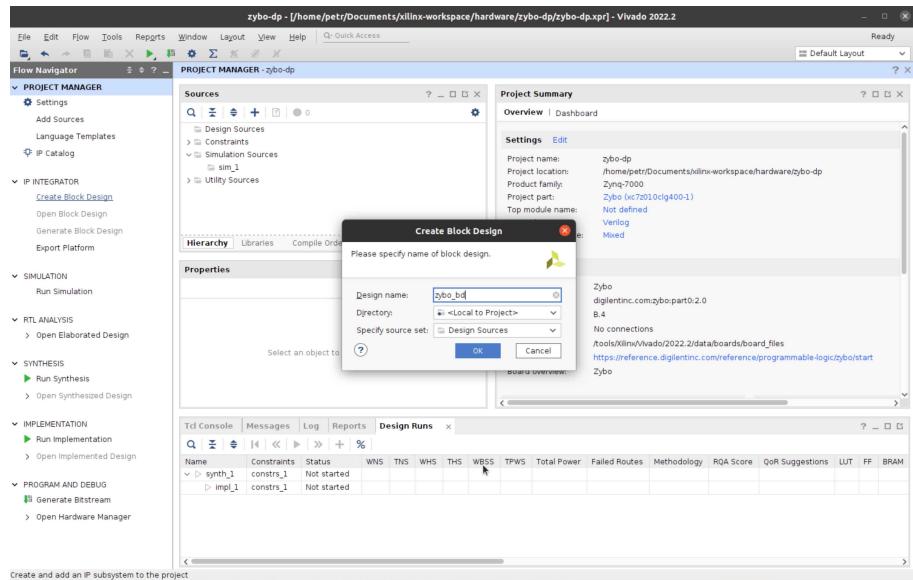
Následně v nabídce *Xilinx part* vybrat možnost *Board* a do vyhledávání zadat název využívané desky. V této práci bude využíváno desky *Zybo*. Díky instalovaným *board files*, představených v části *Vivado Board Files*, je možné nalézt požadovanou desku verze 2.0 a pokračovat v tvorbě designu. Výběr základního HW je zobrazen na obr. B - 2.

Po úspěšné inicializaci projektu je pro další pokračování nutné v menu *Flow Navigator/IP Integra-*



Obr. B - 2 Xilinx Vivado – výběr základního HW, pro který bude vytvářena architektura pro Digilent Zybo.

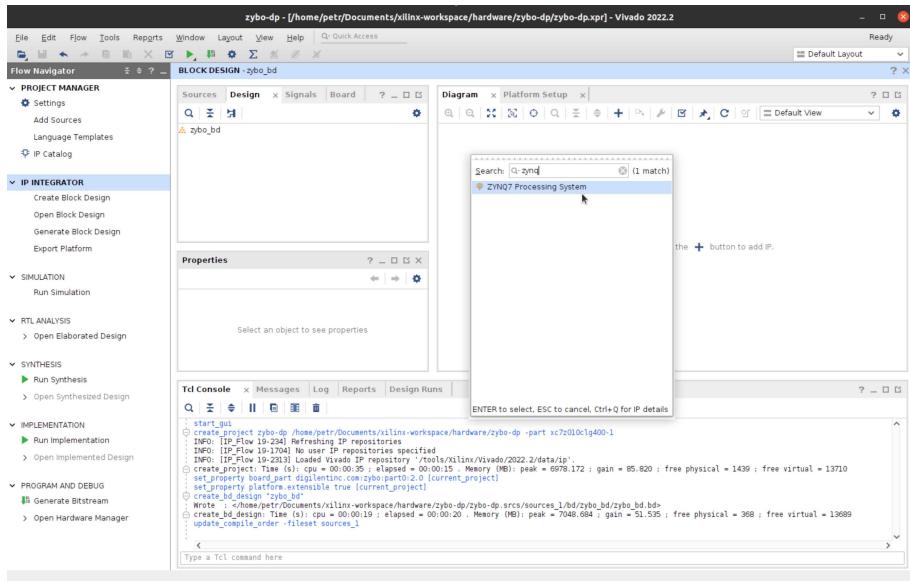
tor zvolit možnost *Create Block Design* a vytvořit nový blokový design. Tvorba blokového designu je naznačena na obr. B - 3.



Obr. B - 3 Xilinx Vivado – vytváření Block Design pro Digilent Zybo.

Nyní je možné již přistoupit k tvorbě vlastní architektury. Prvotním krokem tvorby fesignu je vložit blok *ZYNQ7 Processing System* a zvolit nově zobrazenou možnost *Run Block Automation*. V těchto pomocných automatizacích je většinou výhodné ponechávat nastavené výchozí hodnoty, které jsou pro většinu tvořeného HW designu dostačující. Menu s výběrem IP bloku ZynQ PS je zobrazeno na obr. B - 4.

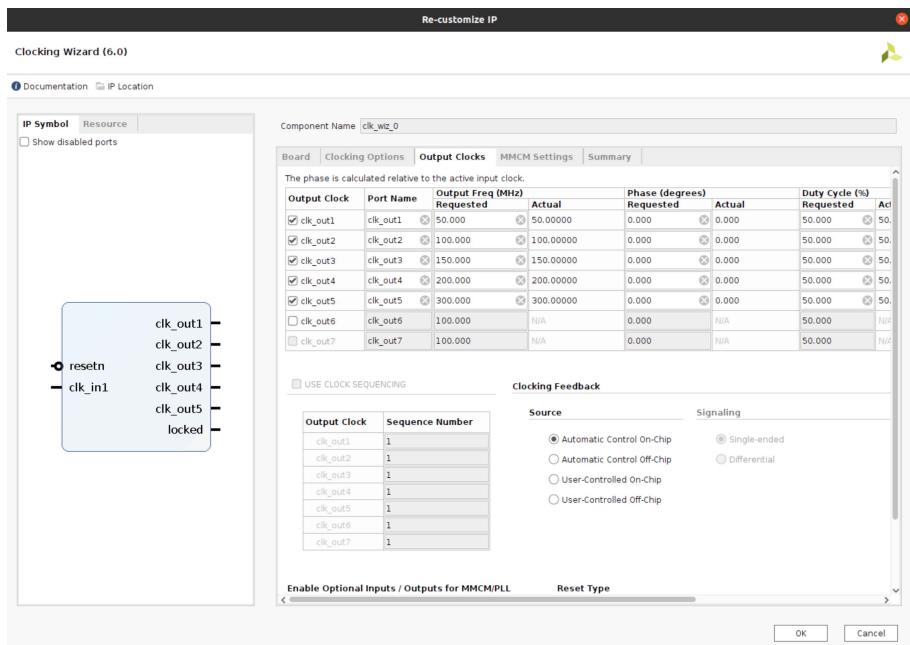
Poté je pro funkční akcelerované aplikace nutné vložit do designu blok *Clocking Wizard*, ve kterém nastavit v záložce *Output Clocks*, aby byl signál aktivní v 0 a aktivovat pět výstupních signálů *Clock*.



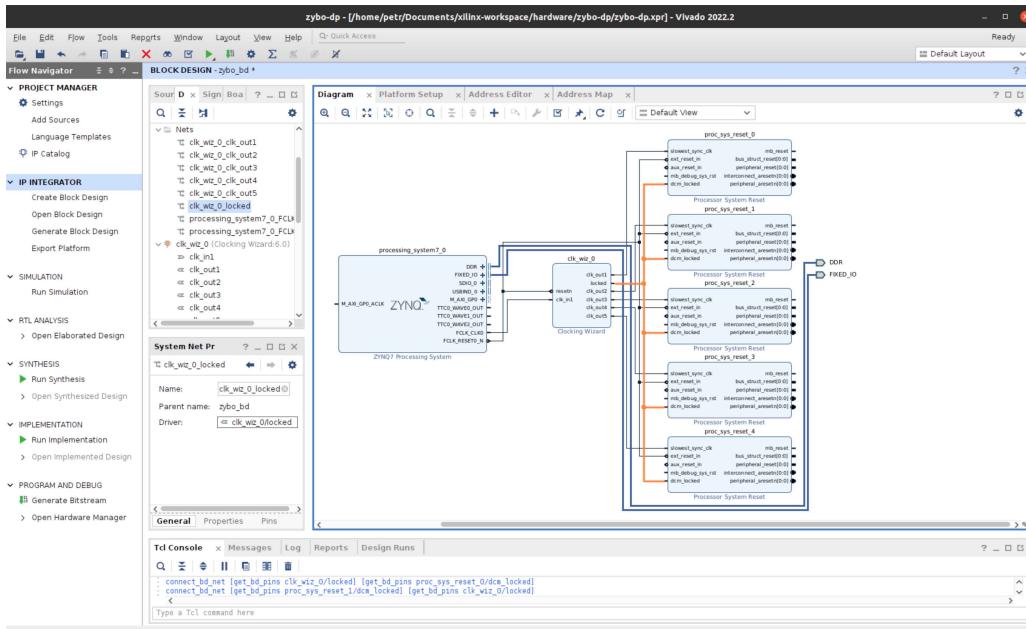
Obr. B - 4 Xilinx Vivado – vložení bloku ZYNQ7 Processing System pro Digilent Zybo.

Těmto signálům je po aktivaci možné nastavit taktovací frekvenci na 50, 100, 150, 200 a 300 Hz. Poté je nutné na výstup *FCLK\_CLK0* bloku *ZYNQ7 Processing System* připojit vstup *clk\_in1* a k výstupu *FCLK\_RESET0\_N* vstup *resetn*.

Po nastavení bloku *Clocking Wizard* je zapotřebí do designu vložit pět bloků *Processor System Reset*. Následuje propojení odpovídajících výstupů bloků *Clocking Wizard* s názvem *clk\_outX*, kde *X* značí pořadí výstupního signálu, s odpovídajícími bloky *Processor System Reset* a jejich vstupy *slowest\_sync\_clk*. Ke všem vstupům *dcm\_locked* bloků *Processor System Reset* je nutné připojit výstup *locked Clocking Wizard*. A konečně ke všem vstupům *ext\_reset\_in* připojit výstup *FCLK\_RESET0\_N* ZynQ bloku. Představené propojení jednotlivých bloků je možné pozorovat na obr. B - 6.



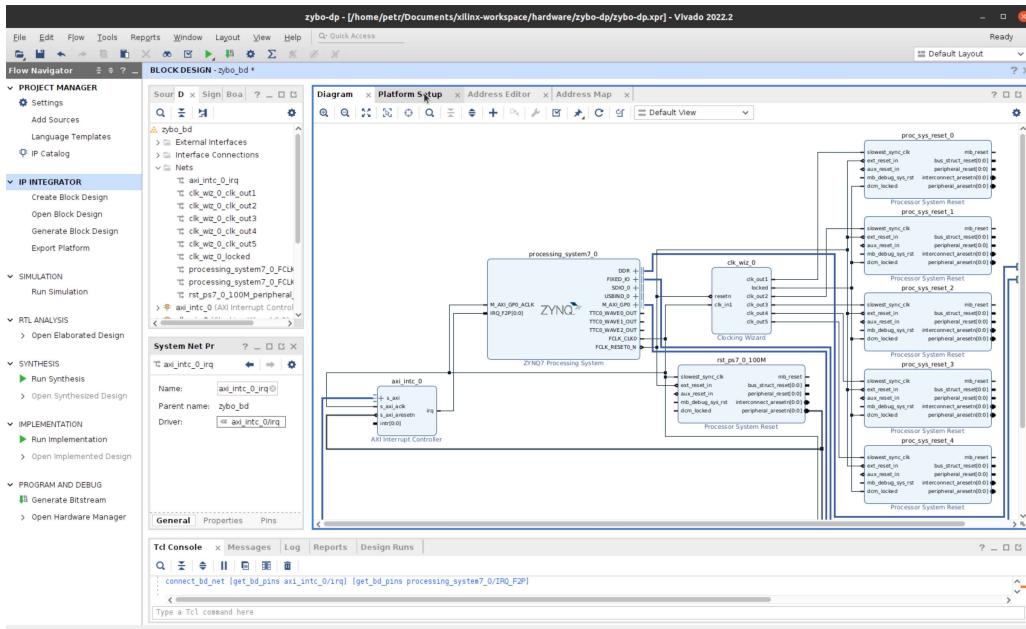
Obr. B - 5 Xilinx Vivado – nastavení výstupních taktovacích signálů pro Digilent Zybo.



Obr. B - 6 Xilinx Vivado – propojení bloků taktování pro Digilent Zybo.

Nyní je možné otevřít nastavení *ZYNQ7 Processing System* a v záložce *Interrupts* povolit nastavení *Fabric Interrupts/PL-PS Interrupt Ports/IRQ\_F2P* přerušení. Následně do designu je nutné vložit blok řídící přerušení se jménem *AXI Interrupt Controller*, otevřít jeho nastavení a v sekci *Processor Interrupt Type and Connection* změnit nastavení *Interrupt Output Connection* z *Bus* na *Single*. Následně je opět možné spustit automatické propojení jednotlivých bloků s výchozím nastavením.

Aby byly přerušení funkční, je třeba propojit výstup bloku *AXI Interrupt Controller* se jménem *irq* se vstupem bloku *ZYNQ7 Processing System IRQ\_F2P*. Minimální funkční blokový design je zobrazen na obr. B - 7.



Obr. B - 7 Xilinx Vivado – minimální funkční blokový design pro akcelerovanou aplikaci pro Digilent Zybo.

Nyní je možné přejít ze záložky *Diagram* do záložky *Platform Setup* ve které je pro zajištění funkč-

nosti nutné nastavit určité potřebné konektory a výstupy. Následuje nastavení parametrů bloku *ZYNQ7 Processing System* v záložce *AXI Port* dle tabulky č. B - 1.

*Tab. B - 1 Ukázka nastavených AXI portů v Xilinx Vivado platformě pro Digilent Zybo.*

Name	Enabled	Mexport	SP Tag
M_AXI_GP1	X	M_AXI_GP	-
S_AXI_ACP	O	-	-
S_AXI_HP0	X	S_AXI_HP	HP0
S_AXI_HP1	X	S_AXI_HP	HP1
S_AXI_HP2	X	S_AXI_HP	HP2
S_AXI_HP3	X	S_AXI_HP	HP3

Aby bylo možné zapisovat do globální paměti přes MAXI Adapter je nutné povolit funkci vybraných portů v bloku *AXI Interconnect*. V této práci byly povoleny porty *M01\_AXI* až *M32\_AXI*.

Následně v záložce *Clock* je nutné povolit *clk\_outx*, kde  $x \in <1, 5>$ , nastavit jejich odpovídající ID a jako výchozí použít taktovací signál 100 MHz.

Dále je v záložce *Interrupt* nutné aktivovat výstup *intr* bloku *AXI Interrupt Controller*.

Aby bylo možné případně provádět HW-emulaci, je nutné v kartě *Diagram* zvolit blok *ZYNQ7 Processing System* a v záložce *Block Properties* v nabídce *SELECTED\_SIM\_MODEL* zvolit možnost *tlm*. [61]

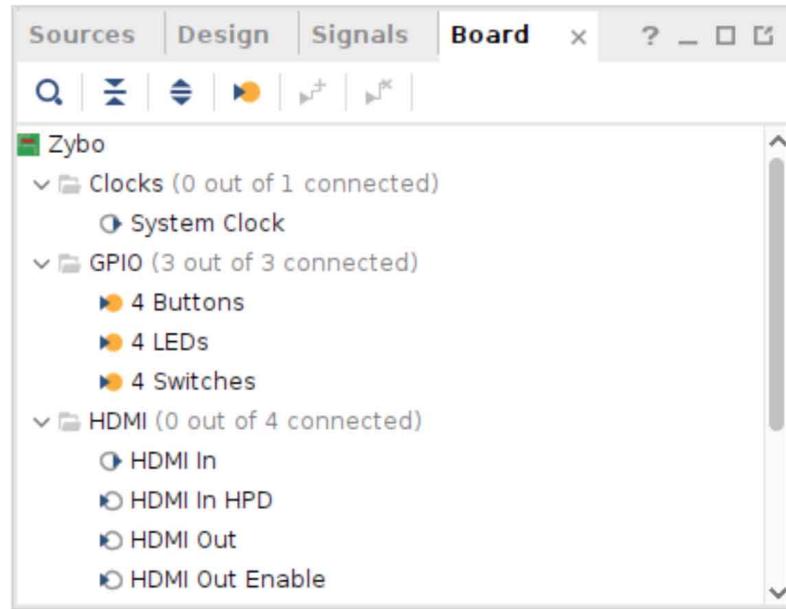
V této práci nebylo dosaženo funkční SW ani HW simulace pro desku Digilent Zybo z neznámých důvodů. Pokud byl emulátor QEMU spuštěn zvlášť pomocí příkazové řádky a přes příkaz byly *scp* přesunuty potřebné soubory, jednalo se pouze o SW simulaci bez připojeného PL a tudíž nebylo možné algoritmy ověřit.

Pro zajištění funkčních GPIO (General Purpose Input/Output) pro ovládání LED signalizace, tlačítek a přepínačů, připojených na PL, je nutné do blokového designu z karty *Board/Zybo/GPIO* vložit potřebné IP. Po kliknutí pomocí pravého tlačítka myši na vybraný blok je nutné zvolit z nabídky *Connect board component* a požadovaný GPIO interface. Blok *AXI GPIO* je automaticky vložen do blokového designu a jeho přítomnost je signalizována na kartě *Board/Zybo/GPIO* zvýrazněním vložených bloků (ukázka na obr. B - 8). Dle požadavku uživatele je možné vybrat zda bude využíváno *GPIO* nebo *GPIO2* rozhraní. Dle vybraného rozhraní budou poté adresovány jednotlivé výstupy a vstupy v *PetaLinux*. Ukázka vytvořeného designu s IP pro GPIO je na obr. B - 9.

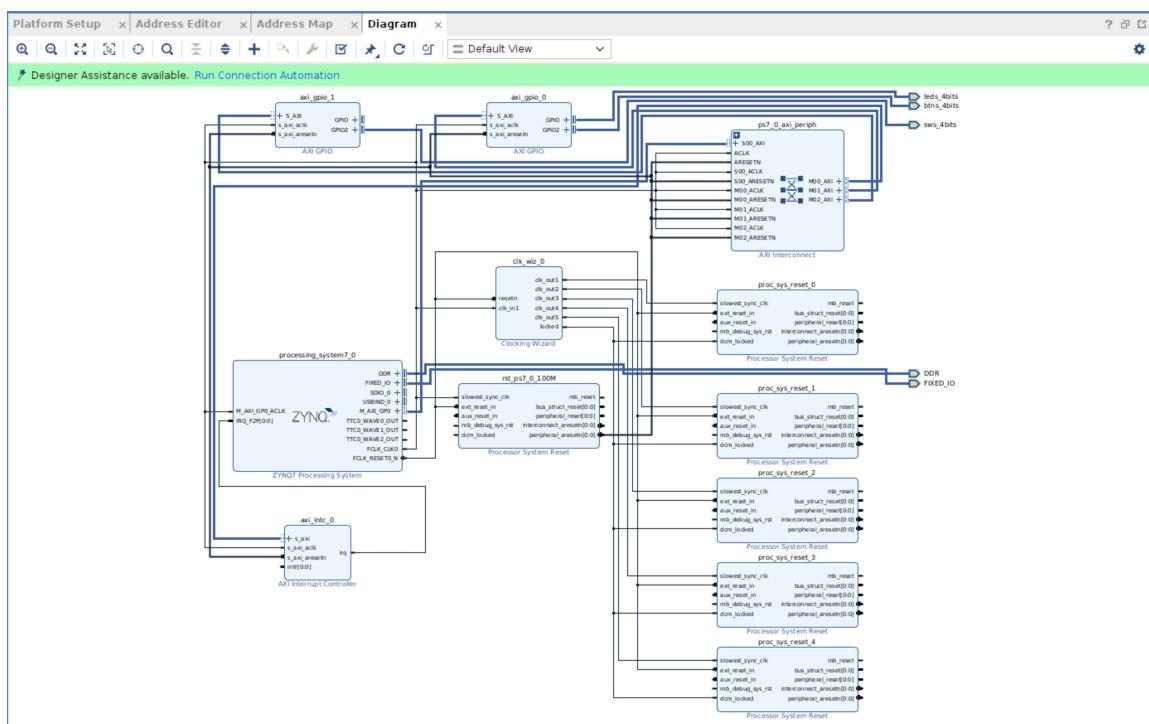
Rozdělení vstupů a výstupů do jednotlivých částí SoC – PS a PL je vyzobrazeno na obr. B - 10.

Před dalším pokračováním je možné design validovat pomocí příslušného tlačítka validace na horizontální ovládací liště. Pokud je již HW design vytvořen a nakonfigurován, je možné v kartě *Sources/Design Sources* vybrat vytvořený design a pomocí nabídky pravého tlačítka myši vybrat možnost *Create HDL Wrapper*. V tomto kroku je opět prováděna validace designu. Pokud se v designu vyskytují kritická upozornění, která jsou zobrazena například na obr. B - 11, je stále možné pokračovat v tvorbě konečného produktu.

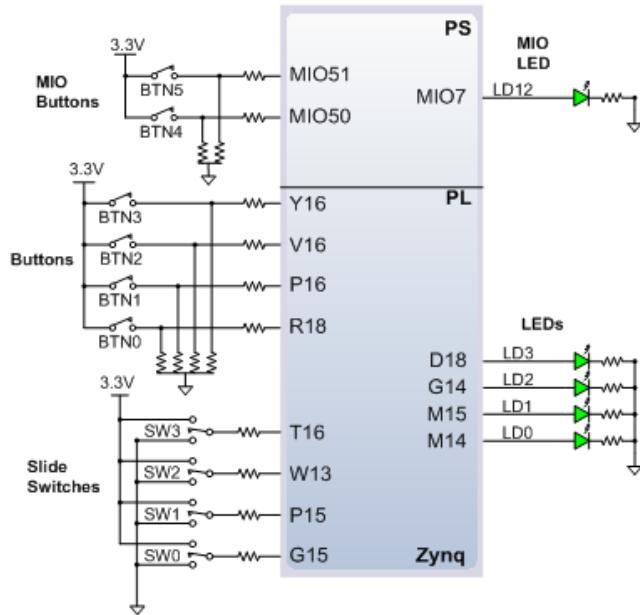
Po vytvoření *HDL Wrapper* je možné v menu *Flow Navigator/Program and Debug* zvolit krok *Generate Bitstream*. Pokud do tohoto kroku nebyla provedena syntéza ani implementace designu, objeví se hlášení, že je třeba tyto kroky provést, v případě pokračování v požadavku generování bitstreamu budou automaticky provedeny. V navazující nabídce možné vybrat, zda procesy budou probíhat lokálně či na



Obr. B - 8 Xilinx Vivado – signalizace vložených AXI GPIO bloků pro LED, BTN, SW na kartě Board/Zybo/GPIO pro Digilent Zybo.

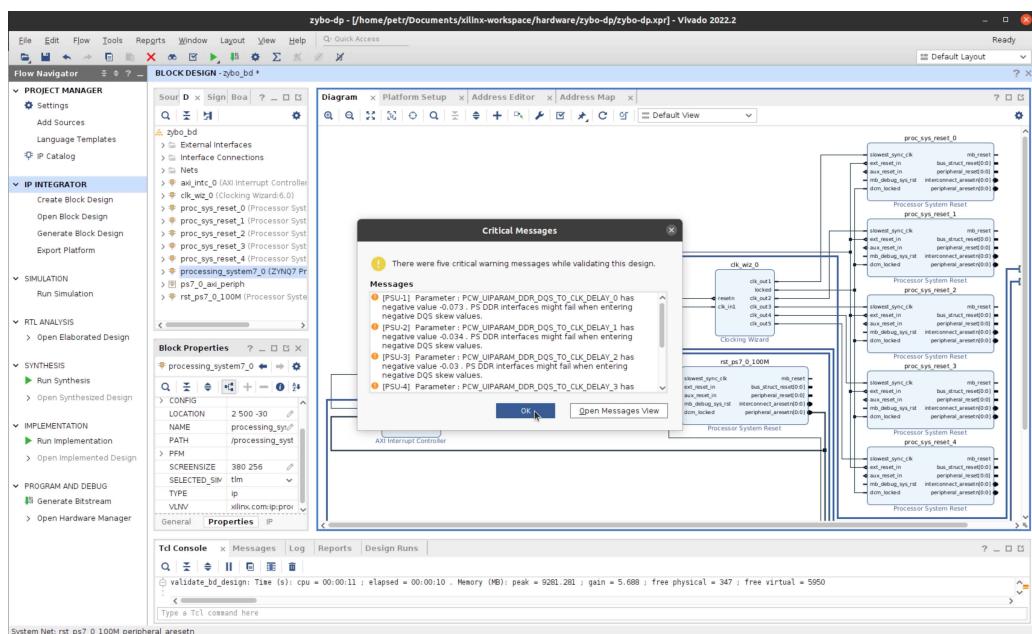


Obr. B - 9 Xilinx Vivado – block design s využitím GPIO pro LED, BTN, SW propojených s PL pro Digilent Zybo.



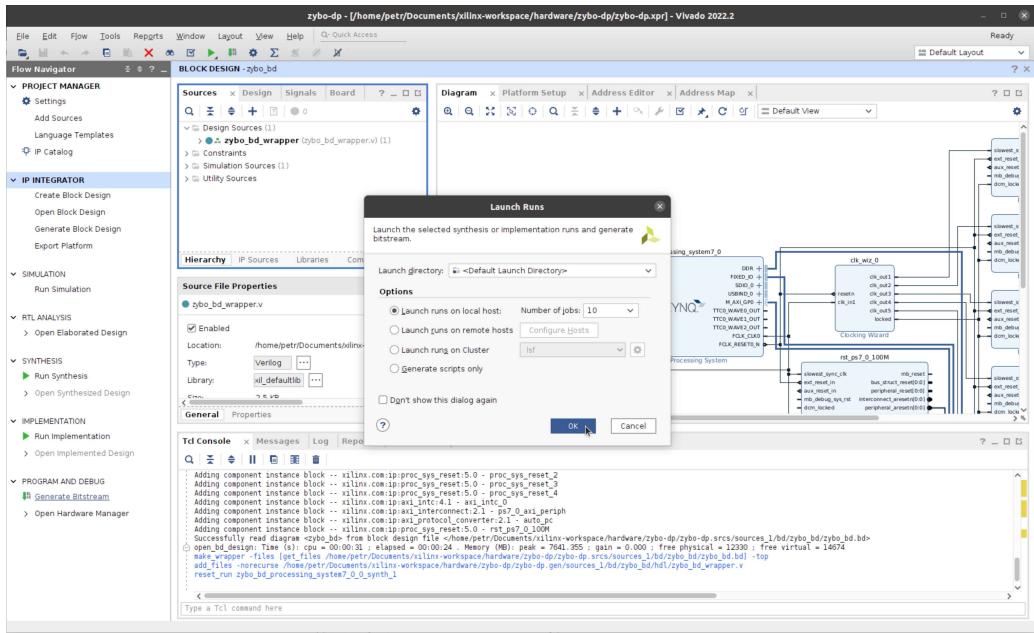
Obr. B - 10 Uspořádání připojení tlačítek, přepínačů a LED k PS a PL pro vývojovou desku Digilent Zybo. [24]

vzdáleném serveru, nebo clusteru. Také je možné zvolit kolik výpočetních jader procesoru se bude podílet na prováděných úkolech. V případě využití osobního počítače pro generaci bitstreamu (i předcházející syntézy a implementace) autor práce doporučuje používat méně než polovinu dostupných jader. Tato volba vychází z experimentálního zjištění, že v případě využití vyššího počtu jader může dojít k neočekávané chybě a proces provádění úkolů bude bez udání jakékoli informace ukončen a proces syntézy, implementace a generace bitstreamu bude nutné spustit znova. Ukázka nastavení procesu je zobrazena na obr. B - 12.



Obr. B - 11 Xilinx Vivado – kritická upozornění vzniklá po validaci designu, která je možné ignorovat.

Indikátor provádění jednotlivých procesů je umístěn v pravém horním rohu. Záznam prováděných



Obr. B - 12 Xilinx Vivado – nastavení provádění úkonů syntézy, implementace a generování bitstreamu, volba použitých výpočetních jader a určení, kde se mají procesy vykonávat pro Digilent Zybo.

procesů je umístěn v kartě *Log*.

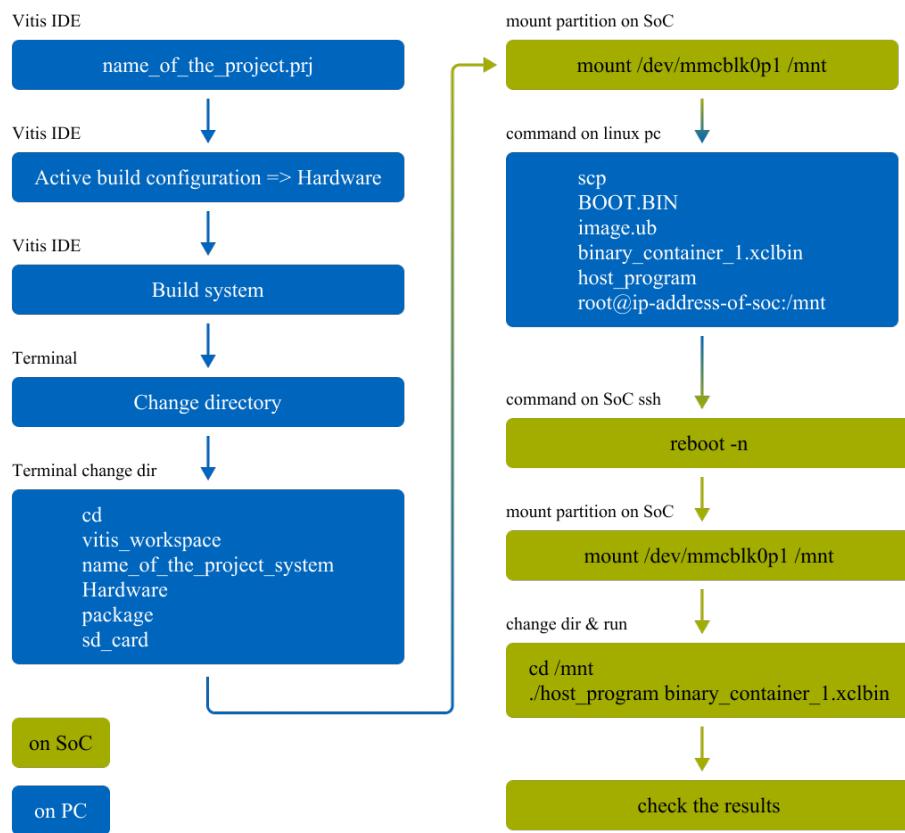
Po úspěšném provedení jednotlivých kroků je zobrazena nabídka, která umožňuje nahlédnout na vytvořený design. Tuto nabídku je možné zavřít aniž by byla vykonávána jakákoli z nabízených možností.

Po ukončení procesů je pro možné použití vytvořeného designu pro tvorbu PetaLinux systému a aplikací v Xilinx Vitis nutné exportovat vytvořenou platformu. Export je proveden pomocí sekvence tlačítek *File/Export/Export platform*. Ve výběru platformy je výhodné zvolit možnost *Hardware and hardware emulation*, která umožňuje použít design pro skutečný HW i jeho emulaci. V nabídce *Platform State* je nutné vybrat možnost *Pre-Synthesis*, která umožňuje další zpracování aplikace v Xilinx Vitis pomocí v++. Důležitou volbou je zvolení možnost *Include bistream*, který byl produktem tvorby designu v této části.

Po nastavení dodatečných informací platformy je možné jej vyexportovat do požadované lokace, kde bude dále využívána.

## Příloha C: Upravený postup debuggingu PL pro Digilent ZYBO

Debugging pro program pro PL. Pro host program je možné debuggovat přímo ve Vitis, ale bez PL kernelu.



Obr. C - 1 Diagram popisující upravený postup pro debuggování a spouštění host programu a nahrávání host programu do PL.