

Ficha 5 - Paralelismo a nível de instruções

Exercícios propostos

1. Considere os seguintes fragmentos de código RISC-V:

```
i. addi x3, x3, 4
1w x2, 0(x3)
ii. fadd.s f3, f1, f2
fsw f2, 8(x10)
iii. sw x2, 8(x1)
fsw f2, 12(x22)
iv. feq.s f1, f2, exit
fsw f1, 12(x2)
```

- **a)** Para cada fragmento identifique os tipos de dependências que existem, qual é a sua causa e como podem ser resolvidas.
- **b)** Para cada fragmento indique se a técnica de sequenciamento dinâmico pode ser ou não suficiente para permitir a execução fora de ordem.
- 2. Considere o seguinte fragmento de código assembly RISC-V.

```
lw x1, 40(x2)
add x7, x1, x5
sub x8, x1, x6
or x9, x5, x1
bne x7, x0, target
add x10, x8, x5
xor x2, x3, x4
```

- **a)** Identifique todas as dependências. Indique as instruções envolvidas, a instrução dependente e o tipo de dependência.
- **b)** Suponha que o código é executado pela *pipeline* de RISC-V com 5 andares. Que dependências causam conflitos? Justifique.
- **3.** Um coprocessador de vírgula flutuante usa o algoritmo de Tomasulo para sequenciar as operações. A tabela seguinte indica as características de cada unidade funcional (nenhuma usa *pipeline*).

Unidade	Tarefa	Nº de ciclos	Nº de posições da estação de reserva
Add	Adição, subtração	2	2
Mul	Multiplicação	3	1
Div	Divisão	5	1

AJA, JCF Pág. 1 de 2

AC (FEUP/L.EIC) 2023/24

A unidade de emissão de instruções emite uma instrução por ciclo de relógio, se possível. Quando não é possível emitir uma instrução, a unidade de emissão protela.

Uma instrução emitida inicia a execução no ciclo seguinte (sem ocupar uma estação de reserva), se a unidade respectiva estiver livre e se os operandos estiverem disponíveis.

Assuma ainda que existe apenas um CDB (common data bus).

Considere também o seguinte fragmento de "código" com dados em vírgula flutuante:

- 1.
 $F1 \leftarrow F2 \div F3$ 5.
 $F8 \leftarrow F1 F12$

 2.
 $F4 \leftarrow F5 \div F6$ 6.
 $F9 \leftarrow F5 \times F11$

 3.
 $F5 \leftarrow F1 + F1$ 7.
 $F6 \leftarrow F4 F0$

 4.
 $F7 \leftarrow F3 + F2$ 8.
 $F4 \leftarrow F6 + F7$
- a) Identifique todas as dependências de dados existentes no fragmento.
- **b)** Descreva a evolução temporal da execução do fragmento.
- **c)** Determine o CPI efetivo para este fragmento.
- **4.** Considere o seguinte fragmento de programa, a ser executado numa *pipeline* RISC-V com múltiplas unidades funcionais (com atalhos, sem sequenciamento dinâmico). Instruções que estejam em conflito com outras já em execução são proteladas no estado ID. Registos X têm dados inteiros, enquanto registos F têm dados em vírgula flutuante.
 - $X4 \leftarrow X4 + 8$ 1. $F6 \leftarrow MEM[X4+400]$ 5. 2. $MEM[X4+300] \leftarrow F9$ 6. $F7 \leftarrow F6 + F10$ $X5 \leftarrow X4 - 8$ 3. $F9 \leftarrow F1 \times F2$ 7. 4. $F10 \leftarrow F9 \div F2$ $MEM[X4+200] \leftarrow F7$ 8.

As características das unidades funcionais são as seguintes:

Unidade	Tarefa	N° andares	Intervalo
ALU1	Adição, subtração INT e endereços efetivos	1	1
ALU2	Multiplicação e divisão INT	3	1
AddVF	Adição e subtração VF	4	1
MulVF	Multiplicação VF	6	1
DivVF	Divisão VF	10	11

- a) Identifique todas as dependências de dados existentes no fragmento.
- b) Assumindo que o processador contém uma unidade funcional de cada tipo, indique a evolução temporal da execução do código ao longo da sucessão de ciclos de relógio. Identifique explicitamente cada utilização de atalhos (andares de origem e destino, bem como ciclo de relógio em que é usado).

Fim do enunciado

Nota: Alguns dos exercícios foram extraídos ou adaptados do livro "Computer Organization and Design – The Hardware/Software Interface", Hennessy & Patterson, 4ª edição.

AJA, JCF Pág. 2 de 2