

Arquitectura de los Computadores. Junio 2016

1. **(2 puntos)** La empresa MIA “Medical Image Applications” del sector del “Diseño de sistemas para aplicaciones con imágenes médicas” está considerando mejorar su arquitectura de servidor orientada a dar soporte para servicios en el sector de imágenes médicas. Para ello se está valorando incorporar una Unidad de Procesamiento Gráfico (GPU) Tesla k40, en una sistema con CPU (Intel Core i7). Los estudios de benchmarking utilizando aplicaciones específicas de imágenes médicas indican que, cuando se ejecuta un cálculo gráfico en la GPU es, en promedio, 100 veces más rápido que en el modo normal de ejecución utilizando la CPU. Además, el porcentaje de utilización de la GPU, medido utilizando el benchmark de aplicaciones de imágenes médicas, es del 87%. Bajo estos supuestos calcula:
- La aceleración global en el supuesto indicado en el enunciado. **(0,5 puntos)**
 - La fracción mejorada necesaria para alcanzar la décima parte de la aceleración global máxima que podría alcanzarse. **(0,5 puntos)**
 - El departamento de sistemas de MIA dice que podría adquirirse otra GPU modelo Tesla k80 que duplicaría la velocidad de la GPU con una inversión adicional. Se desea saber si el departamento de desarrollo de aplicaciones puede incrementar la utilización de la GPU como otra aproximación para incrementar el rendimiento. ¿Qué incremento en la fracción mejorada (relativo a la utilización actual) se necesitará para obtener la misma ganancia de rendimiento? **(1 punto)**
2. **(1,5 puntos)** El departamento de sistemas de la empresa MIA “Medical Image Applications” está diseñando un procesador especializado como subsistema de visualización realista de imágenes médicas, donde es necesario un alto rendimiento en la generación de gráficos. La mezcla de instrucciones de este procesador especializado y los CPI promedio son:

Instrucción	Frecuencia	CPI
ALU	40%	1
LOAD	11%	2
STORE	24%	2
SALTO	15%	1
IMP	10%	4

100

El procesador debe realizar siempre instrucciones STORE para almacenar los datos que utiliza la instrucción IMP para imprimir en pantalla. El departamento de sistemas de MIA está pensando en realizar una modificación para que esta instrucción cargue directamente los datos a imprimir en pantalla, sin necesidad de realizar antes un STORE. Supongamos que este repertorio extendido de instrucciones incrementa en 1 el número de ciclos de reloj para la instrucción IMP, pero sin afectar a la duración del ciclo de reloj. ¿Mejorará este cambio el rendimiento de la generación de gráficos? En caso afirmativo. ¿Qué aceleración se consigue con este cambio?

3. **(2,5 puntos)** La empresa MIA “Medical Image Applications” en su fase de modificación del procesador especializado, también se ha planteado la modificación del repertorio de instrucciones y de su organización de manera global. El director del departamento de sistemas, tiene dos alternativas sobre la mesa:
- Opción A. Repertorio de instrucciones simple con codificación fija con programas generados por el compilador GCC
 - Opción B. Repertorio de instrucciones complejo con codificación variable con programas generados por un programador en ensamblador

Indica qué decisión de manera **justificada** debería tomar el director según los siguientes componentes de la arquitectura:

- a) **(0,5 puntos)** Tipo de almacenamiento interno a la CPU y, en su caso, cantidad de registros de propósito general a disponer
 - b) **(0,5 puntos)** Número de operandos que se pueden direccionar en memoria en instrucciones ALU
 - c) **(0,5 puntos)** Modos de direccionamiento de operandos
 - d) **(0,5 puntos)** Tipo de datos y forma de designar el tipo de operando
 - e) **(0,5 puntos)** Forma de especificar los saltos (condición y destino)
4. **(3 puntos)** Sobre segmentación:
- a) **(0,5 puntos)** Suponer que se tiene procesador con una implementación monociclo que funciona a 1GHz. Al intentar segmentar el procesador en múltiples etapas se observa que no todas ellas requieren la misma cantidad de tiempo. Suponer que la etapa ID domina sobre el resto de etapas de segmentación y contribuye con un 40% del ciclo de reloj de la implementación monociclo original. Suponer también que al incluir los registros de segmentación se incurre en un retardo de 0,1ns. ¿Cuál es el la frecuencia de reloj del procesador segmentado de 5 etapas? ¿Cuál sería la ganancia ideal que se podría conseguir al segmentar el procesador? ¿Cuál es la ganancia real?

Nombre: _____

b) (0,6 puntos) Suponer que el siguiente código se ejecuta en la máquina segmentada de 5 etapas:

```

Loop:  Lw R2, 0(R1)
        Lw R3, 4(R1)
        Add R4, R2, R3
        Sw R4, 0(R1)
        Addiu R1, R1, #4
        Add R2, R1, #-40
        Beqz R2, loop
    
```

Suponer que inicialmente $R1=0$. En el procesador segmentado la evaluación de la condición de salto se realiza en la etapa ID. Para resolver los saltos se para la segmentación hasta que se resuelven. Suponer que todas las unidades funcionales tienen una duración de un ciclo de reloj. Finalmente suponer que no hay riesgos estructurales y que **no** hay *forwarding*. Con estas condiciones, muestra el diagrama de temporización para una iteración del bucle. ¿Cuántos ciclos de reloj tardarían en ejecutarse el código?, ¿Cuál es el CPI medio?. Razona las respuestas.

Instrucción	Ciclos de reloj																							
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
Lw R2, 0(R1)																								
Lw R3, 4(R1)																								
Add R4, R2, R3																								
Sw R4, 0(R1)																								
Addiu R1, R1, #4																								
Add R2, R1, #-40																								
Beqz R2, loop																								
Lw R2, 0(R1)																								

c) (0,5 puntos) Suponer que se reordena el código de la siguiente manera:

```

Loop:    Lw R2, 0(R1)
        Lw R3, 4(R1)
        Addiu R1, R1, #4
        add R4, R2, R3
        addi R2, R1, #-40
        Sw R4, -4(R1)
        Beqz R2, Loop
    
```

Suponer todas las consideraciones detalladas en el apartado b) pero ahora se permite *forwarding*. ¿Cuántos ciclos tardará en ejecutarse este bucle? Rellenar previamente el diagrama de temporización.

Instrucción	Ciclos de reloj																							
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
Lw R2, 0(R1)																								
Lw R3, 4(R1)																								
Addiu R1, R1, #4																								
Add R4, R2, R3																								
Add R2, R1, #-40																								
Sw R4, -4(R1)																								
Beqz R2, loop																								
Lw R2, 0(R1)																								

d) (0,4 puntos) ¿Cuál es ahora el CPI medio? ¿Cuál es la ganancia en la ejecución de este código con esta solución respecto a la solución previa (la del apartado b) ?

e) (0,5 puntos) Suponer ahora el procesador implementa saltos retardados (*delay slot*). ¿Podrías reorganizar el código anterior (el del apartado c) para conseguir mayor ganancia? Razona la respuesta. Muestra en cualquier caso como rellenarías el delay slot . ¿Cuál sería en este caso el número de ciclos que tardaría en ejecutarse el código completo? ¿Cuál sería la ganancia conseguida para este código respecto a la versión original (la del apartado b) si la hubiere?

Nombre: _____

- f) **(0,5 puntos)** Si se supone en general que del 25% de las instrucciones de salto se consigue rellenar el 50% de los delay slot con instrucciones útiles. Calcula la ganancia que se consigue al implementar esta técnica. Por simplicidad suponer que las instrucciones que no son de salto su CPI es 1.
5. **(1,5 puntos)** En un sistema embebido se dispone de una memoria principal de 1MB a la que se va a añadir una memoria caché de 16K. El equipo de diseño se está planteando varias alternativas para la ubicación de bloques en la cache. El tamaño del bloque es de 16 Bytes.
- a) **(0,4 puntos)** Indica:
- Número de bits necesario para direccionar la memoria.
 - Número de bits de la dirección que especifica un bloque de memoria.
 - Número de bits de la dirección que especifica una palabra (byte) dentro de un bloque.
 - Número de líneas de la caché.
 - Para una estrategia de ubicación asociativa por conjuntos de 2-vías, número de conjuntos de la caché.
- b) **(0,4 puntos)** Suponiendo que se ha optado por una estrategia de ubicación asociativa por conjuntos de 2-vías, indica en la siguiente tabla las líneas y número de conjunto en las que se pueden ubicar los bloques que aparecen:

Bloque	Línea(s)	Conjunto
513		
2048		

- c) **(0,7 puntos)** Suponiendo que se ha optado por una estrategia de ubicación directa y que la caché está vacía, indica la línea de caché que se verá afectada así como la etiqueta que se le asignará tras la lectura de la posición hexadecimal FFEED y también las correspondientes a la lectura de la posición DEA0F:

Posición	Línea afectada	Etiqueta
FFEED (1111 1111 1110 1110 1101)		
DEA0F(1101 1110 1010 0000 1111)		