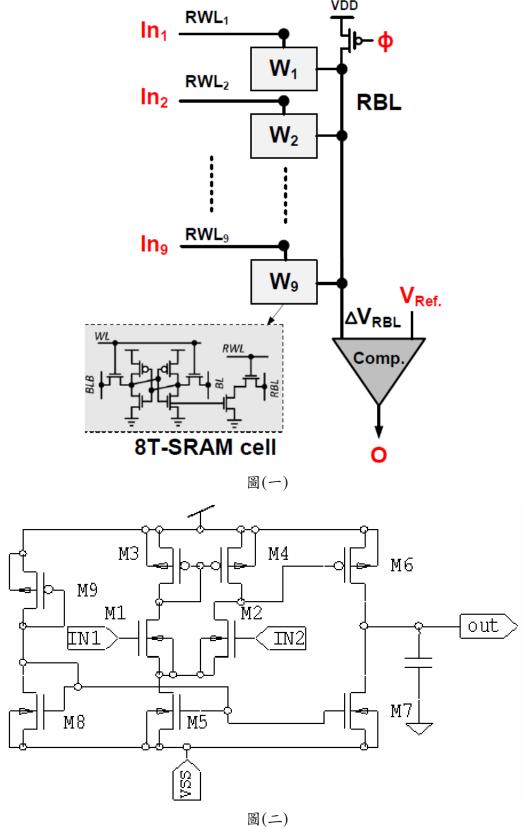
Memory Circuits and System Report HW4

Architecture:



架構是由 9 個 8T-SRAM 和一個 comparator—圖(二)構成, $W1\sim W9$ 由 SRAM 給定,一次輸入 9 個 input 與個別的 weight 做 convolution,當結果越大時,RBL 的值會被往下拉越多,在跟 Vref 做比較。

RBL 掛上 C_BL = 27fF

0	0	1	1	1
1	1	0	1	1
1	1	1	0	0
0	1	1	1	0
1	0	1	0	1

* 0 1 1 1 0 1

=

4	3	5
4	5	2
6	3	4

=>

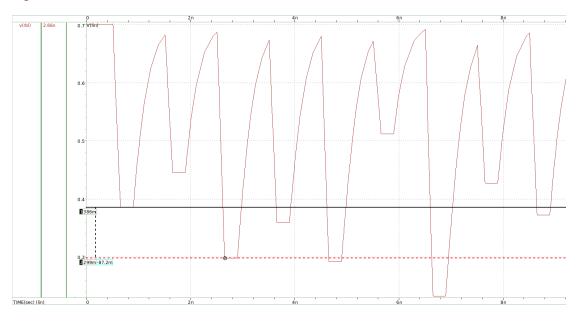
0	0	1
0	1	0
1	0	0

Result:



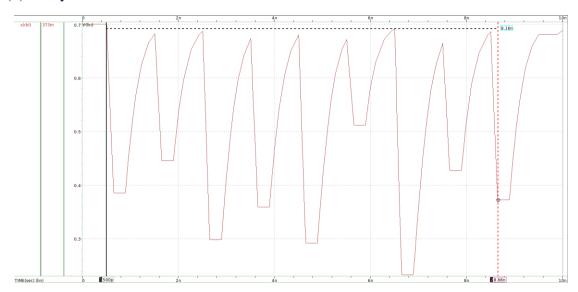
每 lns 給一個 input,pre=0 時,RBL 會充電,當作 convolution 會把 RBL 往下拉,而 $ln1\sim ln9$ 只給 0.15ns 因為太久的話會讓電壓拉到 0。

為了要讓 $0\sim4$ 結果取 0,5 以上取 1,從 RBL 來觀察可以發現 input1、input3 分別為 4、5,所以取其平均值當作 Vref=0.343V,如下圖所示。



Measure:

(1) Delay: 8.16ns



(2) Power:

- (3) Energy efficiency : $17(Ops) * 9 / 13.73u = 11.14 * 10^6 TOPs/W$
- (4) Throughput : 17(Ops) * 9 / 8.16ns = 18.75 TOPs/ns