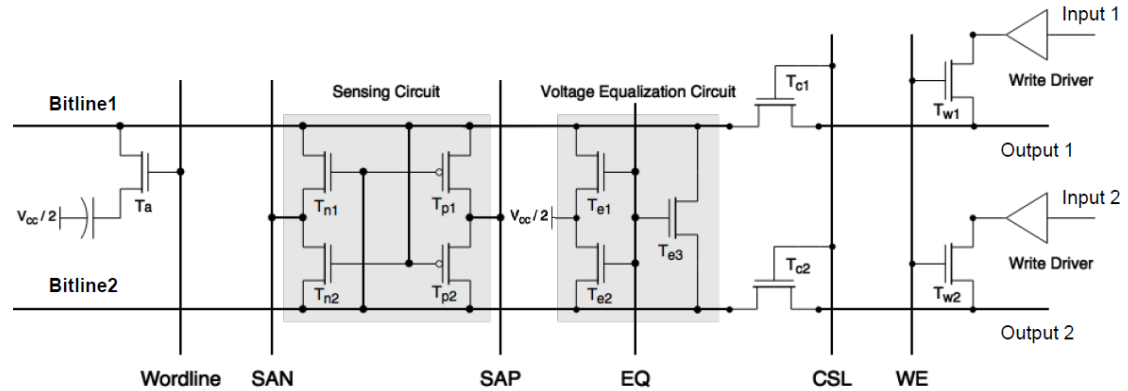


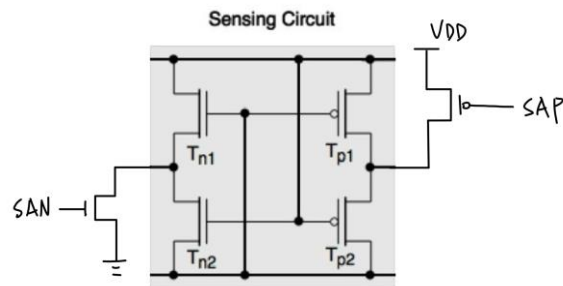
Memory Circuits and System Report HW6

Architecture :

Dram :



SA :



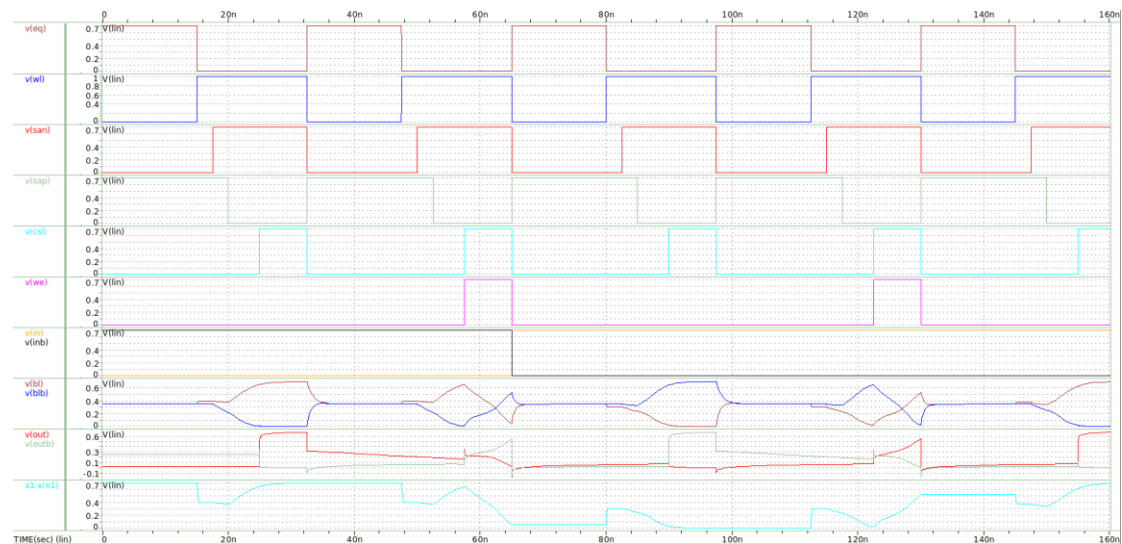
在 Sensing Circuit 中，使用 SAN、SAP 來控制 SA 的 enable，當打開時， T_{p1} 、 T_{p2} 的 source 端拉到 1， T_{n1} 、 T_{n2} 的 source 端拉到 0。

Result :

$C(BL) : C(C) = 3 : 1$



$C(BL) : C(C) = 6 : 1$

**Analysis :**

以 3:1 來說明，給定 initial condition $V(Ta)$ 的 source 端 = 0.7V，一開始 Dram 存 1。

Read mode :

如下圖所示。

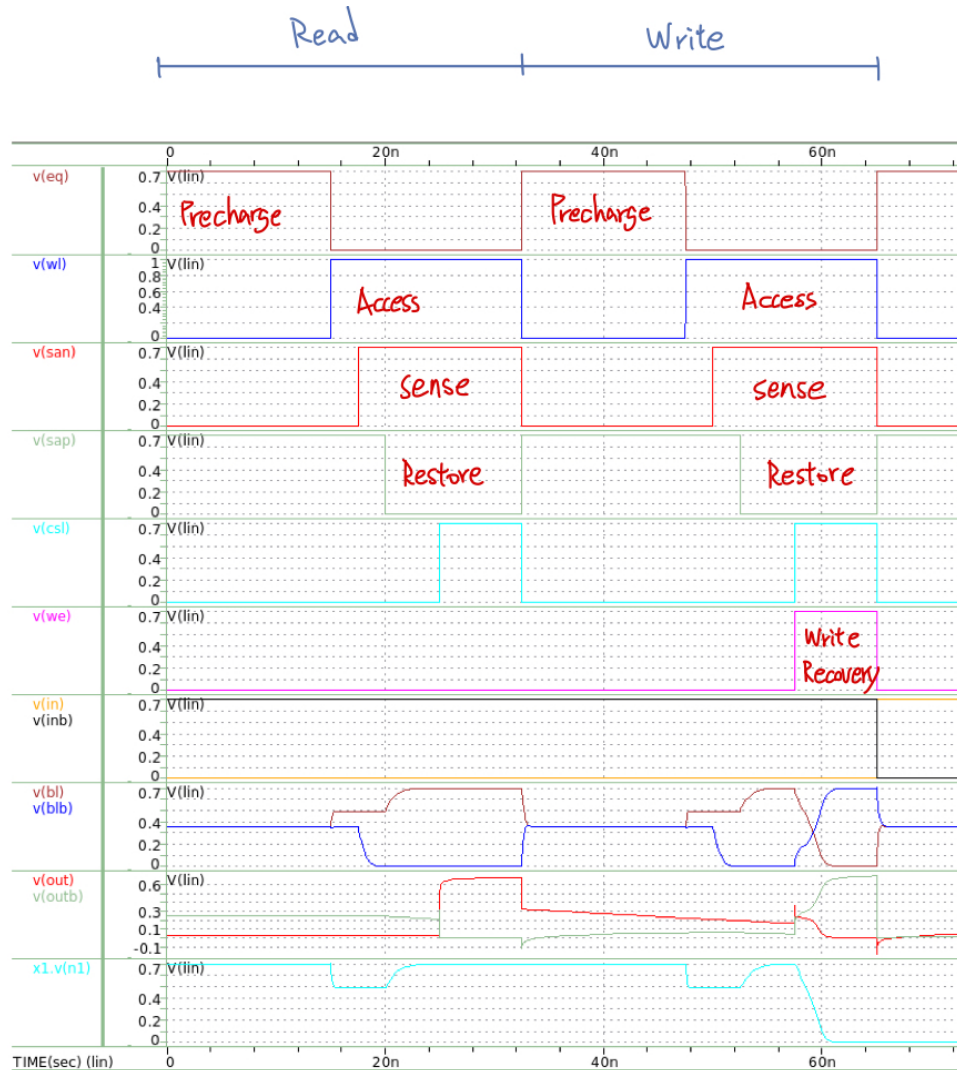
1. Step1 : Precharge
將 BL、BLB 都拉至 0.35V。
2. Step2 : Access
將 WL 打開，由於 charge sharing，BL 被拉高一些。

3. Step3 : Sense

先將 SAN 打開，使 BLB 先往下拉，再將 SAP 打開使得 BL 往上拉到 1

4. Step4 : Restore

將 Ta 裡面原本存的 1 restore 回去，圖中可以看到有成共拉回 0.7V，並將 CSL 打開，讀取 dram 存的值。



Write mode :

如上圖所示。

1. Step1 : Precharge

將 BL、BLB 都拉至 0.35V。

2. Step2 : Access

將 WL 打開，由於 charge sharing，BL 被拉高一些。

3. Step3 : Sense

先將 SAN 打開，使 BLB 先往下拉，再將 SAP 打開使得 BL 往上拉到 1

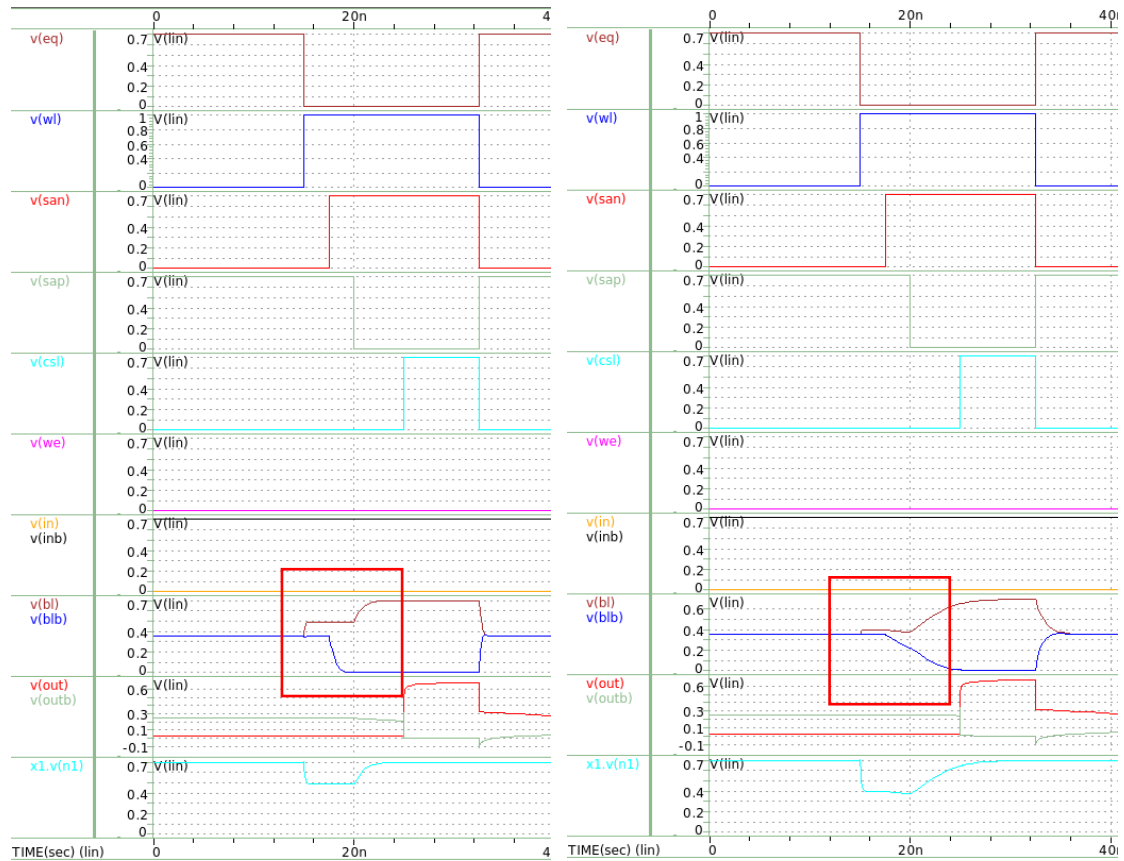
4. Step4 : Restore

將 Ta 裡面原本存的 1 restore 回去。

5. Step5 : Write Recovery

將 CSL、WE 打開，並寫 0 進去，此時 BL 被往下拉，BLB 被拉到 1，SA 保持開啟能讓值轉換更快並如果寫 1 進去的話可以成功被拉到 0.7。

Comparison :



如上圖 BL、BLB 的地方，左圖為 3:1、右圖為 6:1，當比例越高，其變化的速度越慢，幅度也較小，需要更長時間才能把 BL 拉到 0.7。