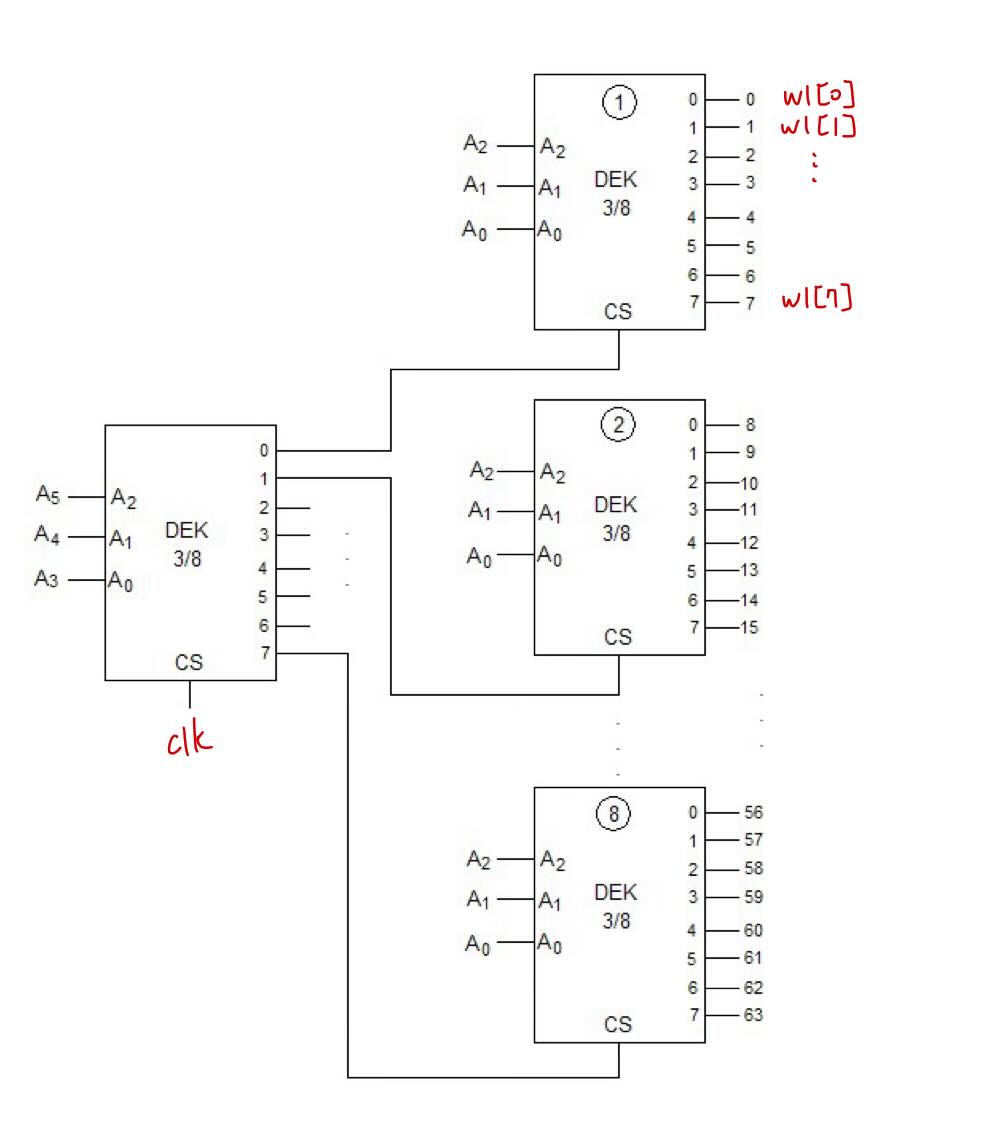
Memory Circuits and System Report HW2

**Architecture：**



使用9個3to8\_decoder來設計6to64\_decoder，將其中一個的輸出接上剩下8個的enable，如此便能控制WL輸出，再將clk接上MSB端decoder的enable來達到decoder功用。

**Python：**

一張含有 文字, 螢幕擷取畫面 的圖片

自動產生的描述

一張含有 文字, 螢幕擷取畫面 的圖片

自動產生的描述

一張含有 文字, 螢幕擷取畫面 的圖片

自動產生的描述

一張含有 文字, 螢幕擷取畫面 的圖片

自動產生的描述

一張含有 螢幕擷取畫面, 文字 的圖片

自動產生的描述

一張含有 文字, 螢幕擷取畫面, 多媒體軟體, 軟體 的圖片

自動產生的描述

一張含有 文字, 螢幕擷取畫面 的圖片

自動產生的描述

如以上程式碼所示，使用python來產生.sp檔案並產生input.vec檔。

設定VDD = 0.7V，Frequency = 1GHz，duty cycle = 50%，rise time & fall time = 0.05ns，並在output接上22.2592aF的電容，其值透過6T-SRAM的gate capacitances of the pass transistors來找，如下圖。

一張含有 文字, 螢幕擷取畫面, 軟體 的圖片

自動產生的描述

**Result：**

一張含有 文字, 螢幕擷取畫面, 數字, 平行 的圖片

自動產生的描述

一張含有 文字, 螢幕擷取畫面, 數字, 平行 的圖片

自動產生的描述

如上圖所示，以wl[5]來看，add[5:0] = 000101，clk = 0.7 (high)時，wl[5] = 0.7 (high)，表示有成功decoder，也順利達到clk為high時wordline會拉起來的SPEC.。

一張含有 文字, 螢幕擷取畫面, 數字, 平行 的圖片

自動產生的描述

一張含有 文字, 螢幕擷取畫面, 數字, 行 的圖片

自動產生的描述

以上為wl[0] to wl[63]的結果。

**Performance：**

在表現上可以發現，wordline都有正常運作，但會發現在拉起為1時，會有Gibbs phenomenon，可能的原因是在address切換的時候，會讓訊號不穩，或是電容充放電的效應。

**Power：**

一張含有 文字, 螢幕擷取畫面, 字型, 行 的圖片

自動產生的描述