

(partial) FSM Control Word	ALUOp	ALUSrcB _{1:0}	ALUSrcA _{1:0}		ResultSrc _{1:0}	AdSrc	IRWrite	RegW	MemW	Branch	NextPC	Micro-instruction (Name)
0x114C	0	10	1	0	10	0	1	0	0	0	1	0 (Fetch)
0x004C	0	10	1	0	10	0	0	0	0	0	0	1 (Decode)
0x0002	0	01	0	0	00	0	0	0	0	0	0	2 (MemAdr)
0x0080	0	00	0	0	00	1	0	0	0	0	0	3 (MemRead)
0x0220	0	01	0	0	01	0	0	1	0	0	0	4 (MemWB)
0x0480	0	00	0	0	00	1	0	0	1	0	0	5 (MemWrite)
0x0001	1	00	0	0	00	0	0	0	0	0	0	6 (ExecuteR)
0x0003	1	01	0	0	00	0	0	0	0	0	0	7 (ExecuteI)
0x0200	0	00	0	0	00	0	0	1	0	0	0	8 (ALUWB)
0x0842	0	01	0	0	10	0	0	0	0	1	0	9 (Branch)

جدول شماره 1

چالش های مربوط به جدول 1:

1. ALUSrcA1 اینجا چه نقشی را ایفا میکند و آیا سیگنال ها با توجه به اینکه به مسیر داده انتقال داده می شوند آیا تغییری در آن ها باید رخ دهد؟ توجه به اینکه مسیر داده از مستقل پیاده سازی واحد کنترل است و با فرض اینکه تغییری در پیاده سازی آن پس از تغییر در واحد کنترل صورت نمیگیرد
2. آیا مقادیر سیگنال ها دقیقا با مقادیر داخل نمودار حالت یکسان باید باشد؟ و اینکه مقادیر اعلام نشده آیا صفر فرض میشوند (مانند کتاب) یا بی تفاوت (don't care) ؟

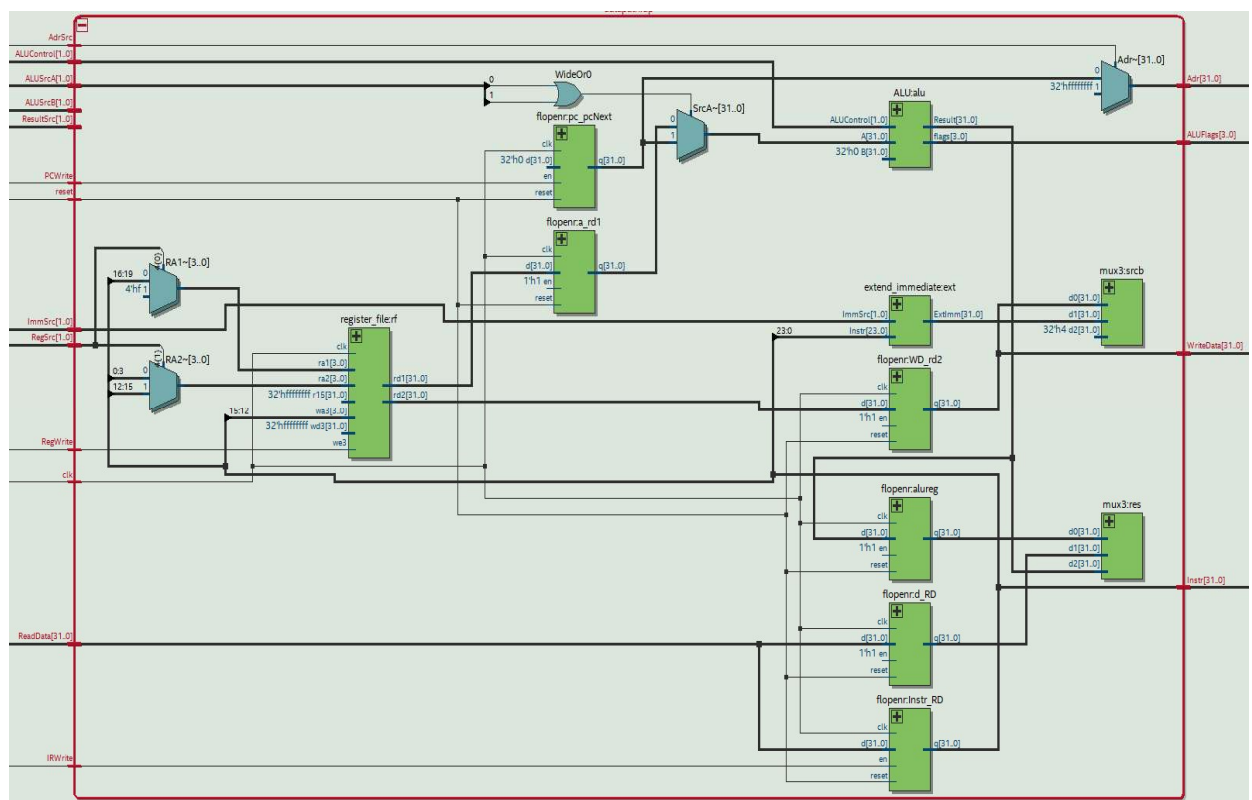
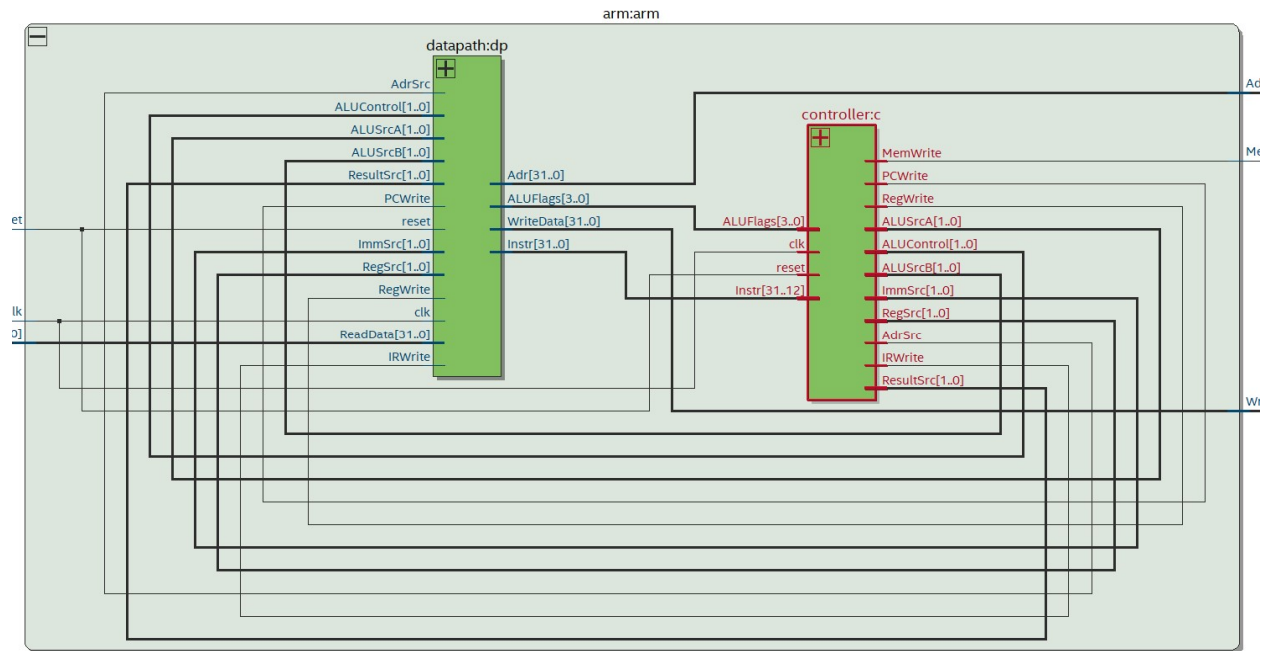
Cycle	Reset	PC	Instr	(FSM) state	SrcA	SrcB	ALUResult
1	1	00	0	FETCH	0	4	4
2	0	04	SUB E04F000F	DECODE	4	4	8
3	0	04		EXECUTER	8	8	0
4	0	04		ALUWB	X	X	X
5	0	04		FETCH	4	4	8
6	0	08	ADD E2802005	DECODE	8	4	C
7	0	08		EXECUTEI	0	5	5
8	0	08		ALUWB	X	X	X
9	0	08		FETCH	8	4	C
10	0	0C	ADD E280300C	DECODE	C	4	10
11	0	0C		EXECUTEI	0	C	C
12	0	0C		ALUWB	X	X	X
13	0	0C		FETCH	C	4	10
14	0	10	SUB E2437009	DECODE	10	4	14
15	0	10		EXECUTEI	C	9	3
16	0	10		ALUWB	X	X	X
17	0	10		FETCH	10	4	14
18	0	14	ORR E1874002	DECODE	14	4	18
19	0	14		EXECUTER	3	5	7
20	0	14		ALUWB	X	X	X
21	0	14		FETCH	14	4	18
22	0	18	AND E0035004	DECODE	18	4	1C
23	0	18		EXECUTER	12	7	4
24	0	18		ALUWB	X	X	X
25	0	18		FETCH	18	4	1C
26	0	1C	ADD E0855004	DECODE	1C	4	20
27	0	1C		EXECUTER	4	7	B
28	0	1C		ALUWB	X	X	X
29	0	1C		FETCH	1C	4	20
30	0	20	SUBS E0558007	DECODE	20	4	24
31	0	20		EXECUTER	11	3	8
32	0	20		ALUWB	X	X	X
33	0	20		FETCH	20	4	24
34	0	24	BEQ 0A00000C	DECODE	24	4	28
35	0	24		BRANCH	28	30	58
36	0	24		FETCH	24	4	28
37	0	28	SUBS E0538004	DECODE	28	4	2C
38	0	28		EXECUTER	C	7	5
39	0	28		ALUWB	X	X	X
40	0	28		FETCH	28	4	2C
41	0	2C	BGE AA000000	DECODE	2C	4	30
42	0	2C		BRANCH	30	0	30
43	0	2C		FETCH	30	4	34
44	0	34	SUBS E0578002	DECODE	34	4	38
45	0	34		EXECUTER	3	5	-2
46	0	34		ALUWB	X	X	X
47	0	34		FETCH	34	4	38

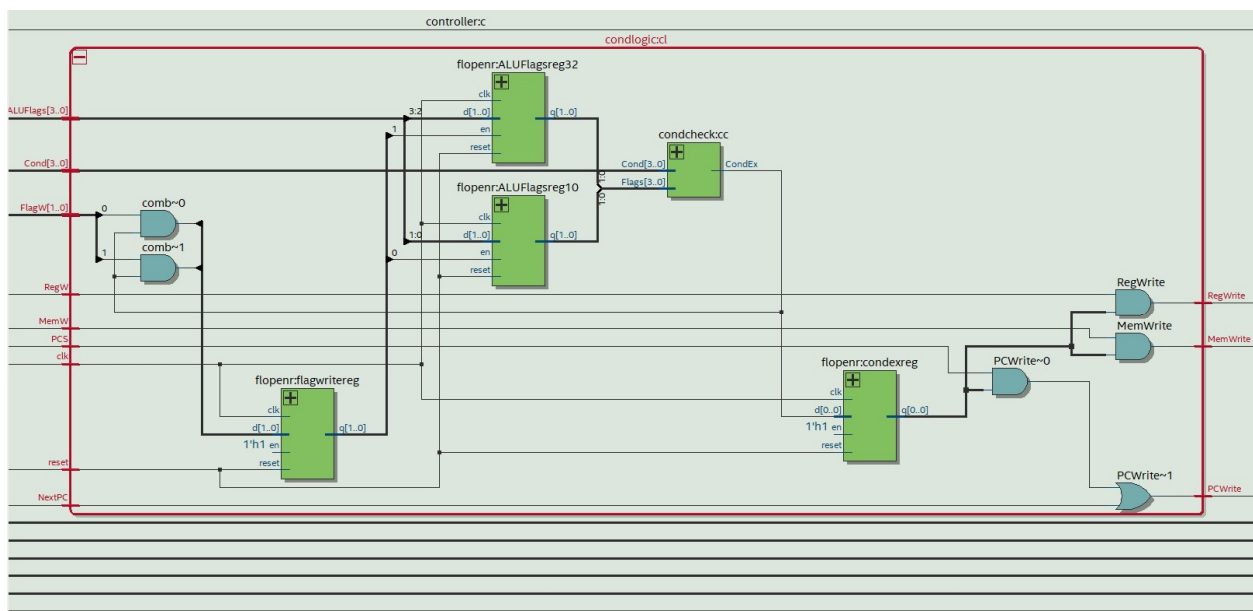
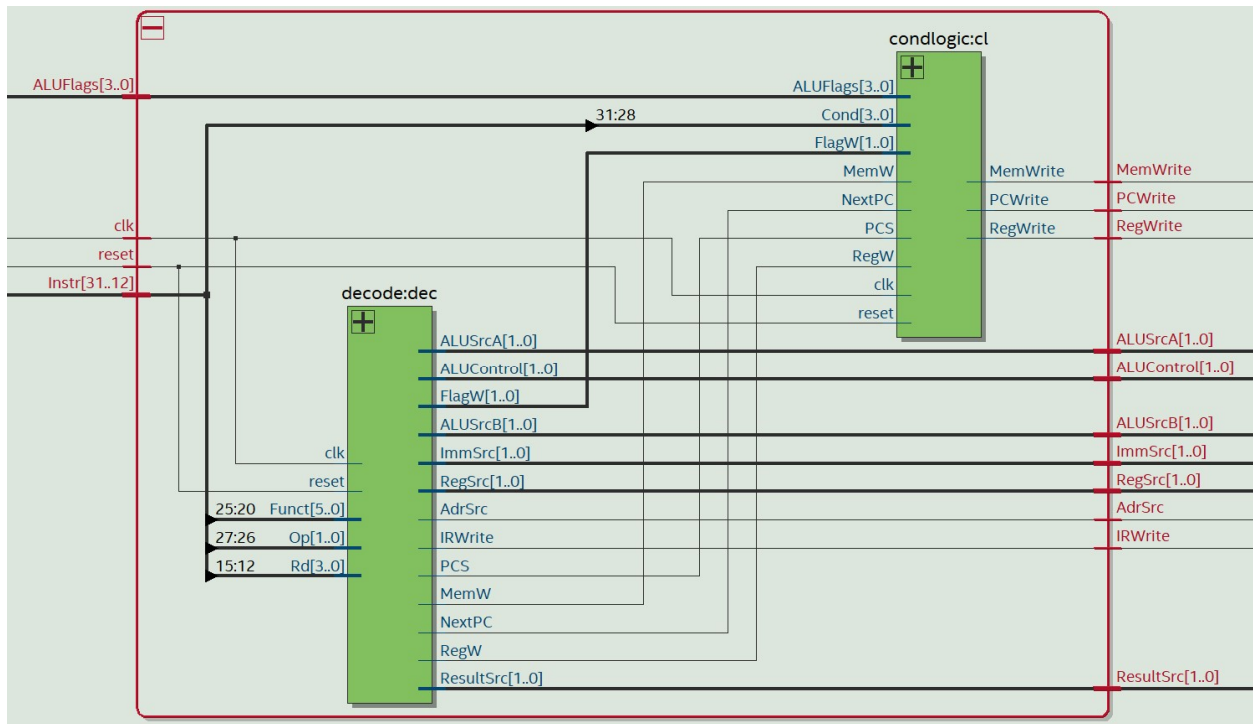
48	0	38	ADDLT B2857001	DECODE	38	4	3C
49	0	38		EXECUTEI	B	1	C
50	0	38		ALUWB	X	X	X
51	0	38		FETCH	38	4	3C
52	0	3C	SUB E0477002	DECODE	3C	4	40
53	0	3C		EXECUTER	12	5	7
54	0	3C		ALUWB	X	X	X
55	0	3C		FETCH	3C	4	40
56	0	40	STR E5837054	DECODE	40	4	44
57	0	40		MEMADR	C	54	60
58	0	40		MEMWRITE	X	X	X
59	0	40		FETCH	40	4	44
60	0	44	LDR E5902060	DECODE	44	4	48
61	0	44		MEMADR	0	60	60
62	0	44		MEMREAD	X	X	X
63	0	44		MEMWB	X	X	X
64	0	44		FETCH	44	4	48
65	0	48	ADD E08FF000	DECODE	48	4	4C
66	0	48		EXECUTER	4C	0	4C
67	0	48		ALUWB	X	X	X
68	0	48		FETCH	4C	4	50
69	0	50	B EA000001	DECODE	50	4	54
70	0	50		BRANCH	54	4	58
71	0	50		FETCH	58	4	5C
72	0						
73	0						
74	0						

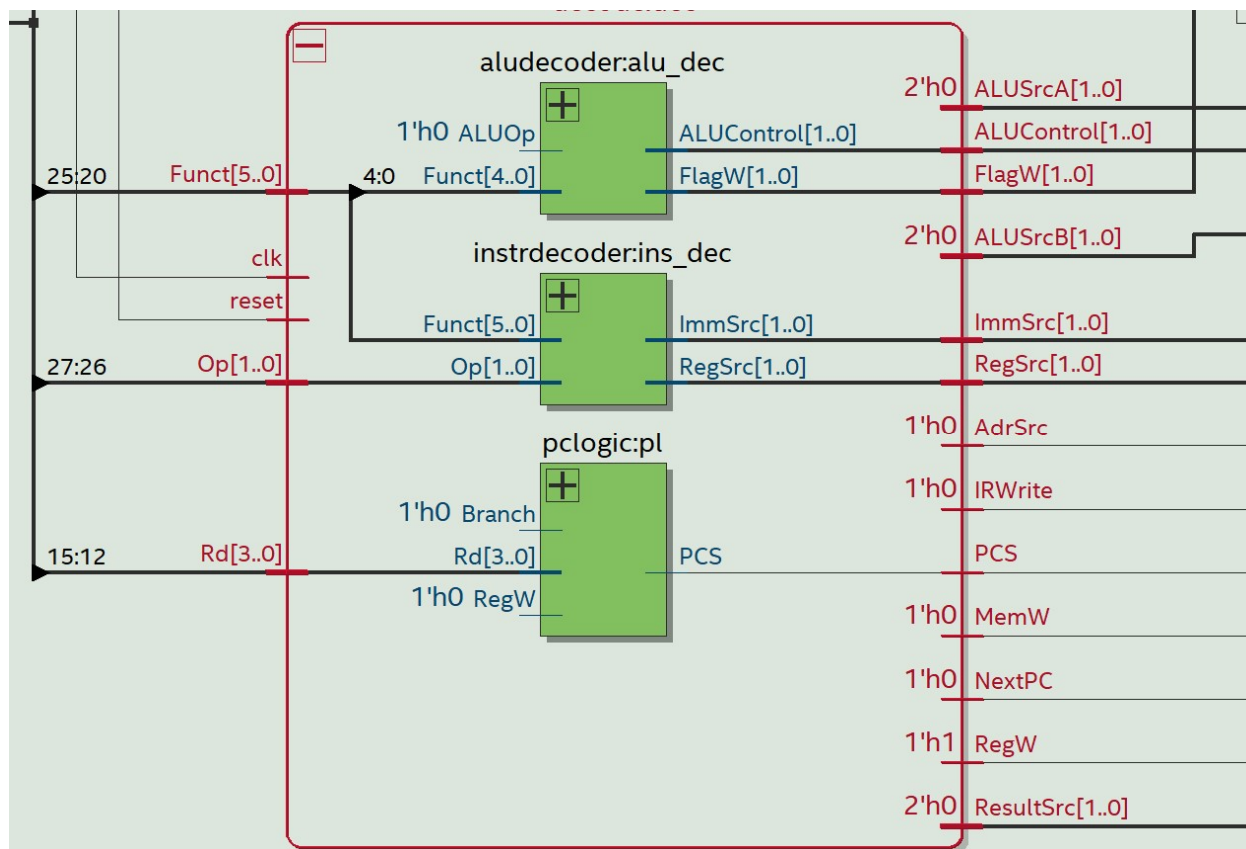
جدول شماره 2

چالش های مربوط به جدول 2 :

-







چالش های کلی در پروژه و کدهای سیستم وریلاگ:

1. فهمیدن اینکه رجیستر در قسمت منطق شرطی چرا باید خروجی را ذخیره کند.
 2. نداشتن همراهی و ارتباط مستقیم با همگروهی بدلیل مشکلات خوابگاه و پروژه های درسی دیگر.
 3. صریح و واضح نبودن مرجع استالینز برای درک موضوع مسئله.
 4. هدف مشخصی برای یادگیری موضوعی از استالینز وجود نداشت و معلوم نبود که آیا همه ی قسمت های آن باید خوانده میشد یا خیر. یا اصلا با خواندن کتاب چه مطلبی باید یاد گرفته میشد.
 5. عدم درک یا فهم بسیار سخت و سطحی از پیاده سازی کتاب برای واحد کنترل دیکودر اصلی.
 6. نبود کمک و یاری از سوی گروه های دیگر و دستیاران آموزشی.
- پروژه میتوانست با چند راهنمایی ساده یا معرفی چند منبع مختلف با زبان های ساده یا دیدگاه های مختلف، بسیار ساده تر شود. در واقع به نظر من چالش اصلی پروژه در فهمیدن درس بود.

با تشکر