

## Báo cáo thực tập

Tuần	Ngày	Công việc
1	07/07/2025	- Đọc tài liệu "SystemVerilog for Verification" Mục 1, Verification Guidelines: <ul style="list-style-type: none"> <li>• Quá trình kiểm thử</li> <li>• Lên kế hoạch kiểm thử</li> <li>• Chuẩn kiểm thử UVM</li> <li>• Chức năng, thành phần và hiệu suất của Testbench</li> <li>• Các phương pháp kiểm thử (Trực tiếp, ngẫu nhiên)</li> <li>• Độ bao phủ chức năng (Functional coverage)</li> <li>• Testbench phân tầng</li> </ul>
	09/07/2025	- Đọc tài liệu "SystemVerilog for Verification" Mục 4, Connecting the Testbench and Design: <ul style="list-style-type: none"> <li>• Interface</li> <li>• Modport</li> <li>• Clocking block</li> <li>• Race condition</li> <li>• Program block</li> </ul>
2		
	14/07/2025	- Đọc tài liệu "SystemVerilog for Verification" Mục 6, Randomization: <ul style="list-style-type: none"> <li>• Randomization</li> <li>• Class</li> <li>• Constraint và thứ tự ràng buộc</li> <li>• Sử dụng randomize và kiểm tra kết quả</li> <li>• Randcase và decision tree</li> </ul>
	16/07/2025	Viết testbench kiểm thử module chuyển đổi với các chức năng sau: <ul style="list-style-type: none"> <li>• Chuyển đổi tín hiệu dữ liệu 8-bit đầu vào thành tín hiệu dữ liệu 1-bit đầu ra (bộ chuyển đổi song song sang nối tiếp).</li> <li>• Tín hiệu dữ liệu 8-bit (DATA_IN[7:0]) chỉ hợp lệ khi tín hiệu VALID ở mức cao (High).</li> </ul>

		<ul style="list-style-type: none"> <li>Tín hiệu đầu ra 1-bit có thể bao gồm một bit chẵn lẻ (parity bit) tùy theo cấu hình đầu vào PARITY_MODE[1:0].</li> </ul> <p>Testbench viết dựa trên các mục đã đọc ở trên</p> <p><a href="https://github.com/phamgiang24102003/Internship-report">https://github.com/phamgiang24102003/Internship-report</a></p>
3	21/07/2025	
	23/07/2025	
4	28/07/2025	
	30/07/2025	
5	04/08/2025	
	06/08/2025	
6	11/08/2025	
	13/08/2025	
7	18/08/2025	
	20/07/2025	
8	25/08/2025	
	27/07/2025	
9	01/09/2025	
	03/09/2025	
10	08/09/2025	
	10/09/2025	
11	15/09/2025	

12	17/09/2025	
	22/09/2025	
	24/09/2025	