

BÀI 14. THIẾT KẾ BỘ ĐẾM

1. Mục tiêu

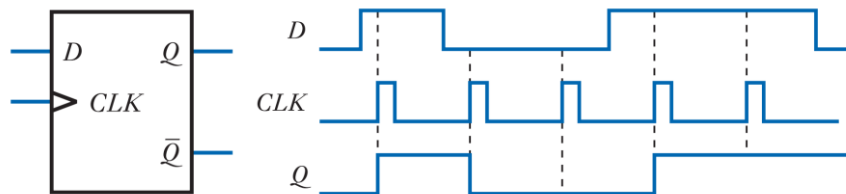
- Tìm hiểu hoạt động của D flip-flop và J-K flip-flop.
- Thiết kế mạch bộ đếm đồng bộ và không đồng bộ sử dụng D flip-flop và J-K flip-flop.
- Thực hiện bộ đếm trên TinkerCAD.

2. Lý thuyết

2.1. D flip-flop

Hình 1 trình bày ký hiệu và hoạt động của một D flip-flop đồng bộ sườn lên (*positive edge triggered*). Hoạt động của D flip flop được mô tả thông qua dạng sóng tín hiệu (waveform).

- Đầu vào: **D** và **CLK** (tín hiệu clock)
- Đầu ra: **Q** và \bar{Q} (Q đảo)



Hình 1: D flip-flop đồng bộ sườn lên.

Trong bài thực hành, D flip-flop được tích hợp sẵn trong IC 74HC74 còn có thêm 2 đầu vào \bar{S} và \bar{R} tích cực mức thấp, không đồng bộ, với bảng thật như sau:

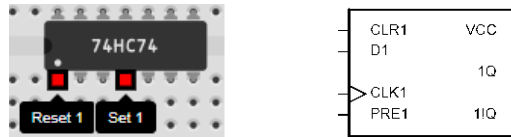
\bar{S}	\bar{R}	CLK	D	Q_{n+1}	$\overline{Q_{n+1}}$
0	1	X	X	1	0
1	0	X	X	0	1
0	0	X	X	X	X
1	1	0 → 1	1	1	0
1	1	0 → 1	0	0	1
1	1	1 → 0	X	Q_n	$\overline{Q_n}$
1	1	0	X	Q_n	$\overline{Q_n}$
1	1	1	X	Q_n	$\overline{Q_n}$

Hình 2: D flip-flop đồng bộ sườn lên với 2 tín hiệu điều khiển \bar{S} , \bar{R}

Chú ý: X: *don't care*

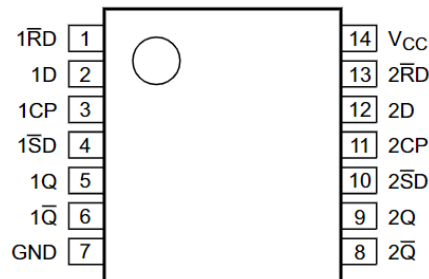
- 0 → 1: tín hiệu clock chuyển từ mức Logic 0 lên mức Logic 1
- Q_n : trạng thái hiện tại (*current state*)
- Q_{n+1} : trạng thái tiếp theo (*next state*)

Lưu ý: Các tín hiệu điều khiển có thể có các tên khác nhau. Ví dụ trong các tài liệu datasheet của các hãng sản xuất và ở phần mềm Tinkercad, tín hiệu \overline{S} còn tên là \overline{PR} , \overline{PRE} , \overline{SD} , \overline{Set} ; \overline{R} còn có tên là \overline{CLR} , \overline{RD} , \overline{Reset} ; CLK còn có tên là CP nhưng chức năng vẫn giống nhau.



Hình 3: Tên gọi của 2 chân điều khiển của D Flipflop ở giao diện Circuit View và Schematic View trên Tinkercad

Khi thực hiện mạch logic, chúng ta có thể dùng D flip-flop được tích hợp sẵn trong các IC. Hình 4 trình bày sơ đồ chân của 74HC74 – IC chứa 2 D flip-flop kích thích ở sườn lên (D FF1 và D FF2). Lưu ý trong sơ đồ này CP là chân để đặt tín hiệu clock.



Hình 4: Sơ đồ chân của 74HC74.

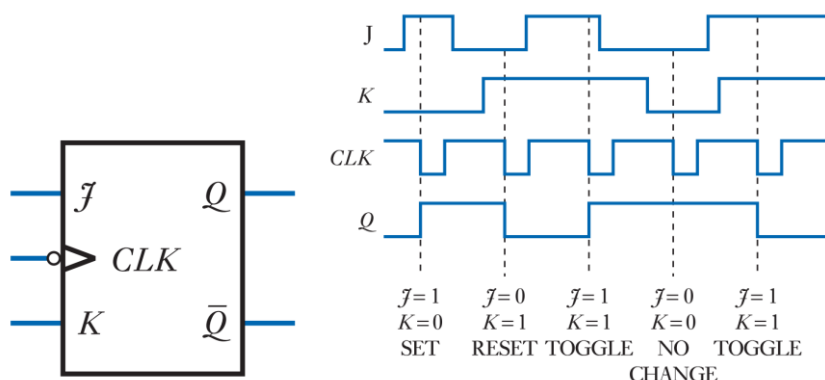
74HC74 Datasheet:

<https://pdf1.alldatasheet.com/datasheet-pdf/view/546570/NXP/74HC74.html>

2.2. J-K flip-flop

Hình 5 trình bày ký hiệu, dạng sóng và bảng thật của J-K flip-flop đồng bộ sườn xuống (negative edge triggered).

- Đầu vào: **J, K, CLK** (tín hiệu clock)
- Đầu ra: **Q** và \overline{Q} (Q đảo)



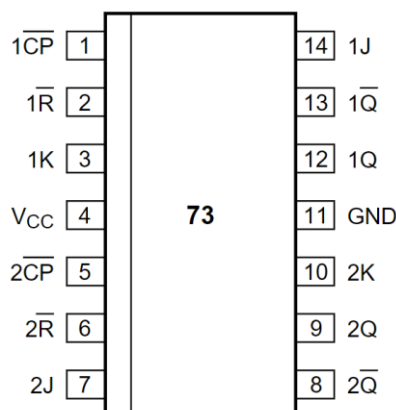
Hình 5: JK flip-flop đồng bộ ở sườn xuống.

Trong bài thực hành, J-K flip-flop được tích hợp sẵn trong IC 74HC73 còn có thêm 2 đầu vào \bar{S} và \bar{R} tích cực mức thấp, không đồng bộ, với bảng thật như sau:

\bar{S}	\bar{R}	CLK	J	K	Q_{n+1}	$\overline{Q_{n+1}}$
0	1	X	X	X	1	0
1	0	X	X	X	0	1
0	0	X	X	X	---	---
1	1	1 \rightarrow 0	0	0	Q_n	$\overline{Q_n}$
1	1	1 \rightarrow 0	1	0	1	0
1	1	1 \rightarrow 0	0	1	0	1
1	1	1 \rightarrow 0	1	1	Toggle	
1	1	0 \rightarrow 1	X	X	Q_n	$\overline{Q_n}$
1	1	0	X	X	Q_n	$\overline{Q_n}$
1	1	1	X	X	Q_n	$\overline{Q_n}$

Hình 6: J-K flip-flop kích thích ở sườn xuống.

Khi thực hiện mạch logic, chúng ta có thể dùng J-K flip-flop được tích hợp sẵn trong các IC. Hình 4 trình bày sơ đồ chân của 74HC73 – IC chứa 2 J-K flip-flop đồng bộ sườn xuống (J-K FF1 và J-K FF2).



Hình 7: Sơ đồ chân của 74HC73.

74HC73 Datasheet:

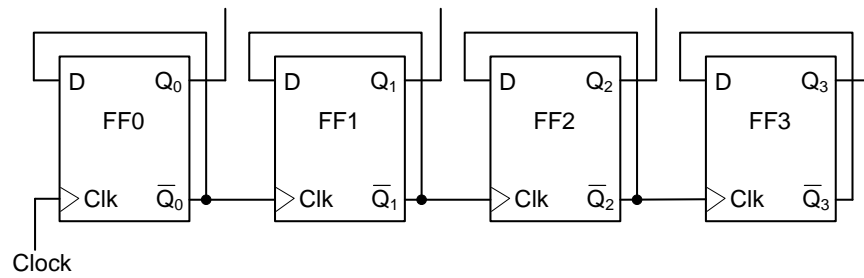
<https://pdf1.alldatasheet.com/datasheet-pdf/view/15658/PHILIPS/74HC73.html>

3. Thiết kế bộ đếm trên TinkerCAD

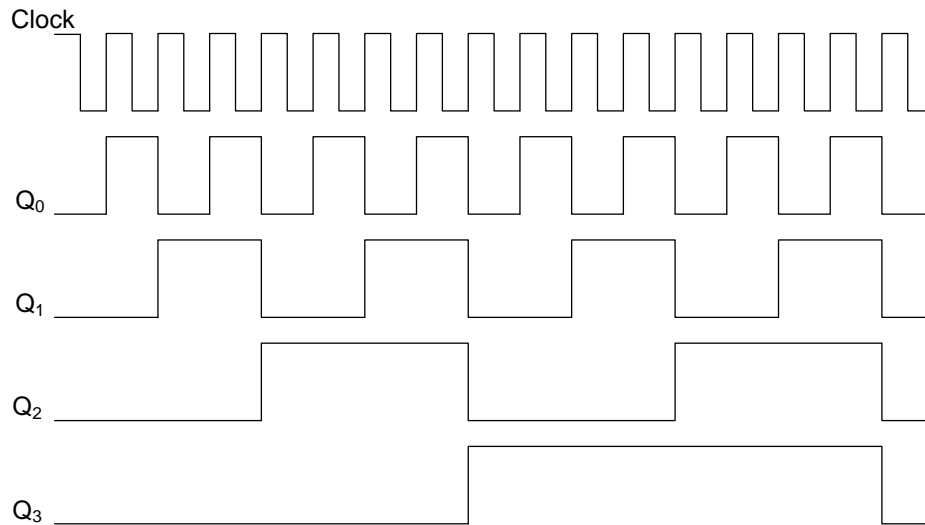
3.1. Bộ đếm không đồng bộ 4-bit dùng D flip-flop

Bộ đếm không đồng bộ (*asynchronous counter*) được thực hiện bằng cách xếp tầng (*cascaded arrangement*) các flip-flop sao cho đầu ra của 1 flip-flop được dùng để làm tín hiệu điều khiển (*drive*) tín hiệu clock của flip-flop tiếp theo.

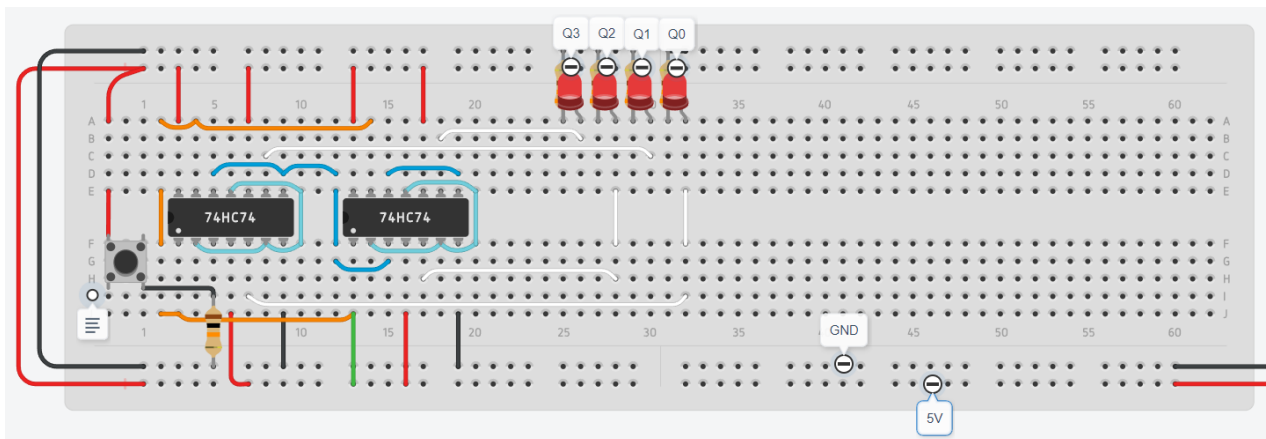
Hình 8 trình bày sơ đồ thiết kế bộ đếm không đồng bộ 4-bit dùng D flip-flop kích thích ở sườn lên. Bộ đếm thực hiện đếm từ 0000-1111 (*4-bit up counter*).



Hình 8: Thiết kế bộ đếm không đồng bộ 4-bit dùng D flip-flop đồng bộ sườn lên



Hình 9: Bộ đếm không đồng bộ 4-bit dùng D flip-flop đồng bộ sườn lên với dạng sóng ở các đầu ra $Q_3Q_2Q_1Q_0$.



Hình 10: Thực hiện bộ đếm không đồng bộ 4-bit dùng D flip-flop trên TinkerCAD.

• **Các linh kiện cần sử dụng:**

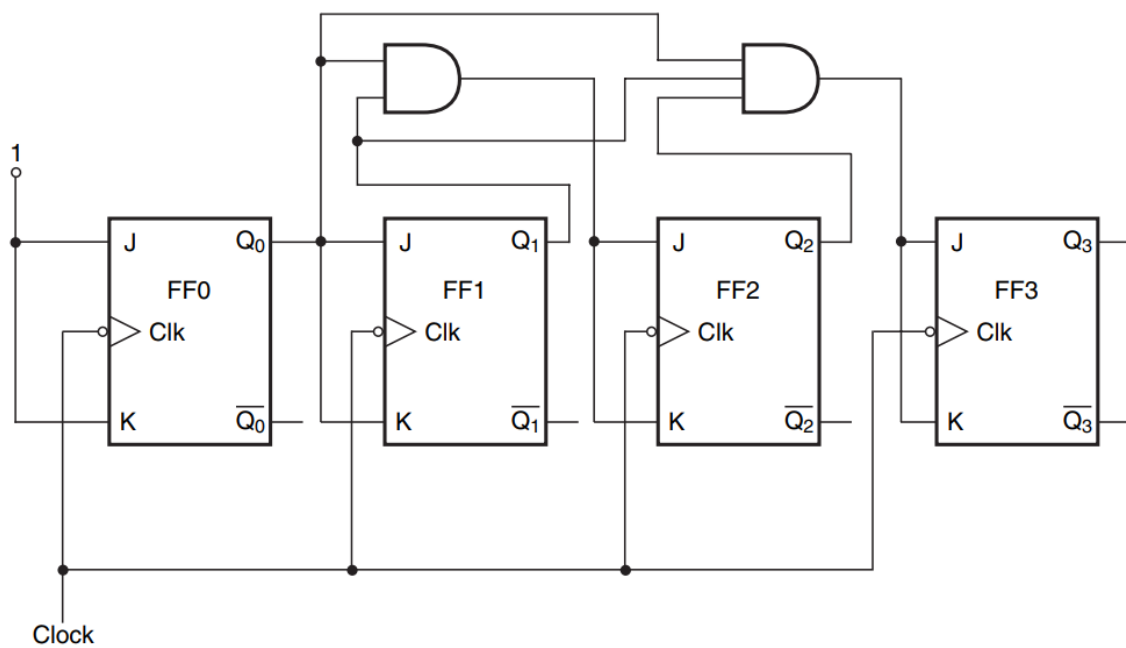
- Nguồn (Pin 9V và LM7805)
- Breadboard
- Điện trở (10kΩ, 330Ω)
- LED

- Nút bấm để tạo tín hiệu clock (hoặc dùng *function generator*)
- 74HC74 (D flip-flop)

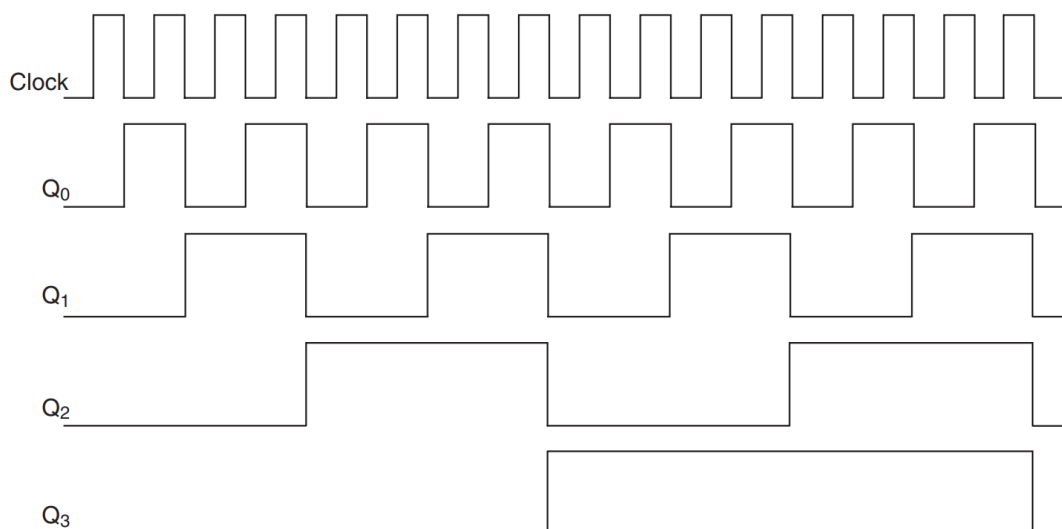
3.2. Bộ đếm đồng bộ 4-bit dùng J-K flip-flop

Bộ đếm đồng bộ (*synchronous counter*) được thực hiện bằng cách chỉ dùng một tín hiệu clock để cùng lúc điều khiển tín hiệu clock của tất cả các flip-flop.

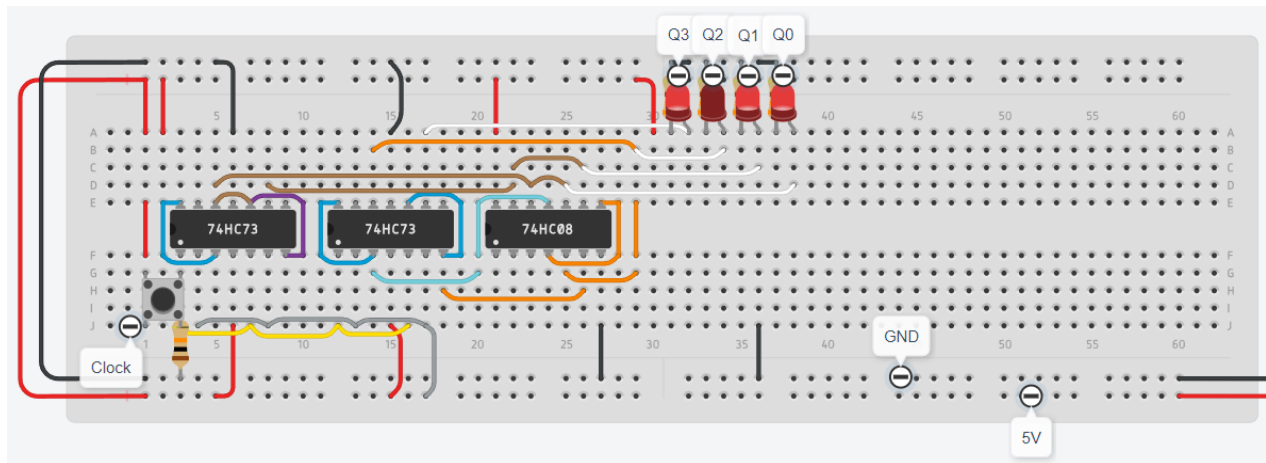
Hình 7 trình bày sơ đồ thiết kế bộ đếm đồng bộ 4-bit dùng J-K flip-flop đồng bộ sườn xuống. Bộ đếm thực hiện đếm từ 0000-1111 (*4-bit up counter*).



Hình 11: Bộ đếm đồng bộ 4-bit dùng J-K flip-flop đồng bộ sườn xuống



Hình 12: Bộ đếm đồng bộ 4-bit dùng J-K flip-flop đồng bộ sườn xuống và dạng sóng ở các đầu ra $Q_3Q_2Q_1Q_0$.



Hình 13: Thực hiện bộ đếm đồng bộ 4-bit dùng J-K flip-flop trên TinkercAD

- **Các linh kiện cần sử dụng:**

- Nguồn (Pin 9V và LM7805)
- Breadboard
- Điện trở (10kΩ, 330Ω)
- LED
- Nút bấm để tạo tín hiệu clock (hoặc dùng *function generator*)
- 74HC73 (J-K flip-flop), 74HC08 (AND).

4. Bài thực hành tự làm

Bài 1. Thực hành lắp bộ đếm 4-bit dùng D flip-flop và J-K flip-flop theo sơ đồ ở

- Hình 8: Thiết kế bộ đếm không đồng bộ 4-bit dùng D flip-flop đồng bộ sườn lên, và
 - Hình 11: Bộ đếm đồng bộ 4-bit dùng J-K flip-flop đồng bộ sườn xuống.
- (Tham khảo mạch lắp trên TinkercAD ở Hình 10 và Hình 13)

Bài 2. Thiết kế và thực hành lắp bộ đếm không đồng bộ 4-bit dùng D flip-flop để đếm theo cách sau: 0-1-2-...-8-9-0-1-... (đếm từ 0 đến 9 và lặp lại). Giá trị đếm được hiển thị trên một LED 7 thanh. Có thể dùng thêm các cổng logic cơ bản (AND/OR/NOT/NAND) nếu cần thiết.