

BÀI 10. GIỚI THIỆU CÔNG NGHỆ TTL VÀ CMOS TRONG THIẾT KẾ MẠCH TÍCH HỢP

1. Mục tiêu

Sinh viên nắm được sự khác biệt cơ bản giữa công nghệ TTL và CMOS trong việc thiết kế và sản xuất mạch tích hợp.

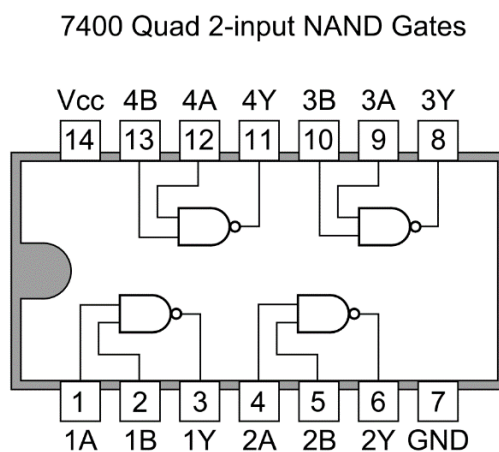
Sinh viên sử dụng phần mềm Multisim để mô phỏng và kiểm tra việc thiết kế các cổng logic cơ bản sử dụng công nghệ TTL và CMOS.

2. Giới thiệu công nghệ TTL và CMOS

Các mạch tích hợp (*integrated circuit - IC*) có thể được chế tạo bằng nhiều công nghệ khác nhau như TTL, CMOS, ECL, I²C, v.v. Mỗi công nghệ chế tạo có cách tiếp cận khác nhau từ đó tạo thành các họ logic; các IC được chế tạo với cùng một công nghệ sẽ có cùng những đặc trưng kỹ thuật nhất định. Bài thực hành này sẽ tập trung vào 2 công nghệ chế tạo IC phổ biến là TTL và CMOS.

2.1. Công nghệ TTL

Công nghệ TTL (*Transistor Transistor Logic*) được giới thiệu lần đầu vào năm 1963. Đây là một họ logic được cấu thành từ các transistor lưỡng cực (BJT). Hình 1 trình bày IC 7400 gồm 4 cổng NAND được chế tạo theo công nghệ TTL. Các cổng logic bên trong IC này về cơ bản được cấu thành từ các transistor lưỡng cực và các điện trở. Trong thực tế, việc sử dụng transistor Schottky thay cho transistor truyền thống trong thiết kế cổng logic sẽ mang đến sự kết hợp giữa tốc độ cao và công suất tiêu thụ thấp.

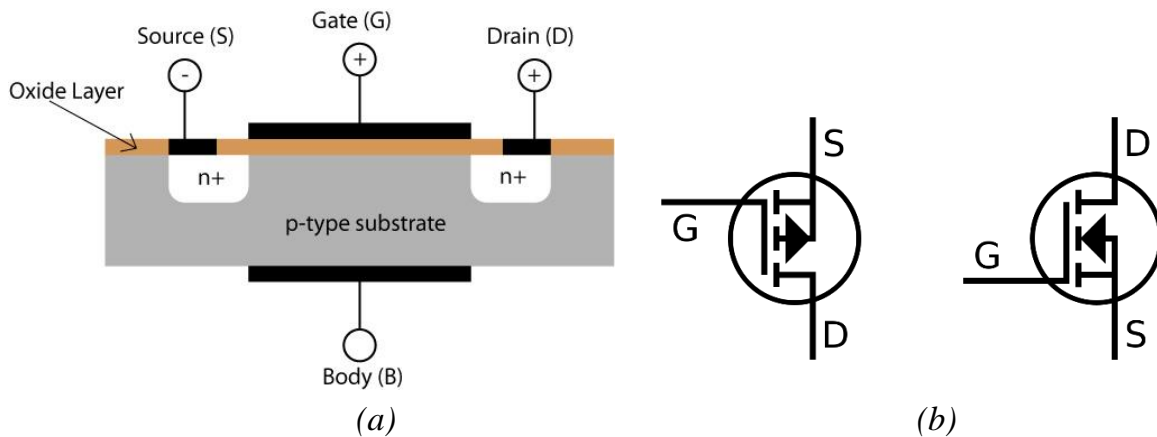


Hình 1. 7400 NAND IC.

2.2. Công nghệ CMOS

Công nghệ CMOS (*Complementary Metal Oxide Semiconductor*) được giới thiệu lần đầu vào năm 1968. Công nghệ này chỉ sử dụng các transistor trường loại p và n (NMOS và

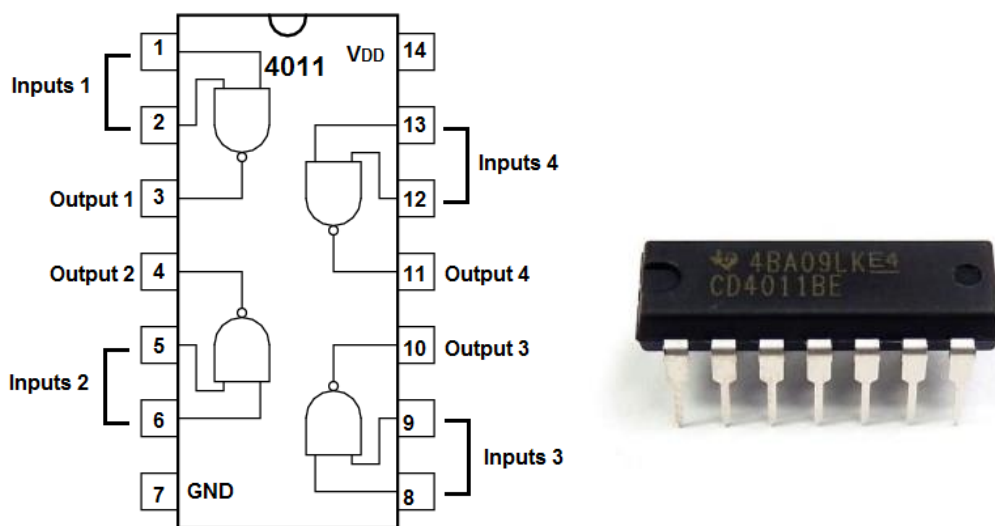
PMOS) để thiết kế các mạch logic. Hình 2 trình bày cấu tạo của NMOS (a) và ký hiệu của NMOS và PMOS (b).



Hình 2. Mặt cắt của NMOS (a), ký hiệu của NMOS và PMOS (b)

NMOS: gồm có các cực Gate (G), Source (S), Drain (D), chất nền p (được nối đến GND). Khi cực Gate ở mức điện áp thấp thì transistor ở trạng thái khóa, tức không có dòng điện qua transistor. Khi cực Gate ở mức điện áp cao thì “tụ MOS” (cấu tạo **Metal – Oxide (chất cách điện) – Semiconductor** hình thành nên tụ MOS) được nạp điện dương ở cực Gate, đồng thời chất nền p mang điện tích âm làm cho kênh dẫn ở ngay phía dưới cổng Gate “trở thành” loại chất bán dẫn loại n và dòng điện sẽ chạy trong chất bán dẫn từ cực Source đến cực Drain.

PMOS: gồm có các cổng Gate (G), Source (S), Drain (D), chất nền n. Nguyên lý hoạt động của PMOS cũng tương tự như NMOS nhưng có sự đảo ngược về cấu tạo và mức điện áp sử dụng.



Hình 3. 4011 NAND IC

Hiện nay, công nghệ CMOS được sử dụng để thiết kế hầu hết các IC dù phức tạp hay đơn giản như: vi xử lý, vi điều khiển, chip nhớ, trong các bộ chuyển đổi dữ liệu, cảm biến ảnh, v.v. Hình 3 trình bày IC 4011 gồm 4 cổng NAND được chế tạo theo công nghệ CMOS.

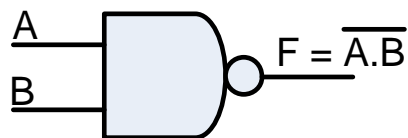
2.3. Một vài so sánh giữa TTL và CMOS

- Cùng một loại vật liệu bán dẫn, công nghệ CMOS cho phép mật độ cổng logic (*densisty of logic gates*) cao hơn công nghệ TTL.
- Công nghệ TTL tiêu thụ nhiều năng lượng hơn công nghệ CMOS.
- Các chip được chế tạo bằng công nghệ CMOS thường “nhạy cảm” với sự phóng tĩnh điện (*electrostatic discharge*). Ví dụ, một người nếu vô tình chạm tay vào các cực (*terminal*) của chip được chế tạo bằng công nghệ CMOS có thể làm hỏng chip.
- Công nghệ CMOS có khả năng chống nhiễu (*noise*) tốt hơn công nghệ TTL.

2.4. Ví dụ thiết kế

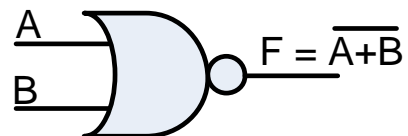
Để thiết kế các mạch logic thực tế, công nghệ TTL chủ yếu dùng cổng NAND trong khi công nghệ CMOS dùng cổng NAND hoặc NOR (hoặc cả hai). Lý do chính là vì hai cổng logic này có cấu tạo mạch đơn giản và bất kỳ một hàm Boolean nào cũng có thể được thực hiện chỉ bởi dùng một trong hai loại cổng logic này. Vì vậy, cổng NAND và NOR còn được gọi là “cổng chung” (*universal gate*).

Phần này sẽ trình bày cách thức thiết kế cổng NAND và NOR 2 đầu vào với công nghệ TTL và CMOS. Hình 3 (a) và (b) trình bày ký hiệu và bảng chân lý của cổng NAND và NOR 2 đầu vào.



(a)

A	B	$F = \overline{A.B}$
0	0	1
0	1	1
1	0	1
1	1	0



(b)

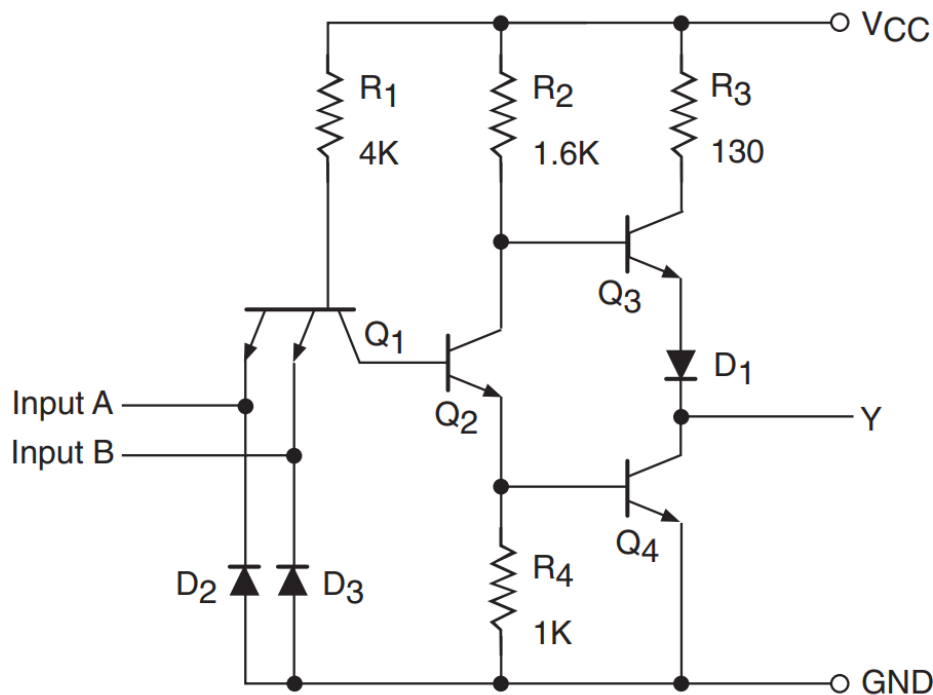
A	B	$F = \overline{A+B}$
0	0	1
0	1	0
1	0	0
1	1	0

Hình 3: Ký hiệu và bảng chân lý của cổng NAND và NOR

2.4.1. Thiết kế cổng NAND với công nghệ TTL

Sơ đồ thiết kế: Hình 4 trình bày sơ đồ thiết kế cổng NAND 2 đầu vào với công nghệ TTL. Trong sơ đồ này, 2 đầu vào (A, B) của cổng NAND là 2 cực Emitter (E) của Q1; đầu ra (Y) của cổng NAND là cực Collector (C) của Q3.

Chú ý: Các tham số sử dụng trong mạch đều có thể tính toán được từ lý thuyết về transistor BJT. Tuy nhiên, để đơn giản hóa, bài thực hành này sẽ không đề cập chi tiết cách tính toán mà tập trung vào nguyên lý hoạt động của mạch.



Hình 4: Sơ đồ mạch nguyên lý cổng NAND 2 đầu vào với công nghệ TTL.

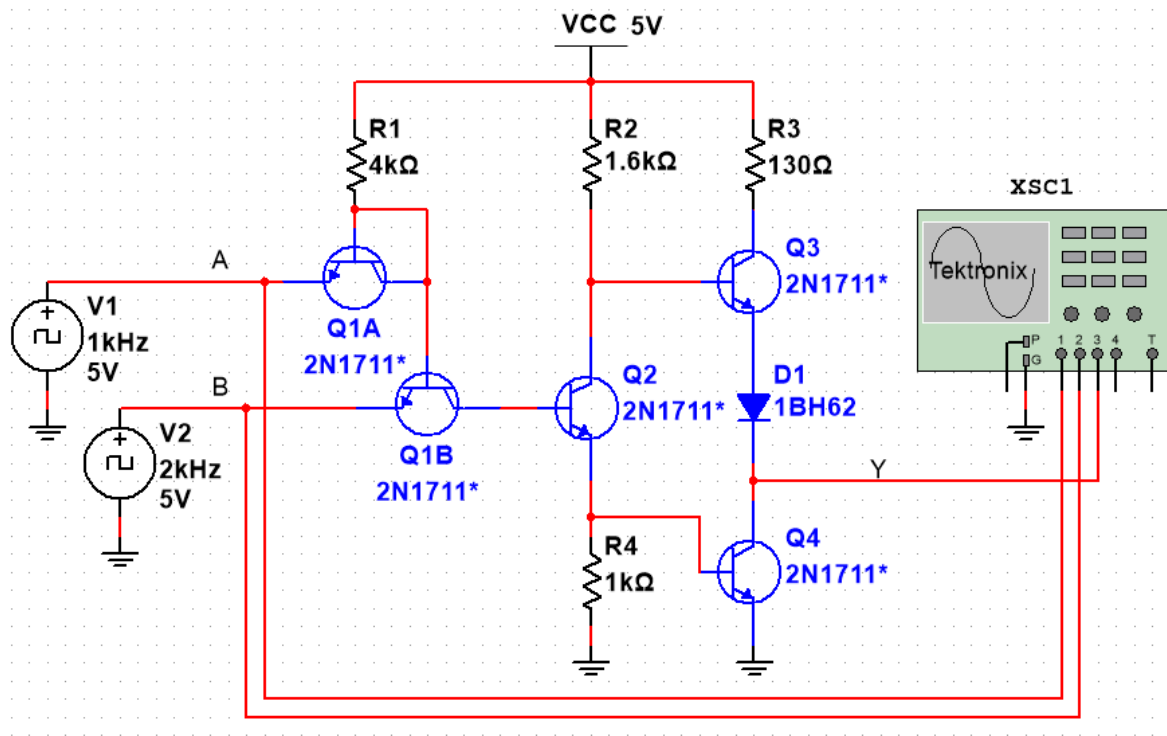
Nguyên lý hoạt động:

- Khi điện áp mức cao được đặt vào 2 đầu vào thì có dòng điện chảy từ từ cực E của Q1 sang cực B của Q2 khiến Q2 ON. Q2 ON đến bão hòa khiến Q3 OFF và Q4 ON (Q4 hoạt động như điện trở kéo xuống). Kết quả là đầu ra ở mức điện áp thấp, tức mức Logic 0 (diode D1 được dùng để ngăn Q3 dẫn dòng khi đầu ra ở mức Logic 0).
- Khi điện áp mức thấp được đặt vào ít nhất một trong 2 đầu vào thì Q2 ở trạng thái OFF (cut-off, khóa) khiến Q3 ON, tức dẫn điện (Q3 hoạt động như điện trở kéo lên) và Q4 ở trạng thái OFF. Kết quả là đầu ra ở mức điện áp cao, tức mức Logic 1.

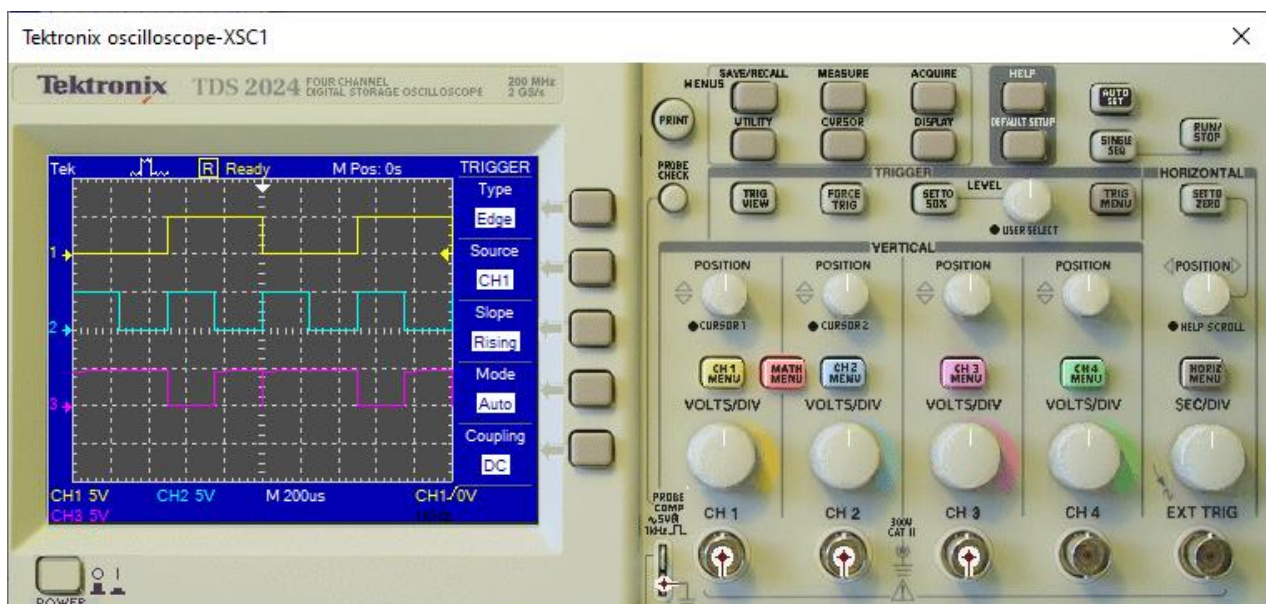
Thực hiện mô phỏng: Sinh viên sử dụng phần mềm Multisim (hoặc Multisim Live) để thiết kế cổng NAND 2 đầu vào như sơ đồ mạch nguyên lý ở Hình 5.

Chú ý: Trong sơ đồ ở Hình 4, Q1 là một transistor đặc biệt có nhiều hơn 1 cực Emitter (đây là một đặc trưng của công nghệ TTL). Tuy nhiên, trong phần mềm mô phỏng chúng ta có thể thay thế bằng 2 transistor thông thường (Q1A và Q1B) như ở Hình 5.

- Ở 2 đầu vào của cổng NAND, đặt 2 bộ tạo tín hiệu tần số lệch nhau để thuận tiện cho việc quan sát kết quả (ví dụ: 1kHz cho đầu vào A, 2kHz cho đầu vào B).
- Ở đầu ra của cổng NAND, lắp 1 Oscilloscope hoặc 1 Probe để quan sát tín hiệu ở điểm này.
- Sau đó, thực hiện mô phỏng (bấm **Run**) và quan sát kết quả thu được dưới dạng sóng tín hiệu.



Hình 5: Mạch mô phỏng của cổng NAND 2 đầu vào với công nghệ TTL trong phần mềm Multisim.



Hình 6: Dạng sóng tín hiệu ở 2 đầu vào (A, B) và ở đầu ra (Y) của cổng NAND.

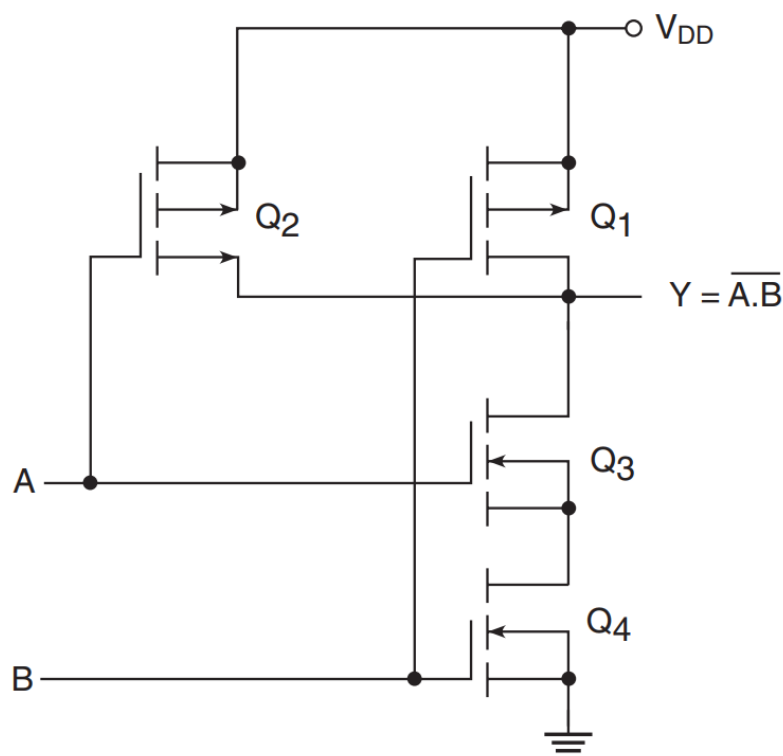
Kết quả mô phỏng: Quan sát kết quả thu được dưới dạng sóng như Hình 6 và đối chiếu với bảng chân lý của cổng NAND ở Hình 3a sẽ thấy:

- Khi điện áp tại 2 đầu vào (A và B) của cổng NAND ở mức điện áp thấp $\sim 0V$ (Logic 0) thì điện áp tại đầu ra (F) của ở mức điện áp cao $\sim 5V$ (Logic 1).
- Trong các trường hợp còn lại của điện áp tại 2 đầu vào thì điện áp tại đầu ra luôn ở mức thấp.

Nhận xét: Kết quả mô phỏng ở Hình 6 có ý nghĩa minh họa cho việc sử dụng transistor BJT để thực hiện đúng chức năng làm việc của cổng NAND được chế tạo theo công nghệ TTL. Trong thực tế, các IC được chế tạo với nhiều thông số phải đạt các tiêu chuẩn khắt khe (ví dụ: tiêu chuẩn về dải điện áp ra, dải cường độ dòng điện, khả năng chống nhiễu, v.v.). Tuy nhiên, để mô phỏng chính xác một IC của một nhà sản xuất là rất phức tạp vì cần nhiều thông tin liên quan đến bí mật công nghệ (ví dụ: công nghệ chế tạo bán dẫn).

2.4.2. Thiết kế cổng NAND với công nghệ CMOS

Sơ đồ thiết kế: Hình 7 trình bày sơ đồ thiết kế cổng NAND 2 đầu vào với công nghệ CMOS. Trong sơ đồ này, 1 đầu vào (A) của cổng NAND nối với các cực Gate của Q2 (PMOS) và của Q3 (NMOS), 1 đầu vào (B) nối với các cực Gate của Q1 và Q4; đầu ra (Y) của cổng NAND là cực Drain của của Q1.



Hình 7: Sơ đồ mạch nguyên lý cổng NAND 2 đầu vào với công nghệ CMOS.

Nguyên lý hoạt động:

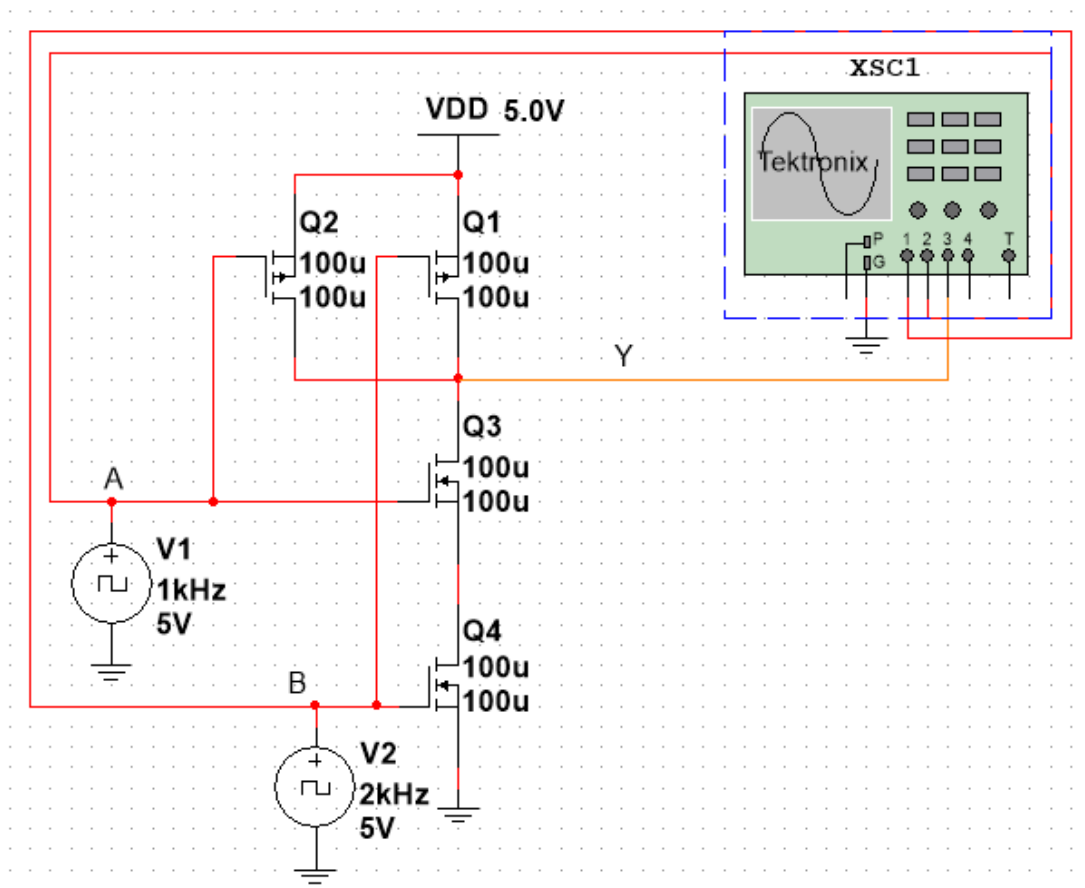
- Khi điện áp cao được đặt vào cả 2 đầu vào (A và B) thì 2 transistor mắc song song (Q1 và Q2) ở trạng thái OFF (khóa) trong khi 2 transistor mắc nối tiếp (Q3 và

Q4) ở trạng thái *ON* (dẫn). Điều này dẫn tới điện áp ở đầu ra (cực Drain của Q1) ở mức thấp, tức *Logic 0*.

- Khi điện áp thấp được đặt vào cả 2 đầu vào (A và B) thì Q1 và Q2 ở trạng thái *ON* trong khi Q3 và Q4 ở trạng thái *OFF*. Điều này dẫn tới điện áp ở đầu ra ở mức cao, tức *Logic 1*.
- Khi điện áp thấp được đặt ở một trong 2 đầu vào (A hoặc B) thì Q3 hoặc Q4 ở trạng thái *OFF*, khi đó Q3 (do mắc nối tiếp với Q4) sẽ không dẫn điện. Mặt khác, Q1 hoặc Q2 sẽ ở trạng thái dẫn (tức *ON*). Điều này dẫn tới điện áp ở đầu ra sẽ ở mức cao, tức *Logic 1*.

Chú ý: Các tham số sử dụng trong mạch trên chỉ phụ thuộc vào cách chế tạo các NMOS và PMOS.

Thực hiện mô phỏng: Sinh viên sử dụng phần mềm Multisim (hoặc Multisim Live) để thiết kế cổng NAND 2 đầu vào như sơ đồ mạch mô phỏng ở Hình 8.

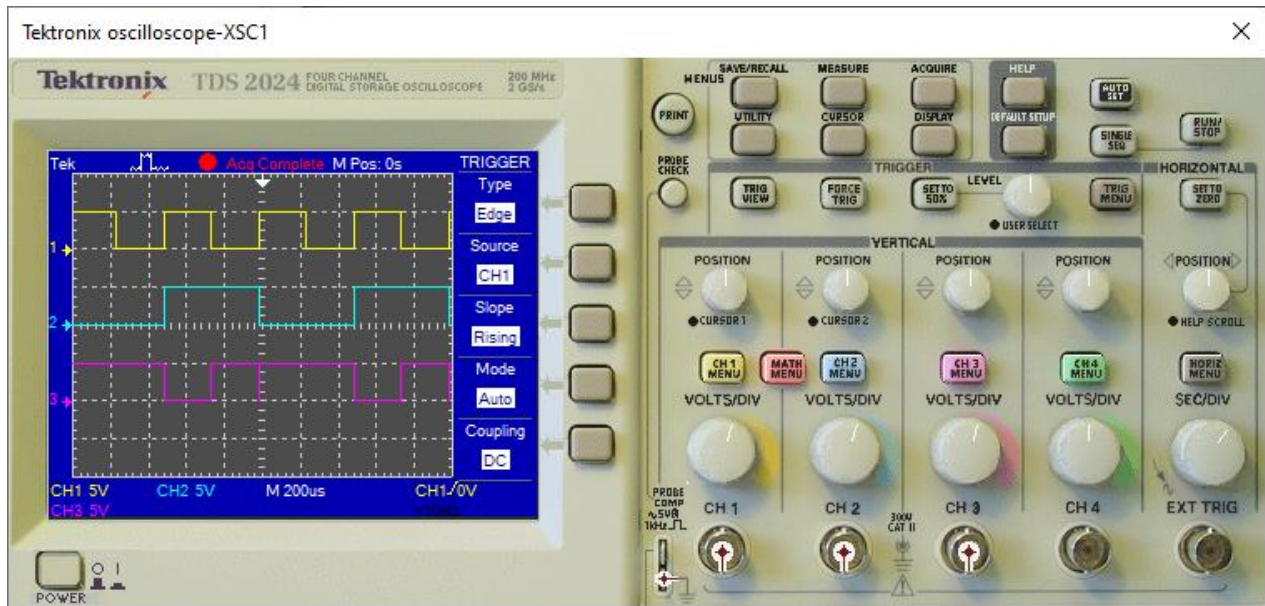


Hình 8: Mạch mô phỏng của cổng NAND 2 đầu vào với công nghệ CMOS trong phần mềm Multisim.

Kết quả mô phỏng: Quan sát kết quả thu được dưới dạng sóng như Hình 9 và đối chiếu với bảng chân lý của cổng NAND ở Hình 3a sẽ thấy:

- Khi điện áp tại 2 đầu vào (A và B) của cổng NAND ở mức điện áp thấp (*Logic 0*) thì điện áp tại đầu ra (Y) của ở mức điện áp cao (*Logic 1*).

- Trong các trường hợp còn lại của điện áp tại 2 đầu vào thì điện áp tại đầu ra luôn ở mức thấp.



Hình 9: Dạng sóng tín hiệu ở 2 đầu vào (A, B) và ở đầu ra (Y) của cổng NAND.

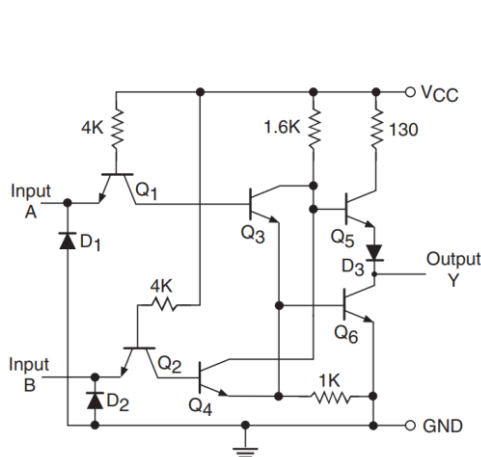
3. Bài thực hành tự làm

Bài 1. Thực hiện mô phỏng lại hoạt động cổng NAND 2 đầu vào với công nghệ TTL và CMOS. Sử dụng thiết kế mạch như Hình 5 và 8.

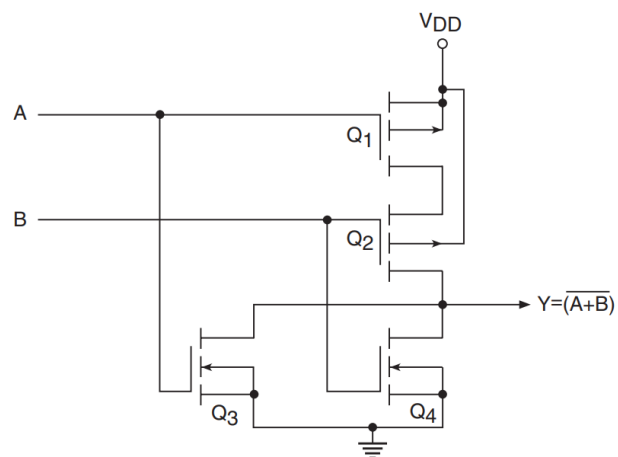
Yêu cầu:

- Sử dụng máy tạo xung (*function generator*) hoặc công tắc (*switch*) để tạo tín hiệu phù hợp với mức *Logic 0* và *Logic 1* ở 2 đầu vào A và B.
- Dùng ô-xi-lô (*oscilloscope*) hoặc von kế (*probe*) để quan sát tín hiệu ở đầu vào và tín hiệu ở đầu ra.
- Phân tích và đối chiếu kết quả thu được với bảng chân lý của cổng NAND.

Bài 2. Thiết kế cổng NOR 2 đầu vào với công nghệ TTL và CMOS. Tham khảo sơ đồ thiết kế như hình dưới đây.



TTL NOR gate



CMOS NOR gate

Yêu cầu:

- Sử dụng máy tạo xung (*function generator*) hoặc công tắc (*switch*) để tạo tín hiệu phù hợp với mức *Logic 0* và *Logic 1* ở 2 đầu vào A và B.
- Dùng ô-xi-lô (*oscilloscope*) hoặc von kế (*probe*) để quan sát tín hiệu ở đầu vào và tín hiệu ở đầu ra.
- Phân tích và đối chiếu kết quả thu được với bảng chân lý của cổng NOR.

Bài 3. Vận dụng kiến thức và các thiết kế mẫu ở phần trên để thiết kế cổng NAND 3 đầu vào với công nghệ TTL và CMOS.

Yêu cầu:

- Sử dụng máy tạo xung (*function generator*) hoặc công tắc (*switch*) để tạo tín hiệu phù hợp với mức *Logic 0* và *Logic 1* ở 2 đầu vào A, B, và C.
- Dùng ô-xi-lô (*oscilloscope*) hoặc von kế (*probe*) để quan sát tín hiệu ở đầu vào và tín hiệu ở đầu ra.
- Phân tích và đối chiếu kết quả thu được với bảng chân lý của cổng NAND.