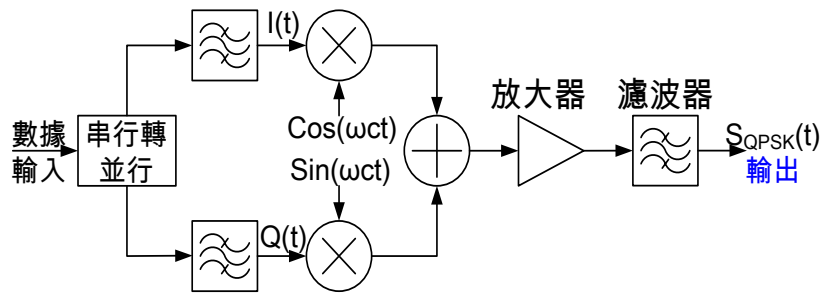
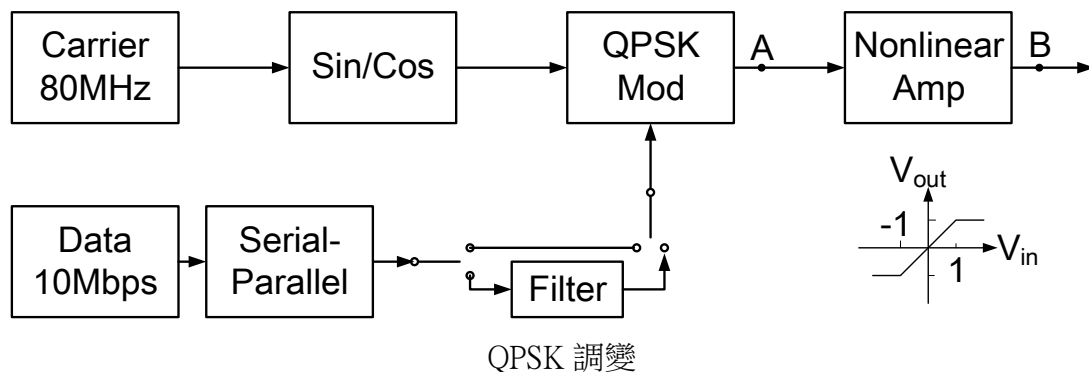


RF Circuit Design 習題三 2025/03/31

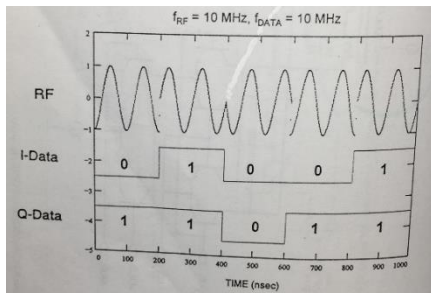
- 已知在無線通訊中為增加頻譜使用效率採用高階數位調變技術，又為解決 ISI 必須在調變前將數位信號濾波。今本習題請各位同學利用熟悉的軟體產生 QPSK 調變信號如下圖，並觀察此調變技術在波形及對應頻譜的因果關係。



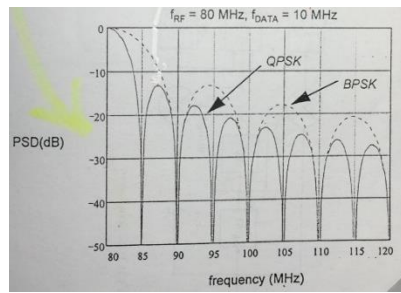
- 自行產生亂數數位信號方波形(10Mbps，振幅為 $\pm 1V$)，觀察重點在頻域的 Null Frequency 及第一個旁波是否與主頻大小差 $\sim 13dB$?
- 利用講義產生串行轉並行信號(5Mbps)，並調變載波(80MHz)振幅 $\pm 1.2V$ ，觀察數位信號有/無經過 RC 濾波器($BW=5MHz$)的調變波形及頻譜(下圖點 A)，觀察重點在濾波前後的時域波形差異，特別是瞬間轉變點的波幅大小改變程度，並注意頻域中第一個旁波差是否壓得比 13dB 多?
- 將 A 點波形輸入一非線性放大器其輸出對輸入如下圖，觀察輸出波形(點 B)的頻譜旁波增長的現象(Spectral Regrowth)



參考

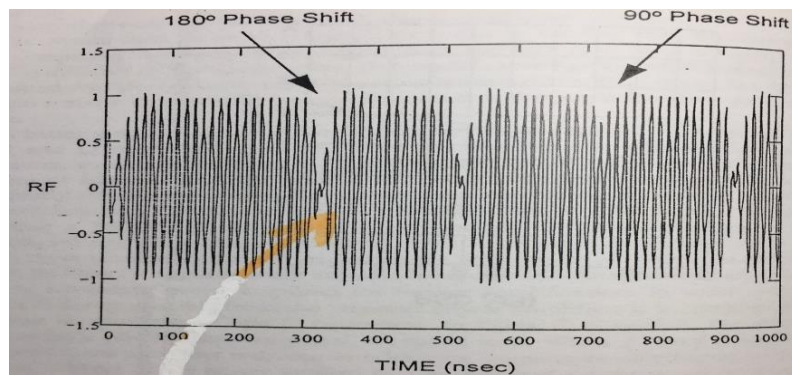


(a)



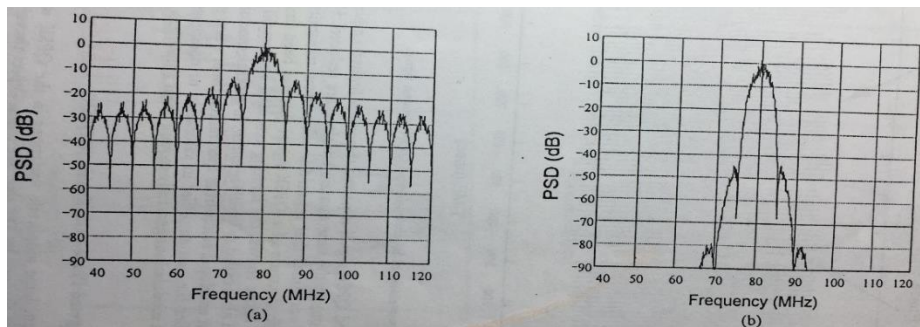
(b)

(a) I/Q 數位信號及(b)未濾波的調變波形與頻譜

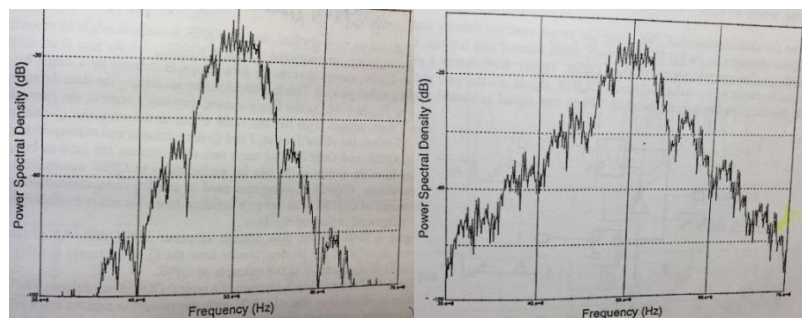


(c)

(c) I/Q 通過濾波器後調變的波形



(a)未濾波及(b)濾波後調變頻譜的比較

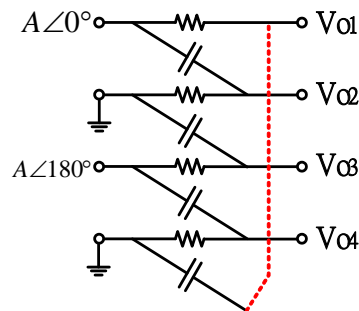


(a)

(b)

非線性放大器(a)輸入與(b)輸出頻譜

2. 由講義推導知單級多相位濾波器(single-stage polyphaser filter)四端輸出相位只有在一特定單頻 $f = 1/2\pi RC$ 時才會互相差 90° ，而且振幅相等。然而在實際應用中對於具有一定頻寬之訊號，電路不會完全匹配，用於鏡像消除會有效果不佳的疑慮，而且因製程及溫度變動因素使RC值漂移造成中心頻率偏差，此時可考慮使用多級串接，並且使每一級的極點頻率些微偏移，以解決寬頻正交輸出。



單級多相位濾波器

舉例說明如下：

請設計一多相位濾波器在 1200 MHz 達到 30 dB 的鏡像拒斥率。

解：由鏡像拒斥比(IRR)近似公式：

$$IRR \approx \frac{(\Delta A / A)^2 + \theta^2}{4}$$

知要達到 30 dB 的鏡像拒斥率振幅差要小於 6.3 %。但因製程因素，今假設 RC 值各變動 $\pm 20\%$ ，在此將 RC 變動量 20 % 視為 RC 值不動而工作頻率變動，換言之要滿足工作頻率從 816 MHz ($1/2\pi \times 1.2R \times 1.2C$) 至 1837 MHz ($1/2\pi \times 0.8R \times 0.8C$) 之內，振幅變動要小於 6.3 %。

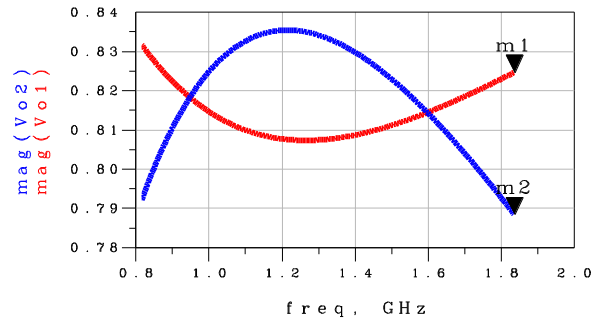
第一步

選擇中心頻率的 RC 值。已知元件值愈大製程匹配愈佳，在此以儘量達到高輸入阻抗避免負載作用的前提下，儘量提高 R 值但仍必須考慮 C 值符合匹配。在此設 R 為 331 歐姆、C 為 400fF，極點頻率在 1200MHz。

第二步

決定多級多相位濾波器之各級之 R、C 值時。在此採用二級，為了要讓整體多相位濾波器的損耗減小，所以後級之阻抗盡量大於前級之阻抗；同時，讓前級極點頻率大於後級之極點頻率。

一般選擇在以中心點頻率(1200MHz)與左右兩極限頻率(816MHz/1837MHz)的中間。依此原則，選擇第一級 $R=48\Omega$ 、 $C=400\text{fF}$ (1600MHz)，第二級 $R=1676\Omega$ 、 $C=100\text{fF}$ (950 MHz)，模擬如下圖所示，最大 Vo1、Vo2 輸出振幅的變動量只有 5.7 %，所以兩級的多相位濾波器即可達到設計目標。若未達到目標可些微調整極點頻率，若實在不行可以再加一級 RC，但會增加信號衰減。

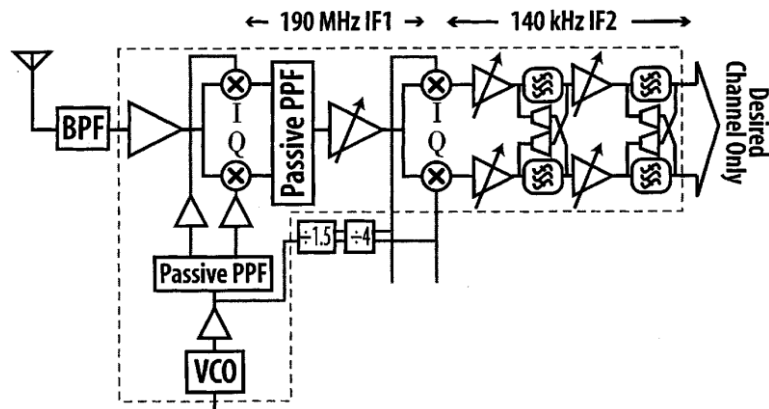


兩級多相位濾波器輸出振幅之頻率響應

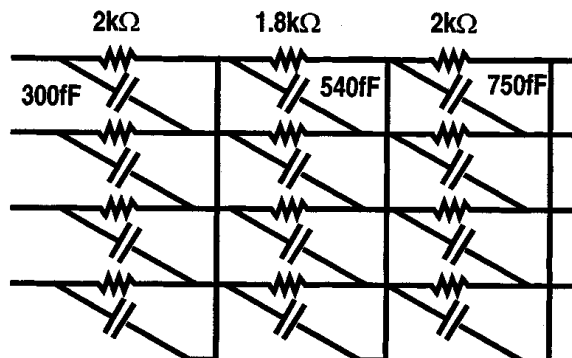
〈m1 : 825 mV @ 1837 MHz , m2 : 788 mV @ 1837 MHz〉

請各位同學驗證以下的題目：

1. 從頻寬/衰減比較單級 RC/CR 與 Polyphase 的優劣 $R=331\Omega$ 、 $C=400\text{fF}$ ，。先假設信號源的內阻 $=0\Omega$ ，負載端阻抗 ∞ ，輸入端可採用差動式如上圖所示。
2. 假設製程誤差 20%請設計兩級 polyphase filter 並觀察 R 大在前及在後兩種設計輸出振幅衰減與相位誤差。
3. 下圖為2001年UCLA的論文摘錄圖，有接收的架構圖及三級多相位濾波器，並附上設計說明如下文，請利用軟體檢查是否如論文所說達到40 dB的拒斥，並且有30%的safety margin。(註:若數據有出入可能是來自於輸出及輸入阻抗未知，可自行調整)



Architecture of this GSM receiver prototype



Polyphase Filter

Following the quadrature mixers, a passive RC polyphaser filter passes the desired signal with an **insertion loss of 9 dB**, and rejects the image by more than **40 dB** relative to the desired signal. Three stagger-tuned stages (Fig. 7) are required to guarantee this image rejection across the GSM band, with a **safety margin of 30%** to cover process spreads. The resistors in this filter are unsalicyded polysilicon with the typical sheet resistance of $133 \Omega/\square$ and $\pm 20\%$ process variation, and capacitors are MIM with 30-nm-thick oxide, which gives a density of $1 \text{ fF}/\mu\text{m}^2$. The capacitor value varies by about $\pm 15\%$ due to process spreads.

Passband loss in the polyphase filter is lowered by tapering up the resistance in the last stages [13]. Resistance of $2 \text{ k}\Omega$ in the last stage trades off noise and signal loss. The first stage uses a $2\text{-k}\Omega$ resistor to prevent loading of the first mixer.

To reject the image by 40 dB, the components in the four branches of the filter must match to 1%. Capacitors of 200 fF or larger, and resistors occupying an area of at least $70 \mu\text{m}^2$ will match to this accuracy.

Ref: Shahrzad Tadjpour, *Member, IEEE*, Ellie Cijvat, *Student Member, IEEE*, Emad Hegazi, *Student Member, IEEE*, and Asad A. Abidi, *Fellow, IEEE*, A 900-MHz Dual-Conversion Low-IF GSM Receiver in 0.35- μm CMOS, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 36, NO. 12, DECEMBER p. 1992, 2001.