

Conception d'un compteur synchrone 8 bits

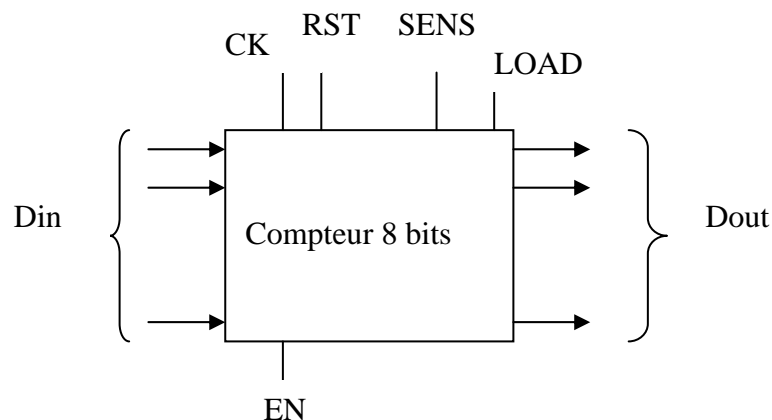
Objectifs du TP :

- Apprendre à écrire son premier code VHDL
- Apprendre et maîtriser le flot de conception FPGA (synthèse, placement routage et implémentation sur FPGA)
- Découvrir le logiciel XILINX ISE

Spécifications :

Il faut écrire le code VHDL décrivant le comportement d'un compteur 8 bits **synchrone** sur le front montant. Ce compteur a les signaux suivants :

CK	- horloge.
RST	- reset – signal de remise à zéro du compteur synchrone avec l'horloge (actif bas).
LOAD	- signal de commande synchrone de chargement du compteur (actif haut).
SENS	- à l'état bas, le circuit décrémente à chaque transition montante de l'horloge, - à l'état haut, le circuit incrémente.
EN	- enable – permet au compteur de compter s'il est à la masse (actif bas)
Din	- donnée à charger dans le compteur (sur 8 bits) quand la commande LOAD est active
Dout	- sortie sur 8 bits



Les signaux CK, SENS, RST et LOAD sont du type **std_logic**.
Les signaux Din et Dout sont des **std_logic_vector**.

Travail à faire :

1. Ecrire le code VHDL correspondant.
2. Ecrire le programme de test de ce compteur.
3. Simuler.
4. Faire la synthèse de ce code VHDL.
 - Regarder le circuit logique obtenu
 - Regarder le rapport de synthèse et vérifier le nombre des bascules obtenus et la fréquence maximale de fonctionnement
5. Effectuez le placement routage.
6. Effectuer la simulation du compteur 8 bits placé et routé. Comparez avec la simulation fonctionnelle du compteur (code VHDL).
 - Trouver la fréquence maximale de fonctionnement de votre compteur (une indication est donnée dans le rapport après synthèse, mais n'oubliez pas que lors de la synthèse les temps de propagation sur les interconnexions ne sont pas pris en compte)
 - Faites fonctionner le compteur à une fréquence très grande, pour bien le voir décrochez (il ne compte plus correctement)
 - Il y a-t-il des états aléatoires dans votre circuit ? Sont-ils gênants ?
7. Implémenter le compteur 8 bits sur le FPGA. Placez :
 - Din sur les switch
 - RST, LOAD, SENS, EN sur les boutons poussoirs
 - Dout sur les LEDs
 - CLK à ralentir à 1-3Hz (clk de la maquette à 50MHz). Concevez votre circuit diviseur d'horloge en VHDL.