

Réalisation d'un contrôleur DMA

Concevez l'architecture et écrivez le code VHDL correspondant du contrôleur DMA décrit par la suite.

Le transfert des données entre les périphériques (disque dur par exemple) et la mémoire RAM est géré par le contrôleur DMA. Pendant le temps de transfert des données entre le disque dur et la mémoire, le processeur est déconnecté du bus des données et le contrôleur DMA devient le maître du système des bus.

Le contrôleur DMA active les bus des données et d'adresses pour gérer le transfert entre le périphérique et la mémoire. La méthode la plus utilisée consiste à employer un signal de contrôle spécial qui s'appelle « bus request » BR à '1', signal envoyé par le DMA vers le microprocesseur pour lui demander l'utilisation du bus. Le μP fini l'exécution de l'instruction en cours, relâche les bus en mettant les lignes en haute impédance et il envoie le signal « bus grant » BG = à '1' vers le contrôleur DMA. A la fin de transfert DMA, le contrôleur met le signal BR à '0' et le μP reprend le contrôle.

Une fois que BG = '1', le contrôleur DMA prend le contrôle des bus pour communiquer directement avec la mémoire.

Le bus de données et la taille des mots dans la mémoire est de 32 bits.

Pendant un transfert DMA un seul mot de 32 bits peut être transféré ou un bloc entier contenant plusieurs mots. Le contrôleur DMA à réaliser est présenté dans la Fig.1

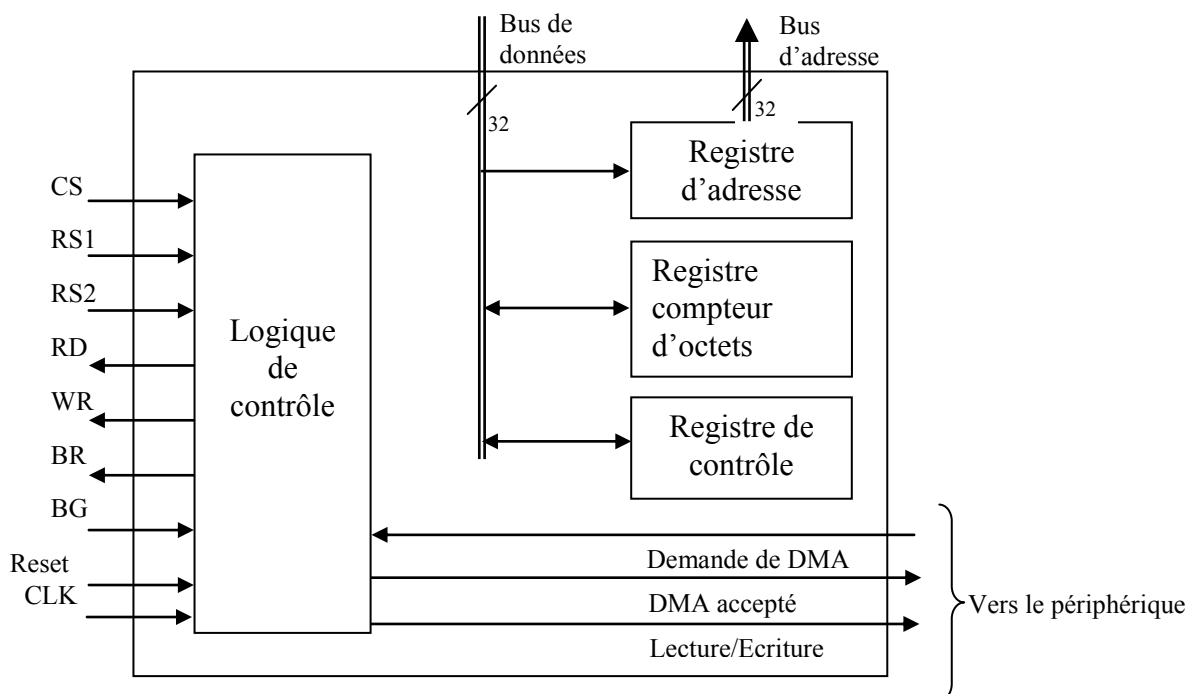


Figure 1. Contrôleur DMA

Le contrôleur dispose de trois registres :

Registre d'adresse : C'est un registre de 16 bits qui spécifie l'adresse du mot de la mémoire principale (RAM) que l'on veut accéder. La valeur du registre doit sortir sur le bus d'adresse qui a une taille de 32 bits. Le registre d'adresse est incrémenté à chaque transfert DMA d'un octet. Comme le bus a 4 octets, le registre s'incrémente de quatre en quatre.

Registre compteur d'octets : C'est un registre de 16 bits qui est initialisé avec le nombre d'octets à transférer lors d'un accès DMA. Il est décrémenté après chaque transfert de quatre en quatre.

Registre de contrôle : C'est un registre de 3 bits. Il sert à indiquer le type de transfert désiré, soit en lecture (de la mémoire vers le périphérique= bit 1 du registre à '1') soit en écriture (du périphérique vers la mémoire = bit 2 du registre à '1') et pour programmer le transfert DMA (le bit 0 du registre à '1').

La programmation de ces trois registres est faite par le μP , en utilisant le bus de données et les signaux de contrôle CS, RS1, RS2. Les registres du DMA sont sélectionnés par le μP en activant registre d'adresse ; RS1=1 et RS2=0 au registre compteur et RS1=0 et RS2=1 au registre de contrôle.

Quand le signal BG='1' le DMA peut communiquer directement avec la mémoire en spécifiant une adresse sur le bus d'adresse et en activant un de signaux de contrôle RD ou WR.

Le contrôleur DMA communique avec le périphérique à travers les signaux de « demande DMA », de « DMA accepté » et « lecture/écriture » (voir fig.1). « Lecture » – transfert de la mémoire vers le périphérique et « écriture »- transfert du périphérique vers la mémoire. Le contrôleur DMA met le signal « DMA accepté » à '1' quand le μP a donnée le contrôle au contrôleur DMA. Quand le périphérique fait une demande de DMA (signal « demande DMA » ='1'), le contrôleur demande le bus au μP (a vous de voir les signaux qu'il faut affecter). Le périphérique est connecté directement au bus de données.

Le transfert DMA fini quand le registre compteur arrive à zéro ou quand le périphérique met le signal « demande DMA » à zéro.

Tout le fonctionnement du DMA est synchrone sur le front montant de l'horloge (signal CLK).

Le reset est lui aussi synchrone avec l'horloge. Le signal de reset est active bas '0' et provoque la mise à zéro des 3 registres.