Ασκηση 2

```
-- Company:
-- Engineer:
-- Create Date: 12/07/2023 06:49:28 PM
-- Design Name:
-- Module Name: assign_1_tb - Behavioral
-- Project Name:
-- Target Devices:
-- Tool Versions:
-- Description:
-- Dependencies:
-- Revision:
-- Revision 0.01 - File Created
-- Additional Comments:
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
-- Uncomment the following library declaration if using
-- arithmetic functions with Signed or Unsigned values
--use IEEE.NUMERIC_STD.ALL;
-- Uncomment the following library declaration if instantiating
-- any Xilinx leaf cells in this code.
--library UNISIM;
--use UNISIM.VComponents.all;
entity assign_1_tb is
  Port ( a : in STD_LOGIC;
      b: in STD LOGIC;
      c: in STD_LOGIC;
      y: out STD_LOGIC);
end assign_1_tb;
architecture Behavioral of assign_1_tb is
```

begin

y <= (a and b and not c) or (a and not b and c)or (not a and b and c)or (not a and not b and not c);

end Behavioral;

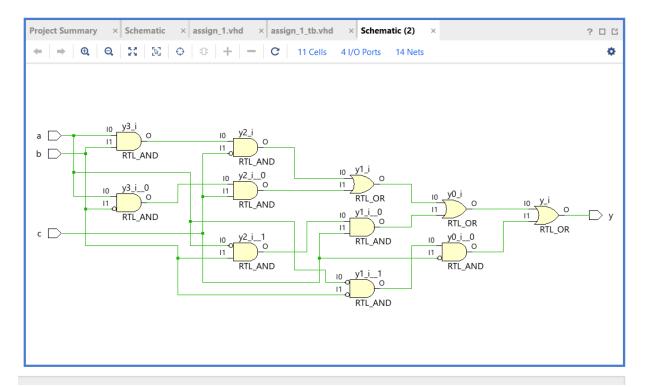
Στην ασκηση θα εχει για πινακα αληθειας ενα πινακα τυπου

а	b	С	у
0	0	0	1
0	0	1	1
0	1	0	1
1	0	0	1
1	1	0	0
1	0	1	0
0	1	1	0
1	1	1	0

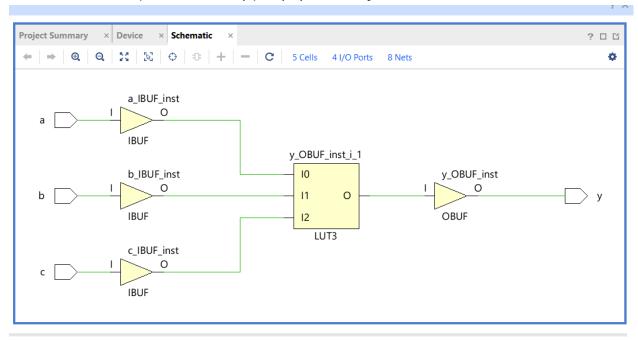
Αρα για y θα θελω μια συναρτηση η οποια ειναι:

$$Y = (-a)bc + a(-b)c + (ab(-c) + (-a)(-b)(-c)$$

Το Schematic που προκύπτει από το RTL Analysis :

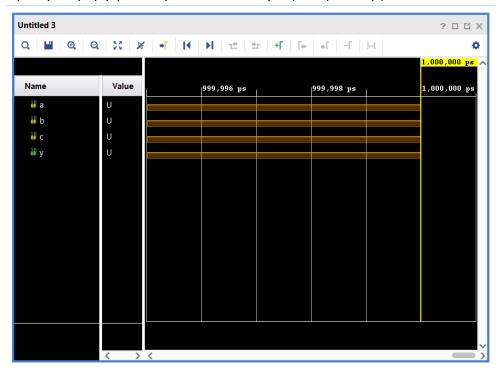


Το Schematic που προκύπτει από τη φάση τη συνδεσεις:

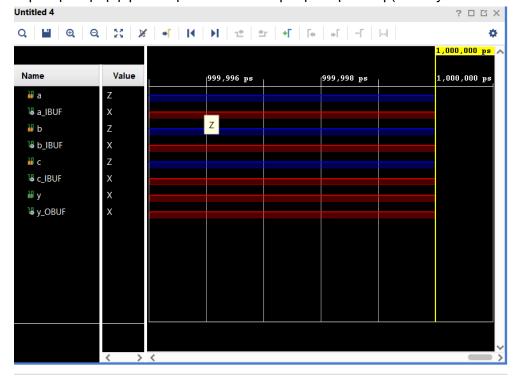


οι ποροι που χρησιμοποιησα ειναι το vivado αφου κανω add file και φιαξω ενα file το οποιο λεγεται assign_1 και βαλω ολα τα σωστα in και outs τοτε κανω run το RTL_analysis για να μου βγαλει το σωστο schematic. Μετα θα τρεξω το run_sithesis και θα παρω το schematic που προσφερθηκε

Την κυματομορφή που προκύπτει από την προσομοίωση (behavioral simulation)



Την κυματομορφή που προκύπτει από την προσομοίωση (Post synthesis timingl simulation)



7. Να επαληθεύσετε από τα βήματα 1 και 5 τη σωστή λειτουργία του προγράμματός σας				
Φαίνεται στον πινακα αληθειας του Υ οτι ειναι αληθεις μονο στις 4 τιμες που πρεπει				