

Design eines Redis Cache

Uni-Projekt: Chip Design & Verilog



Philipp Hecht

Luca Pinnekamp

Luca Schmid

17. Februar 2026

Zusammenfassung

Das war ein sehr cooles Projekt

Inhaltsverzeichnis

1	Test Kapitel_1	2
2	Test Kapitel_2	2

1 Test Kapitel_1

blablabla

2 Test Kapitel_2

blublublu