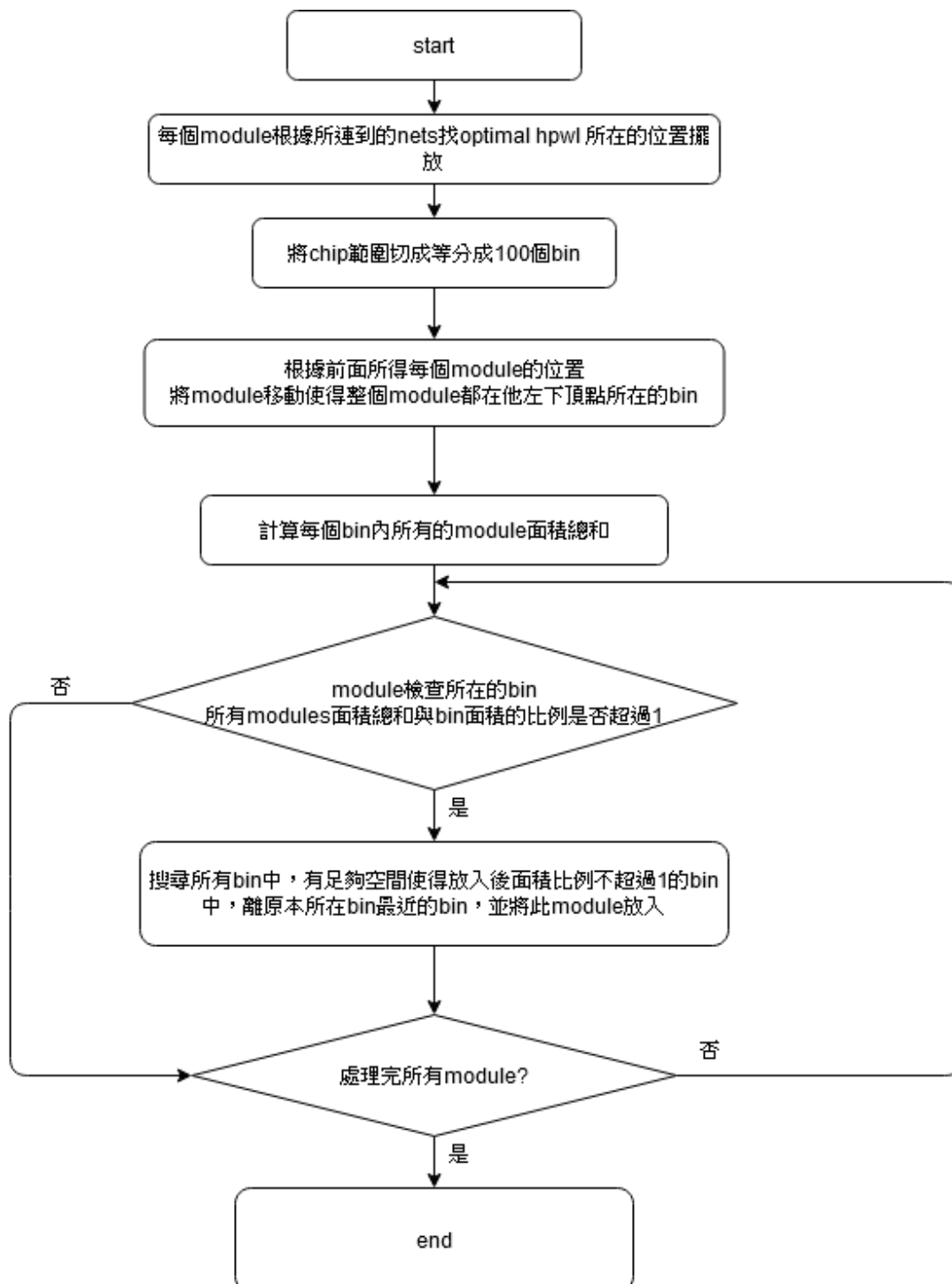


- (1) 王竑智 109062542
- (2) Wirelength & Runtime

Case	Wirelength	Runtime
lbn01	326322850	9.0 sec
lbn05	10756212	16.0 sec
lbn09	2648374576	68.0 sec

- (3) Algorithm



- (4) 因為我是在算最佳 hpwl 的位置時用 analytical 的方法，本身所花費的時間就不多，只要限制計算的次數，必免過多不必要的計算，便可以縮短時間，而在 density 處理上，因為 bin 的個數不多，每個 module 找尋適合的 bin 的時間就不長，所以可以視為線性複雜度，也不算久。
- 在 wirelength 的最佳化上，因為我原本在 density 處理時，是任意搜尋可用的 bin，但這會破壞前面的最佳化結構，所以便改成搜尋離原本 optimal hpwl 位置最近的 bin 放置。
- (5) 我所花的時間不算久，但是在 wirelength 還有進步空間，我為了能夠在 density 的處理上能夠有比較好的效果，避免無法 legalization 的情況，所以在程式結構上就有所取捨，而我有一點可能可以改進的，就是在解決 density 時，我 module 的檢查順序沒有考量到每個 module 所連 nets 的分布問題，也就是有可能因為連接的 nets 數多，所以對於位置移動所造成的 hpwl 增加比較敏感，那這應該優先處理使得他附近的 bin 不會被 nets 數少的 module 佔滿，我想這可以有效降低 hpwl。