

COMPUTAÇÃO RECONFIGURÁVEL COM FPGAS

Pedro Bruel

phrb@ime.usp.br

1 de Julho de 2020

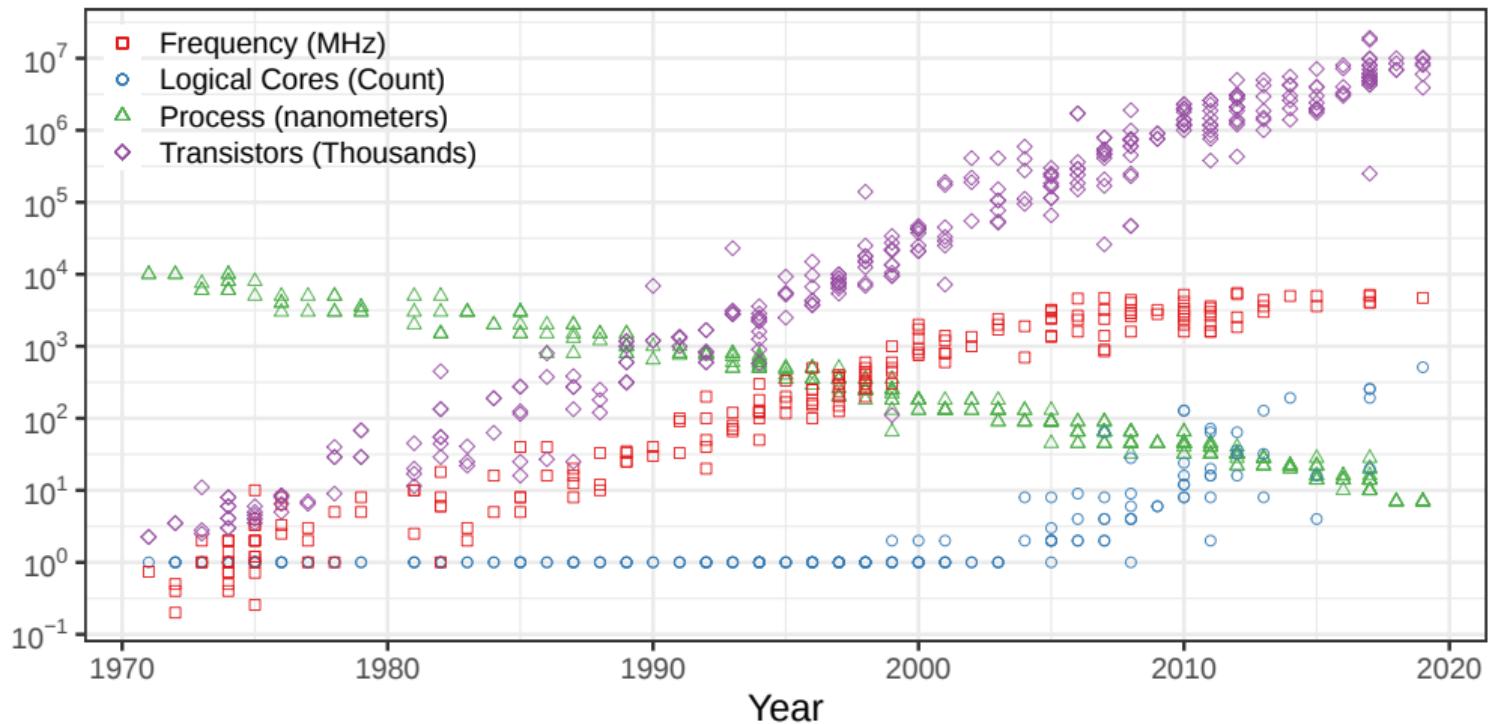
SLIDES



Os slides estão no **GitHub**:

- <https://github.com/phrb/presentations/tree/master/aula-aceleradores-de-hardware>

COMPUTAÇÃO RECONFIGURÁVEL



COMPUTAÇÃO RECONFIGURÁVEL



COMPUTAÇÃO RECONFIGURÁVEL

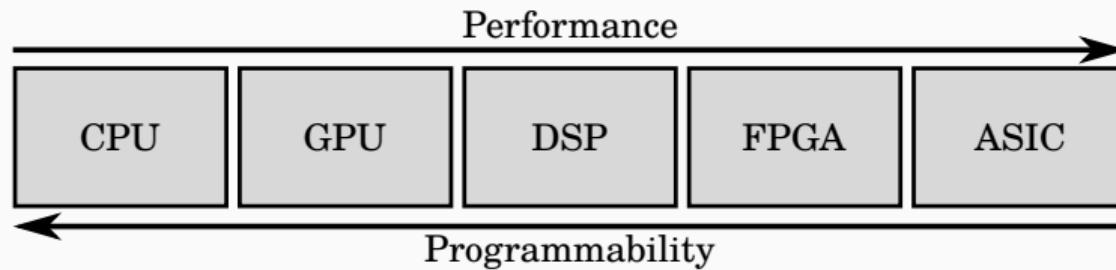
Field-Programmable Gate Arrays (FPGAs):

- Dispositivos feitos de semicondutores
- Funcionalidade definível após fabricação
- **Reconfiguráveis** mesmo após instalação
- Adaptáveis a diferentes aplicações
- **Consumo eficiente de energia**

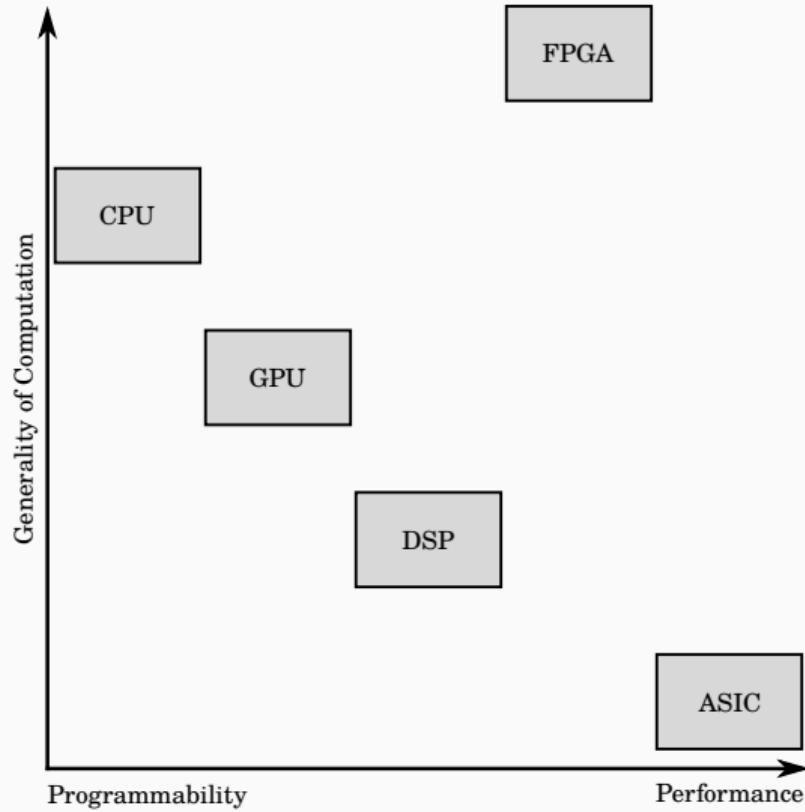
Compostas de uma matriz de elementos lógicos (**Gate Array**):

- Elementos Lógicos: Portas Lógicas, Transistores (**LEs**)
- Conexões entre LEs: **Interconnect**
- Tabelas de Verdade: *Lookup Tables* (**LUTs**)
- 2D Gate Arrays: **LEs + LUTs + Interconnect**

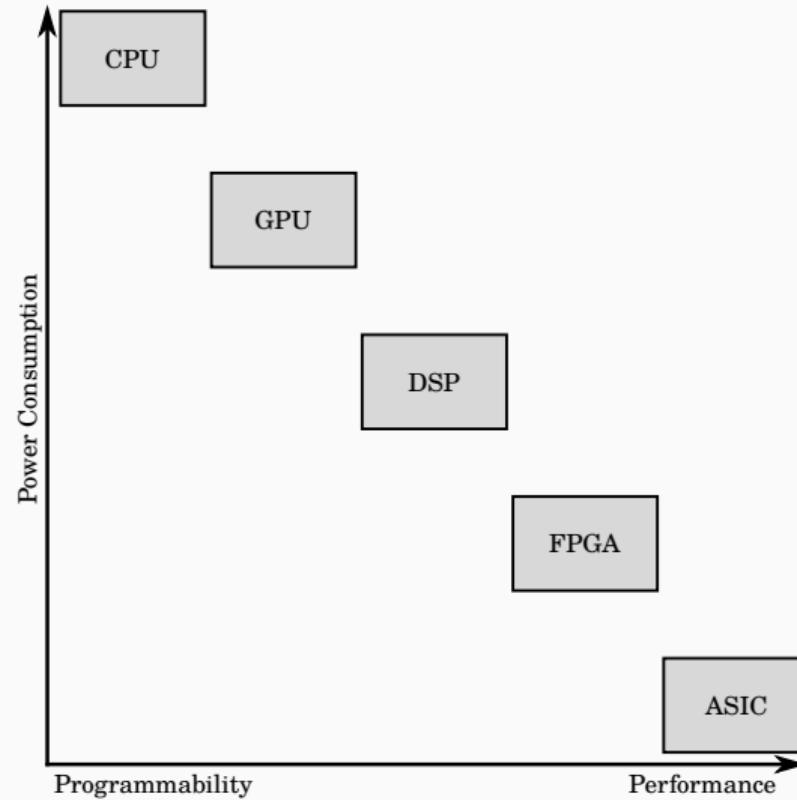
PROGRAMABILIDADE VS. DESEMPENHO



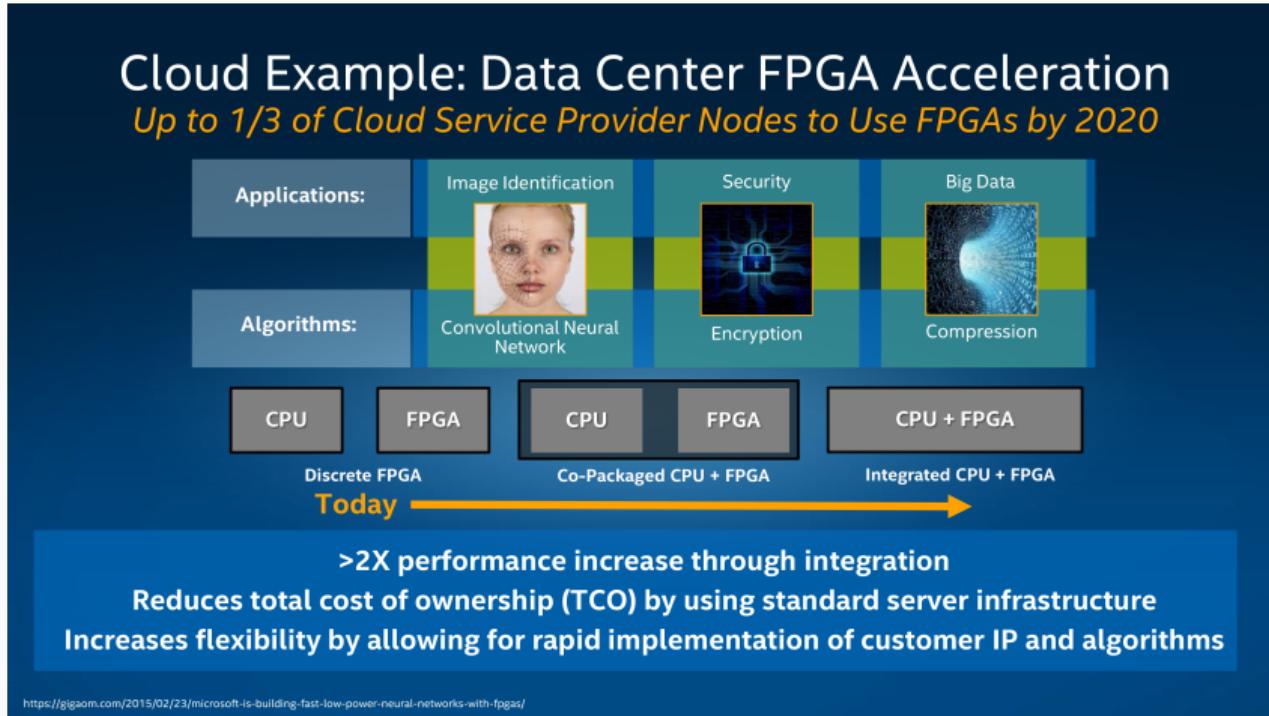
PROGRAMABILIDADE VS. DESEMPENHO VS. GENERALIDADE



PROGRAMABILIDADE VS. DESEMPENHO VS. EFICIÊNCIA

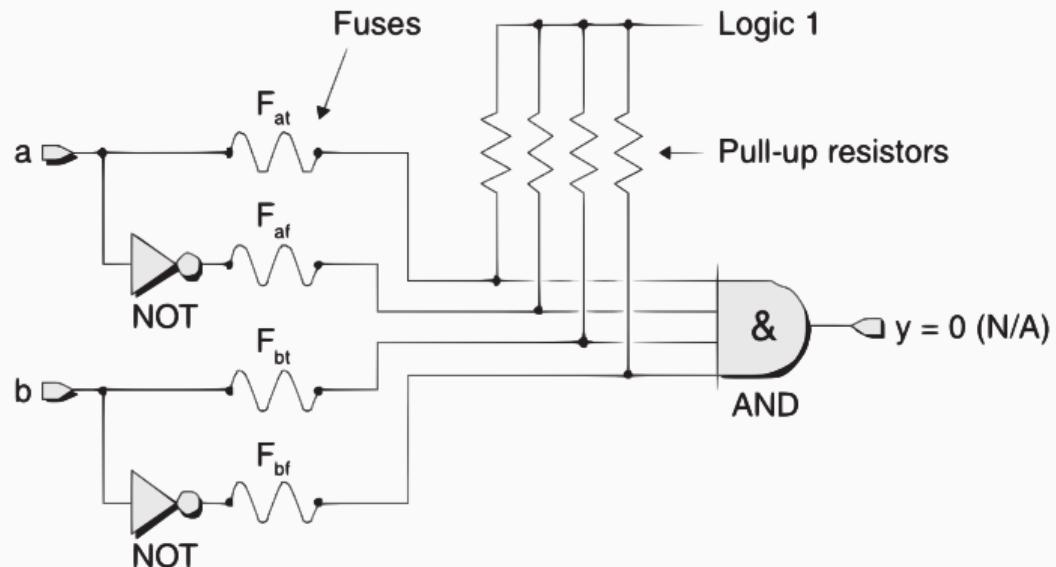


APLICAÇÕES



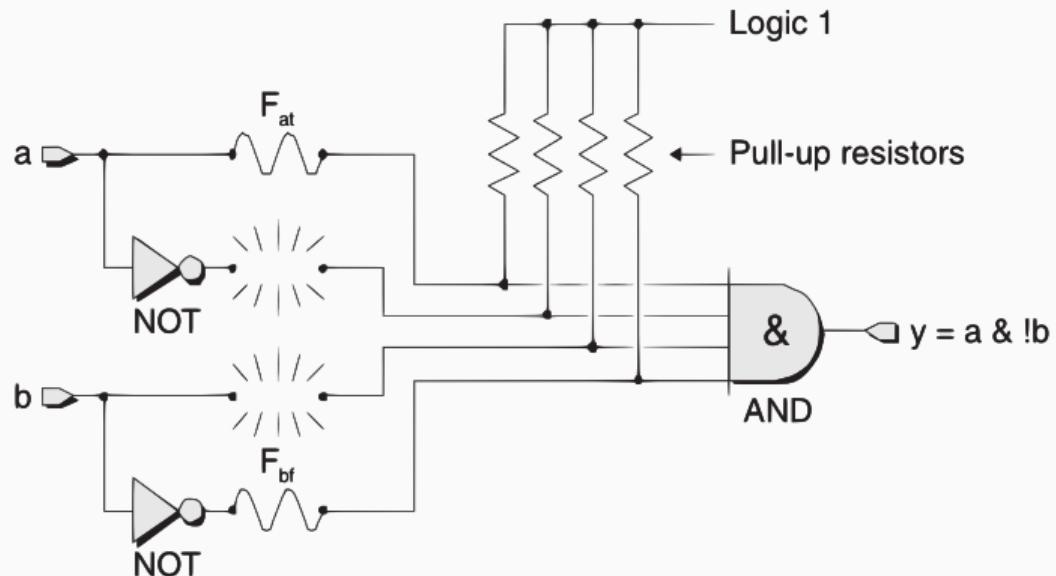
Fonte: <https://anandtech.com/show/9321/intel-to-acquire-fpgaspecialist-altera-for-167-billion>

ARQUITETURA DE MEMÓRIA: LÓGICA PROGRAMÁVEL



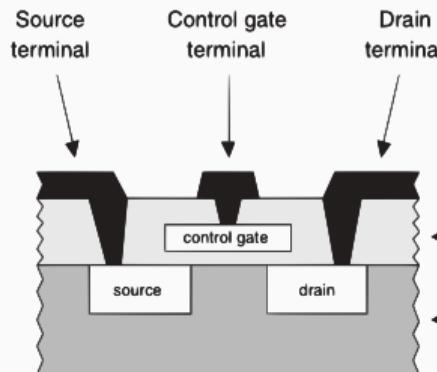
Fonte: Maxfield, Clive. The design warrior's guide to FPGAs: devices, tools and flows. Elsevier, 2004.

ARQUITETURA DE MEMÓRIA: LÓGICA PROGRAMÁVEL

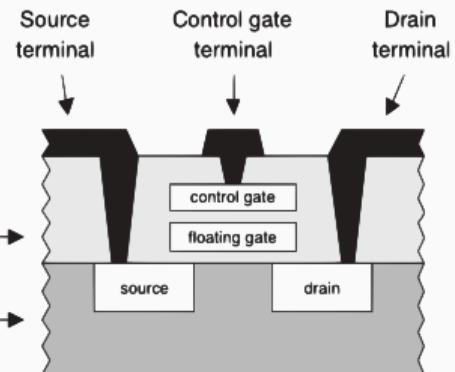


Fonte: Maxfield, Clive. The design warrior's guide to FPGAs: devices, tools and flows. Elsevier, 2004.

ARQUITETURA DE MEMÓRIA: EPROM



(a) Standard MOS transistor



(b) EPROM transistor

Fonte: Maxfield, Clive. The design warrior's guide to FPGAs: devices, tools and flows. Elsevier, 2004.

ARQUITETURA DE FPGAs

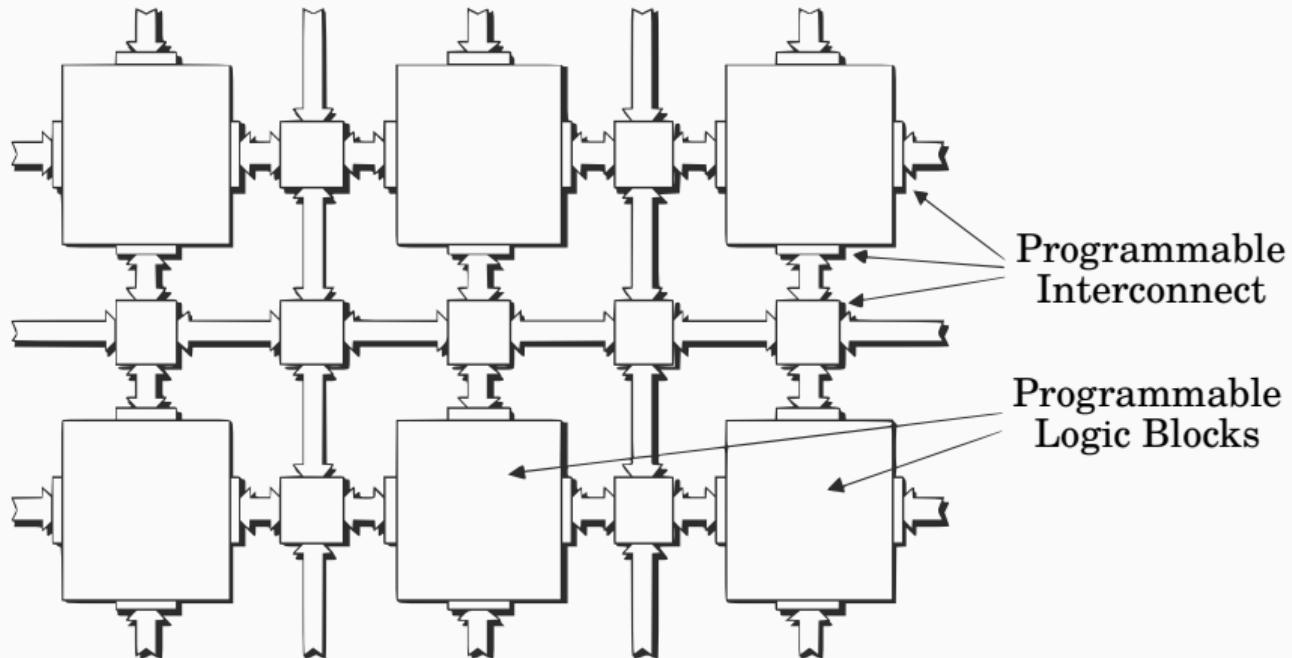
Arquitetura de Memória:

- Lógica Programável: Static Random Access Memory (**SRAM**)
- Memória: Synchronous Dynamic Random Access Memory (**SDRAM**)

2D Gate Arrays:

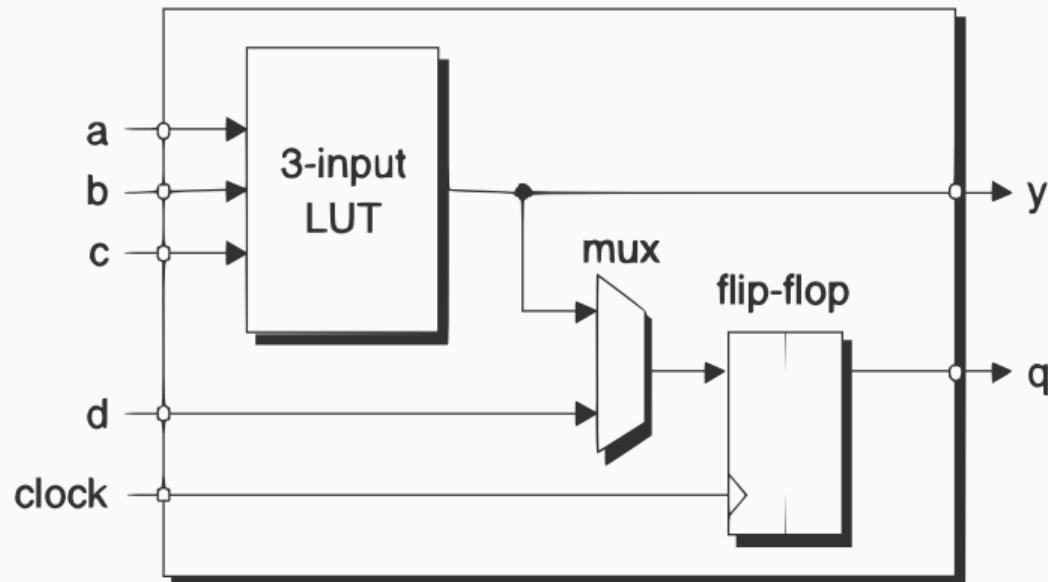
- Elementos Lógicos: Portas Lógicas, Transistores (**LEs**)
- Conexões entre LEs: **Interconnect**
- Tabelas de Verdade: *Lookup Tables* (**LUTs**)

FPGAs: VISÃO SIMPLIFICADA DE ALTO NÍVEL



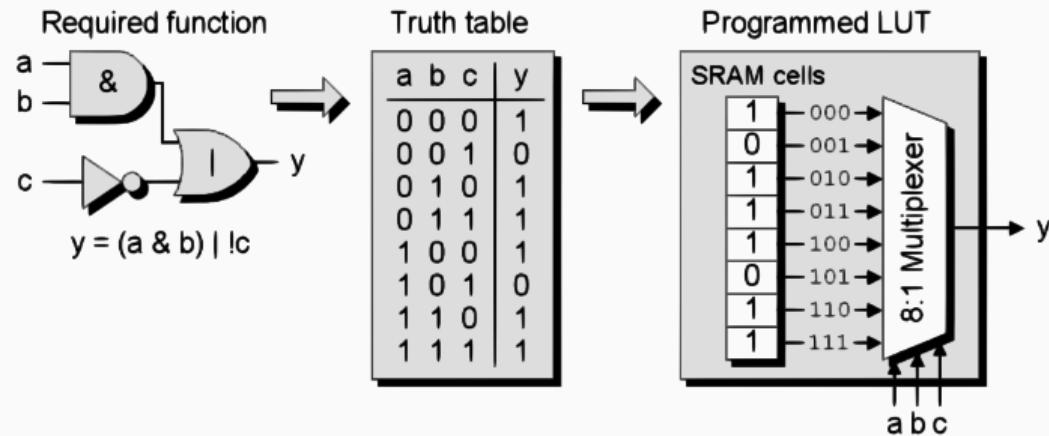
Fonte: Maxfield, Clive. *The design warrior's guide to FPGAs: devices, tools and flows*. Elsevier, 2004.

FPGAs: VISÃO SIMPLIFICADA DE BAIXO NÍVEL



Fonte: Maxfield, Clive. The design warrior's guide to FPGAs: devices, tools and flows. Elsevier, 2004.

FPGAs: VISÃO SIMPLIFICADA DE BAIXO NÍVEL



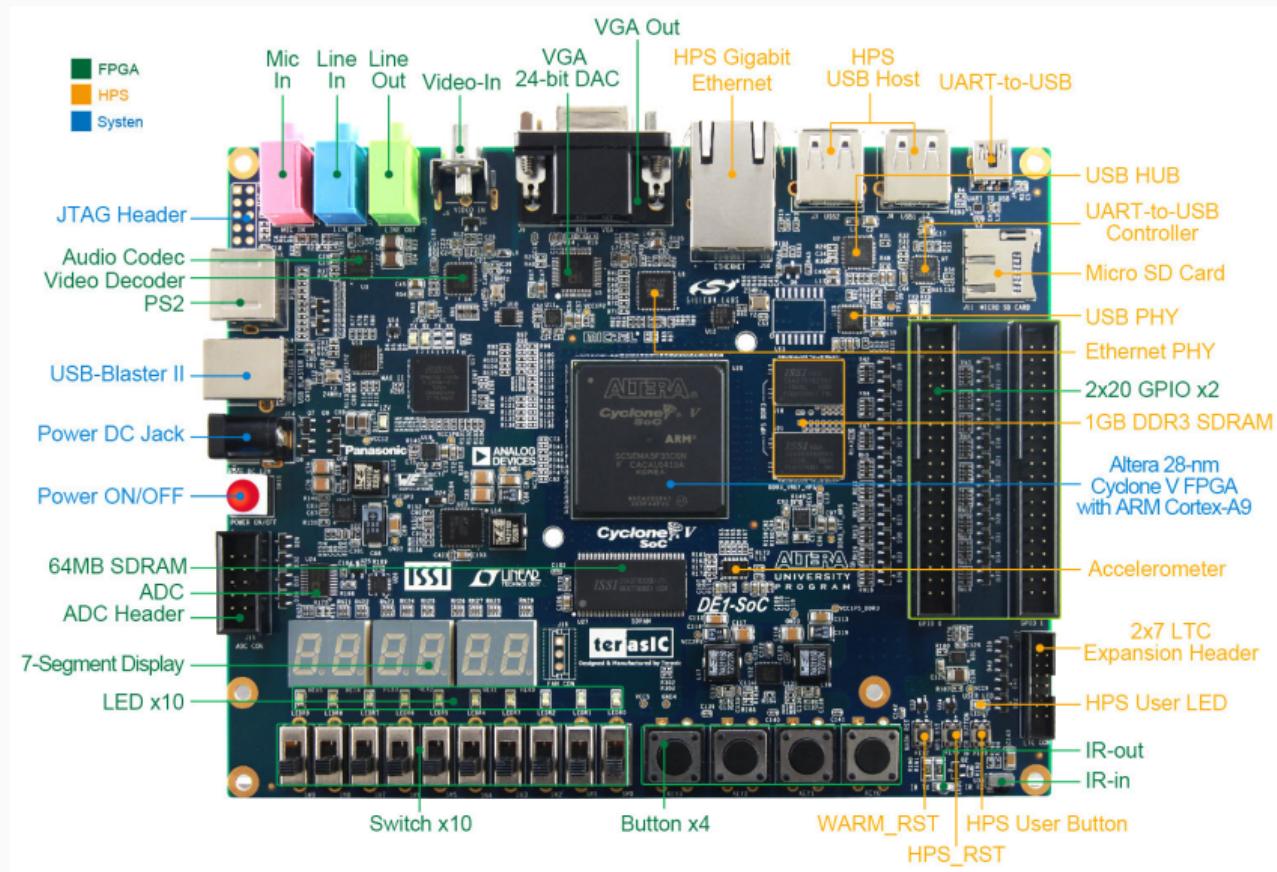
Fonte: Maxfield, Clive. The design warrior's guide to FPGAs: devices, tools and flows. Elsevier, 2004.

FPGAs HOJE

Arquitetura de FPGAs contemporânea:

- Associada a uma **CPU**
- Static Random Access Memory (**SRAM**)
- Synchronous Dynamic Random Access Memory (**SDRAM**)
- **I/O**
- Elementos Lógicos (Logic Elements, **LEs**)
- Interconexões

FPGAs SoC: CYCLONE V



PROGRAMANDO FPGAs

Hardware Description Languages (**HDL**):

- Definição de *clock*
- Definição de circuitos e operações simples
- Hoje, muito já vem pré-definido

High-Level Synthesis (**HLS**):

- Gerar HDL a partir de **código em C**
- **OpenCL**

FPGAs: SAIBA MAIS

Livros:

- Andrew Moore and Ron Wilson. FPGAs for Dummies. Intel/ Wiley, 2017
- Maxfield, Clive. The design warrior's guide to FPGAs: devices, tools and flows. Elsevier, 2004
- Vanderbauwhede, Wim, and Khaled Benkrid, eds. High-performance computing using FPGAs. New York: Springer, 2013 (Avançado)