

**BỘ GIÁO DỤC VÀ ĐÀO TẠO  
TRƯỜNG ĐẠI HỌC LẠC HỒNG**

**GIÁO TRÌNH  
THIẾT KẾ MẠCH IN**

**THS. LÊ HOÀNG ANH**

**Tháng 4/2014**

# LỜI NÓI ĐẦU

Giáo trình “Thiết kế mạch in” được biên soạn dựa trên tài liệu “PCB Design Using OrCAD Capture and Layout” và kinh nghiệm thực tế của tác giả nhằm mục đích cung cấp cho sinh viên những kiến thức cơ bản về thiết kế sơ đồ mạch in trong lĩnh vực kỹ thuật điện-điện tử. Nội dung giáo trình giới thiệu về cấu tạo vật lý, quy trình thiết kế và sản xuất bo mạch in, giới thiệu những tổ chức và các tiêu chuẩn công nghiệp trong lĩnh vực thiết kế mạch in. Tài liệu này sử dụng phần mềm OrCAD phiên bản 9.2 để mô tả các thao tác trong quá trình thiết kế trên những ví dụ cụ thể giúp các bạn sinh viên dễ dàng tham khảo và thực tập các kỹ năng sử dụng phần mềm.

Nội dung giáo trình gồm 8 chương và các phần phụ lục:

Chương 1: Giới thiệu về cấu tạo vật lý của bo mạch in và chức năng của phần mềm hỗ trợ thiết kế.

Chương 2: Trình bày tổng quát về các bước trong quy trình thiết kế mạch in.

Chương 3: Hướng dẫn cách thiết lập Project và giới thiệu các công cụ cơ bản trong OrCAD Layout.

Chương 4: Giới thiệu các tổ chức và các tiêu chuẩn thiết kế mạch in trong công nghiệp.

Chương 5: Trình bày chi tiết về quy trình lắp ráp, cách thức hàn linh kiện, quy ước về khoảng cách giữa các linh kiện và nguyên tắc thiết kế footprint.

Chương 6: Hướng dẫn sử dụng các công cụ thiết kế sơ đồ mạch nguyên lý trong OrCAD Capture.

Chương 7: Hướng dẫn sử dụng các công cụ thiết kế sơ đồ mạch in trong OrCAD Layout.

Chương 8: Ví dụ minh họa

Phụ lục A: Danh sách tên viết tắt dạng đóng gói linh kiện và thư viện footprint tương ứng trong layout

Phụ lục B: Sơ đồ mạch nguyên lý tham khảo

Phụ lục C: Hướng dẫn cài đặt phần mềm orcad 9.2

Phụ lục D: Địa chỉ một số cơ sở sản xuất mạch in

Phụ lục E: Hướng dẫn thi công bo mạch in một lớp

Mọi thông tin góp ý xin vui lòng gửi về Khoa Cơ Điện-Điện Tử trường đại học Lạc Hồng. Địa chỉ: số 10 Huỳnh Văn Nghệ, phường Bửu Long, thành phố Biên Hòa, tỉnh Đồng Nai.

Tác giả

ThS. Lê Hoàng Anh

lehoanganh.lhu@gmail.com

# MỤC LỤC

Lời nói đầu

CHƯƠNG 1: GIỚI THIỆU ..... 1

    1.1 Phần mềm hỗ trợ thiết kế và OrCAD ..... 1

    1.2 Quy trình gia công mạch in ..... 2

        1.2.1 Lớp lõi mạch in và cách sắp xếp các lớp ..... 2

        1.2.2 Quy trình sản xuất mạch in ..... 4

        1.2.3 Kỹ thuật in và ăn mòn hóa học ..... 5

        1.2.4 Kỹ thuật phay cơ khí ..... 7

    1.3 Chức năng của OrCAD Layout trong quy trình thiết kế mạch in ..... 8

    1.4 Định dạng file trong Layout ..... 10

        1.4.1 Định dạng file .MAX ..... 10

        1.4.2 File hậu xử lý (Gerber) ..... 10

        1.4.3 File và lớp lắp ráp linh kiện ..... 10

CHƯƠNG 2: QUY TRÌNH THIẾT KẾ MẠCH IN ..... 12

    2.1 Giới thiệu chung ..... 12

    2.2 Thiết kế sơ đồ mạch nguyên lý với Capture ..... 12

        2.2.1 Tạo project mới ..... 12

        2.2.2 Sắp xếp linh kiện ..... 15

        2.2.3 Kết nối mạch nguyên lý ..... 17

        2.2.4 Tạo file Layout netlist trong Capture ..... 18

    2.3 Thiết kế sơ đồ mạch in với Layout ..... 19

        2.3.1 Liên kết file netlist với Layout ..... 19

        2.3.2 Tạo đường bao bọc mạch in ..... 24

        2.3.3 Sắp xếp footprint ..... 26

        2.3.4 Vẽ đường mạch in ..... 26

        2.3.5 Tối ưu hóa đường mạch in ..... 27

CHƯƠNG 3: CẤU TRÚC CỦA MỘT PROJECT VÀ CÁC CÔNG CỤ TRONG LAYOUT 29

    3.1 Thiết lập project ..... 29

3.1.1	Cấu trúc của project .....	29
3.1.2	Thư viện linh kiện (Library) .....	30
3.2	Môi trường và công cụ thiết kế mạch in trong Layout .....	31
3.2.1	File định dạng tiêu chuẩn kỹ thuật (Board technology files).....	31
3.2.2	Tính năng tự động chọn footprint (AutoECO) .....	32
3.2.3	Giao diện chương trình và cửa sổ thiết kế (Session Frame và Design Window)	
3.2.4	Thanh công cụ (Tool bar) .....	35
<b>CHƯƠNG 4: CÁC TIÊU CHUẨN THIẾT KẾ MẠCH IN TRONG CÔNG NGHIỆP</b>		<b>41</b>
4.1	Các tổ chức tiêu chuẩn.....	41
4.2	Phân loại mạch in .....	41
4.2.1	Phân loại theo ứng dụng .....	41
4.2.2	Phân loại theo khả năng sản xuất.....	42
4.2.3	Phân loại theo cấu trúc .....	42
4.3	Các tiêu chuẩn chế tạo .....	43
4.4	Kích thước và sai số bo mạch in.....	43
4.4.1	Kích thước bảng mạch in tiêu chuẩn .....	43
4.4.2	Diện tích gá và hiệu suất sử dụng bo mạch in .....	43
4.4.3	Độ dày tiêu chuẩn bo mạch in .....	44
4.5	Đường mạch đồng và sai số ăn mòn.....	44
4.6	Kích thước lỗ khoan tiêu chuẩn.....	45
<b>CHƯƠNG 5: QUY TRÌNH SẢN XUẤT BO MẠCH</b>		<b>46</b>
5.1	Quy trình lắp ráp linh kiện.....	46
5.1.1	Lắp ráp linh kiện thủ công .....	46
5.1.2	Lắp ráp linh kiện tự động.....	46
5.2	Quy trình hàn linh kiện .....	49
5.2.1	Hàn linh kiện thủ công.....	49
5.2.2	Hàn linh kiện dạng sóng (Wave soldering) .....	49
5.2.3	Hàn linh kiện dạng sấy.....	50

5.3 Vị trí đặt và hướng của linh kiện .....	51
5.4 Khoảng cách tối thiểu giữa các linh kiện bố trí trên PCB .....	53
5.5 Thiết kế footprint và padstack theo yêu cầu sản xuất.....	55
5.5.1 Mẫu footprint linh kiện dán (SMD: Surface-Mounted Devices).....	56
5.5.2 Thiết kế padstack cho linh kiện dán.....	57
5.5.3 Mẫu footprint linh kiện xuyên lõi .....	59
5.5.4 Thiết kế padstack cho linh kiện dạng xuyên lõi.....	60
<b>CHƯƠNG 6: THIẾT KẾ SƠ ĐỒ MẠCH NGUYÊN LÝ VỚI ORCAD CAPTURE.</b>	<b>63</b>
6.1 Công cụ vẽ sơ đồ mạch nguyên lý.....	63
6.1.1 Select.....	63
6.1.2 Place part.....	63
6.1.3 Place wire .....	65
6.1.4 Place junction.....	67
6.1.5 Place Bus.....	68
6.1.6 Place bus entry .....	69
6.1.7 Place net alias.....	70
6.1.8 Place power, Place ground.....	71
6.1.9 Place no connect .....	72
6.1.10 Place port .....	72
6.1.11 Place text .....	74
6.1.12 Place line, Place polyline, Place rectangle, Place ellipse, Place arc .....	74
6.2 Chính sửa linh kiện .....	75
6.2.1 Xoay linh kiện (Rotate).....	75
6.2.2 Lấy đối xứng linh kiện theo phương ngang (Mirror Horizontally) .....	75
6.2.3 Lấy đối xứng linh kiện theo phương dọc (Mirror Vertically) .....	76
6.2.4 Chính sửa chân linh kiện (Edit part) .....	76
6.3 Thay đổi kích thước trang vẽ mạch nguyên lý .....	79
6.4 Tạo linh kiện mới.....	80
6.5 Các bước thiết lập chuẩn bị cho việc thiết kế mạch in trên Layout .....	83

6.5.1	Gán footprint cho linh kiện trong Capture .....	84
6.5.2	Tạo nhóm cho các linh kiện có liên hệ với nhau .....	87
6.5.3	Ghi chú (Annotate) .....	88
6.5.4	Kiểm tra lỗi (Design rules check) .....	89
6.5.5	Tạo file Netlist .....	91
	<b>CHƯƠNG 7: THIẾT KẾ SƠ ĐỒ MẠCH IN VỚI ORCAD LAYOUT .....</b>	<b>93</b>
7.1	Tạo file Layout mới .....	93
7.1.1	Thư viện footprint trong Layout .....	93
7.1.2	Quy ước đặt tên thư viện footprint.....	95
7.2	Chỉnh sửa footprint .....	98
7.2.1	Công cụ Text tool.....	99
7.2.2	Công cụ Pin Tool .....	100
7.2.3	Công cụ Obstacle Tool .....	100
7.3	Thay đổi hệ đơn vị đo và kích thước lưới trang vẽ .....	101
7.4	Tạo footprint mới.....	102
7.4.1	Thêm chân Pin .....	103
7.4.2	Vẽ đường bao linh kiện.....	104
7.4.3	Thay đổi hình dạng Padstacks .....	107
7.4.4	Thay đổi kích thước lỗ khoan .....	108
7.4.5	Lưu footprint vừa tạo .....	109
7.5	Vẽ đường mạch in .....	110
7.5.1	Những chú ý về điện khi sắp xếp linh kiện trên PCB .....	110
7.5.2	Tụ Bypass và cách kết nối .....	111
7.5.3	Độ rộng đường mạch in và khả chịu dòng.....	112
7.5.4	Các công cụ vẽ đường mạch in.....	112
7.5.5	Thay đổi độ rộng đường mạch in.....	116
7.5.6	Chỉnh sửa, sắp xếp tên footprint .....	117
7.5.7	Vẽ đường bao bo mạch in .....	118
7.5.8	Phủ đồng, phủ mass .....	119

7.5.9 Kích thước lỗ khoan (Drill chart) .....	122
<b>7.6 Thiết kế mạch in nhiều lớp .....</b>	<b>122</b>
7.6.1 Chọn lớp mạch in .....	123
7.6.2 Thêm via và dây jumper .....	123
7.6.3 Thay đổi hình dạng, kích thước Pad của via.....	124
7.6.4 Đo kích thước bo mạch in.....	125
7.6.5 Thay đổi hình dạng con trỏ .....	125
7.6.6 Định vị trí gốc tọa độ .....	125
<b>7.7 Chính sửa đường mạch nguyên lý trong Layout .....</b>	<b>126</b>
<b>7.8 Vẽ đường mạch in tự động .....</b>	<b>126</b>
<b>CHƯƠNG 8: VÍ DỤ MINH HỌA .....</b>	<b>131</b>
8.1 Tổng quan các bước thiết kế.....	131
8.2 Ví dụ minh họa về thiết kế sơ đồ mạch in .....	133
8.2.1 Lập kế hoạch và các bước chuẩn bị ban đầu .....	133
8.2.2 Thiết lập Project trong phần mềm OrCAD Capture .....	135
8.2.3 Vẽ sơ đồ mạch nguyên lý với Capture.....	136
8.2.4 Kết nối mạch nguyên lý .....	137
8.2.5 Tạo các kết nối nguồn và mass .....	137
8.2.6 Chuẩn bị cho công đoạn thiết kế mạch in trên Layout .....	138
8.2.7 Xác định các yêu cầu của bo mạch .....	140
8.2.8 Xuất file thiết kế sang OrCAD Layout sử dụng công cụ AutoECO.....	141
8.2.9 Xuất các file Gerber cần thiết cho nhà sản xuất .....	149

## TÀI LIỆU THAM KHẢO

PHỤ LỤC A: Danh sách tên viết tắt dạng đóng gói linh kiện và thư viện footprint tương ứng trong Layout

PHỤ LỤC B: Sơ đồ mạch nguyên lý tham khảo

PHỤ LỤC C: Hướng dẫn cài đặt phần mềm orcad 9.2

PHỤ LỤC D: Địa chỉ một số cơ sở sản xuất mạch in

PHỤ LỤC E: Hướng dẫn thi công bo mạch in một lớp

## MỤC LỤC HÌNH ẢNH

Hình 1.1 Cấu tạo của linh kiện trong Capture [1]	2
Hình 1.2 Bo mạch in 2 lớp [1]	3
Hình 1.3 Ghép nối các lớp lõi [1]	3
Hình 1.4 Hai cách thức sắp xếp cho bo mạch in 6 lớp [1]	3
Hình 1.5 Cách sắp xếp các lớp trong bo mạch in nhiều lớp [1]	4
Hình 1.6 Bo mạch đồng với lớp phủ cản quang [1]	5
Hình 1.7 Mặt nạ in (a) Mặt nạ dương (b) Mặt nạ âm [1]	6
Hình 1.8 Mặt nạ dương được đặt lên lớp phủ cản quang [1]	6
Hình 1.9 Lớp cản quang trên bo đồng sau khi qua công đoạn rửa [1]	6
Hình 1.10 Lớp đồng không cần thiết được loại bỏ ra khỏi tâm bo [1]	7
Hình 1.11 Đường mạch đồng và pad sau khi qua công đoạn ăn mòn và tẩy bỏ lớp	7
Hình 1.12 Đường mạch đồng sau khi qua công đoạn phay cơ khí [1]	8
Hình 1.13 Lớp đường mạch in [1]	8
Hình 1.14 (a) Bè mặt bo đồng có via tản nhiệt thực tế, (b) Bè mặt bo đồng quan sát trong phần mềm Layout [1]	9
Hình 1.15 Lớp phủ tránh oxy hóa quan sát trong thực tế và trên phần mềm Layput [1]	9
Hình 1.16 Bo mạch in với lớp ký hiệu quy ước kích thước lỗ khoan và lớp đường bao linh kiện quan sát trên phần mềm Layout [1]	10
Hình 1.17 Bảng ký hiệu, kích thước và số lượng lỗ khoan [1]	10
Hình 2.1 Khởi động phần mềm Capture trong Windows 7 và Windows 8	12
Hình 2.2 Tạo Project mới trong phần mềm Capture	13
Hình 2.3 Hộp thoại New Project	13
Hình 2.4 Hộp thoại PCB Project Wizard	14
Hình 2.5 Ví dụ về một New Project	14
Hình 2.6 Công cụ Place Part	15
Hình 2.7 Hộp thoại Place Part	15
Hình 2.8 Thêm thư viện linh kiện	16
Hình 2.9 Đặt linh kiện lên trang vẽ	17
Hình 2.10 Công cụ Place Wire	17
Hình 2.11 Kết nối mạch nguyên lý giữa các linh kiện với nhau	18
Hình 2.12 Công cụ tạo file Netlist	18
Hình 2.13 Thiết lập đơn vị và đường dẫn cho file netlist	19
Hình 2.14 Báo cáo kết quả tạo file netlist	19
Hình 2.15 Khởi động phần mềm Layout trong Windows 7 và Windows 8	20

Hình 2.16 Tạo file mới trong phần mềm Layout	20
Hình 2.17 Hộp thoại Load Template File, Load Netlist Source và Save File As	21
Hình 2.18 Hộp thoại Automatic ECO Utility và Link Footprint to Component	21
Hình 2.19 Gán footprint cho linh kiện trong thư viện có sẵn	22
Hình 2.20 Cửa sổ thiết kế mạch in trong phần mềm Layout	23
Hình 2.21 Công cụ View trong Layout	24
Hình 2.22 Công cụ Online DRC	24
Hình 2.23 Công cụ vẽ đường bao bo mạch in Obstacle	25
Hình 2.24 Hộp thoại Edit Obstacle	25
Hình 2.25 Vẽ đường bao bo mạch in	26
Hình 2.26 Công cụ sắp xếp footprint	26
Hình 2.27 Công cụ vẽ mạch in tự động và vẽ mạch in bằng tay	27
Hình 2.28 Hộp thoại Clean up Design	27
Hình 3.1 Cửa sổ Project manager	29
Hình 3.2 Thư viện linh kiện	31
Hình 3.3 Hộp thoại yêu cầu gán footprint cho linh kiện	33
Hình 3.4 Giao diện chương trình và cửa sổ thiết kế	34
Hình 3.5 Thanh công cụ Tool bar	35
Hình 3.6 Cửa sổ Query	36
Hình 3.7 Các chức năng của công cụ Component [1]	37
Hình 3.8 (a) Tọa độ con trỏ (X, Y) và độ phân giải lưới (G)	39
Hình 4.1 Độ rộng đường mạch in và hiệu ứng ăn mòn ngược [1]	44
Hình 5.1 Linh kiện chân cắm dạng xuyên trực và chân cắm hình trụ	47
Hình 5.2 Linh kiện dán đóng gói dạng ống (tubes), khay ma trận (matrix trays), băng cuộn (tape and reel)	48
Hình 5.3 Máy lắp ráp linh kiện tự động (pick-and-place machine)	48
Hình 5.4 Linh kiện xuyên lỗ được gắn lên bo bằng cách bẻ chân	48
Hình 5.5 Phương pháp hàn linh kiện dạng sóng với góc nhìn theo hình chiếu cạnh [1]	50
Hình 5.6 Phương pháp hàn linh kiện dạng sóng với góc nhìn theo hình chiếu đứng [1]	50
Hình 5.7 Hướng đặt của linh kiện dán khi hàn dạng sóng [1]	50
Hình 5.8 Quy trình hàn linh kiện dạng sấy [1]	51
Hình 5.9 Thông số kỹ thuật về kích thước và hình dạng của linh kiện [1]	56
Hình 5.10 Các kích thước của footprint [1]	56
Hình 5.11 Padstack linh kiện dán [1]	57
Hình 5.12 Cửa sổ thiết lập kích thước padstack	59

Hình 5.13 (a) Linh kiện chân cắm dạng trụ	60
Hình 5.14 (a) Các tham số kích thước của linh kiện chân cắm dạng xuyên trực	60
Hình 6.1 Các công cụ vẽ sơ đồ mạch nguyên lý	63
Hình 6.2 Công cụ Slect	63
Hình 6.3 Công cụ Place part	63
Hình 6.4 Hộp thoại Place part	64
Hình 6.5 Hộp thoại Browse file	64
Hình 6.6 Cửa sổ Preview	65
Hình 6.7 Công cụ Place wire	65
Hình 6.8 Vị trí kết nối của các linh kiện	67
Hình 6.9 Chưa thực hiện nối dây và nối dây thành công	67
Hình 6.10 Công cụ Place junction	67
Hình 6.11 Chức năng của công cụ Place junction	68
Hình 6.12 Công cụ Place bus	68
Hình 6.13 Các linh kiện được kết nối bằng công cụ Place wire tạo ra nhiều đường kết nối song song gây khó khăn cho việc kiểm tra sơ đồ mạch nguyên lý	68
Hình 6.14 Đường bus thay thế các đường kết nối song song	69
Hình 6.15 Công cụ Place bus entry	69
Hình 6.16 Nhánh kết nối các dây dẫn vào bus	69
Hình 6.17 Công cụ Place wire được sử dụng để nối các chân linh kiện vào bus	70
Hình 6.18 Công cụ Place net alias	70
Hình 6.19 Hộp thoại Place net alias	70
Hình 6.20 Đặt tên cho đường bus	71
Hình 6.21 Công cụ Place power	71
Hình 6.22 Công cụ Place ground	71
Hình 6.23 Các ký hiệu nguồn và mass	71
Hình 6.24 Công cụ Place no connect	72
Hình 6.25 Đánh dấu các chân không sử dụng bằng công cụ Place no connect	72
Hình 6.26 Công cụ Place port	72
Hình 6.27 Kết nối các chân sử dụng công cụ Place wire	72
Hình 6.28 Các ký hiệu Place port	73
Hình 6.29 Hộp thoại Place hierarchical port	73
Hình 6.30 Sử dụng công cụ Place port để kết nối các chân linh kiện	73
Hình 6.31 Công cụ Place text	74
Hình 6.32 Hộp thoại Place text	74
Hình 6.33 Chèn đoạn văn bản vào trang vẽ	74
Hình 6.34 Các công cụ đồ họa	74

Hình 6.35 Các hình vẽ được tạo bởi công cụ đồ họa	75
Hình 6.36 Các chức năng chỉnh sửa linh kiện	75
Hình 6.37 Xoay linh kiện	76
Hình 6.38 Chức năng Mirror Horizontally và Mirror Vertically	76
Hình 6.39 Cửa sổ chỉnh sửa linh kiện	77
Hình 6.40 Thay đổi kích thước đường bao linh kiện	77
Hình 6.41 Hộp thoại Pin properties	78
Hình 6.42 Hình dạng các loại chân theo tiêu chuẩn IEEE	78
Hình 6.43 Các thuộc tính điện của chân linh kiện	79
Hình 6.44 Cửa sổ Edit part	80
Hình 6.45 Hộp thoại Save part instance	80
Hình 6.46 Hộp thoại thay đổi kích thước trang vẽ	80
Hình 6.47 Tạo thư viện chứa linh kiện mới	81
Hình 6.48 Thư viện chứa linh kiện tạo mới	81
Hình 6.49 Hộp thoại New part properties	82
Hình 6.50 Tạo LED 7 đoạn	82
Hình 6.51 Đường dẫn lưu trữ thư viện chứa linh kiện vừa tạo	83
Hình 6.52 Update Cache	84
Hình 6.53 Cửa sổ Properties spreadsheet của linh kiện	85
Hình 6.54 Tạo file BOM	85
Hình 6.55 Ví dụ về một file BOM	86
Hình 6.56 Copy tên footprint cần gán cho linh kiện	86
Hình 6.57 Gán footprint cho linh kiện trong Capture	87
Hình 6.58 Tạo nhóm cho các linh kiện	88
Hình 6.59 Công cụ tạo ghi chú Annotate	88
Hình 6.60 Hộp thoại Annotate	89
Hình 6.61 Công cụ kiểm tra lỗi	89
Hình 6.62 Hộp thoại Design rules check	90
Hình 6.63 Tab ERC matrix	90
Hình 6.64 Bảng liệt kê lỗi	91
Hình 6.65 Thông tin chi tiết về vị trí lỗi	91
Hình 6.66 Công cụ tạo file Netlist	91
Hình 6.67 Hộp thoại tạo file Netlist	92
Hình 6.68 Tạo file Netlist thành công	92
Hình 7.1 Hộp thoại Link footprint to component	93
Hình 7.2 Linh kiện chân cắm dạng “J” và dạng gull-wing	94
Hình 7.3 Footprint của linh kiện 24 chân đóng gói dạng DIP [1]	96

Hình 7.4 Quy ước đặt tên footprint [1]	96
Hình 7.5 Kích thước linh kiện 24 chân có dạng đóng gói DIP [1]	97
Hình 7.6 Kích thước thực tế của linh kiện 16 chân đóng gói dạng SOIC	97
Hình 7.7 (a) Footprint của linh kiện 16 chân dạng SOIC - (b) Giới hạn các kích thước tối thiểu [1]	97
Hình 7.8 Công cụ Library Manager	98
Hình 7.9 Cửa sổ Library Manager	98
Hình 7.10 Chính sửa footprint sẵn có trong thư viện	99
Hình 7.11 Công cụ Text	99
Hình 7.12 Hộp thoại Text Edit	100
Hình 7.13 Công cụ Pin tool	100
Hình 7.14 Góc tọa độ được đặt tại chân số 1 và tọa độ vị trí con trỏ được hiển thị trên màn hình	101
Hình 7.15 Công cụ Obstacle tool	101
Hình 7.16 Hộp thoại System Settings	102
Hình 7.17 Hộp thoại Create New Footprint	102
Hình 7.18 Kích thước thực tế của Op-Amp LM741	103
Hình 7.19 Tạo footprint cho linh kiện Op-Amp LM741	103
Hình 7.20 Khoảng cách giữa các mắt lưới được thiếp lập trong System Settings	104
Hình 7.21 Sắp xếp đầy đủ các chân Op-Amp LM741	104
Hình 7.22 Công cụ Obstacle tool và Color settings	105
Hình 7.23 Bảng quy ước màu các lớp	105
Hình 7.24 Chọn lớp vẽ đường bao linh kiện	106
Hình 7.25 Thay đổi hình dạng đường bao	106
Hình 7.26 Đường bao linh kiện hoàn chỉnh	107
Hình 7.27 Hộp thoại Edit Pad	107
Hình 7.28 Công cụ View Spreadsheet	108
Hình 7.29 Cửa sổ Padstacks	108
Hình 7.30 Hộp thoại Edit padstacks	109
Hình 7.31 Footprint của linh kiện sau khi đã thay đổi hình dạng và kích thước Pad	109
Hình 7.32 Hộp thoại Save Footprint As	110
Hình 7.33 Phân chia bo mạch thành các vùng riêng biệt để chống nhiễu	111
Hình 7.34 Cách thức kết nối tụ bypass	112
Hình 7.35 Độ rộng đường mạch in nhỏ nhất đối với bo mạch có độ dày 1oz và độ lệch nhiệt độ là $\Delta T = 10^\circ C$	113
Hình 7.36 Cửa sổ Design	113
Hình 7.37 Công cụ Component tool	114

Hình 7.38 Công cụ Online DRC	114
Hình 7.39 Sử dụng công cụ Component để sắp xếp footprint các linh kiện	114
Hình 7.40 Công cụ Reconnect Mode	115
Hình 7.41 Công cụ Edit Segment Mode	115
Hình 7.42 Tránh sử dụng các đường mạch in gấp khúc $90^\circ$ trong mạch tần số và tốc độ cao	115
Hình 7.43 Công cụ View Spreadsheet	116
Hình 7.44 Cửa sổ Nets	116
Hình 7.45 Hộp thoại Edit Net	116
Hình 7.46 Vẽ các đường mạch in với độ rộng 50 Mils	117
Hình 7.47 Công cụ Text tool	117
Hình 7.48 Sắp xếp tên linh kiện	118
Hình 7.49 Công cụ Obstacle tool	118
Hình 7.50 Hộp thoại Edit Obstacle	118
Hình 7.51 Đường bao bo mạch in	119
Hình 7.52 Vẽ đường bao vùng phủ đồng	119
Hình 7.53 Tạo các vùng phủ đồng để tăng khả năng chịu dòng của đường mạch	120
Hình 7.54 Phủ mass dạng Solid	120
Hình 7.55 Hộp thoại Hatch Pattern	121
Hình 7.56 Phủ dạng lưới với Width=10 mil, Hatch Rotation= $30^\circ$ , Hatch Grid=50 mil	121
Hình 7.57 Phủ dạng đường thẳng với Width=10 mil, Hatch Rotation= $30^\circ$ , Hatch Grid=50 mil	122
Hình 7.58 Bảng kích thước lỗ khoan	122
Hình 7.59 Vẽ mạch in 2 lớp	123
Hình 7.60 Thêm Via	124
Hình 7.61 Đường mạch in chuyển từ lớp TOP sang lớp BOT bằng cách thêm Via	124
Hình 7.62 Thay đổi hình dạng và kích thước Pad của Via	125
Hình 7.63 Đo kích thước bo mạch in	125
Hình 7.64 Thay đổi hình dạng con trỏ và vị trí gốc tọa độ	126
Hình 7.65 Công cụ Connection tool	126
Hình 7.66 Sắp xếp footprint linh kiện	127
Hình 7.67 Vẽ đường bao bo mạch in	127
Hình 7.68 Thiết lập số lớp vẽ đường mạch in	128
Hình 7.69 Hộp thoại Route Layer	129
Hình 7.70 Vẽ đường mạch in tự động	129

Hình 8.1 Mạch đếm 0-9 sử dụng IC đếm 74LS90 và IC giải mã LED 7 đoạn 74LS47	134
Hình 8.2 Tạo project mới	135
Hình 8.3 Nhập tên và đường dẫn lưu project	135
Hình 8.4 Thêm thư viện linh kiện vào project	135
Hình 8.5 Công cụ Snap to grid	136
Hình 8.6 Thêm thư viện tìm kiếm linh kiện vào project	136
Hình 8.7 Chân nguồn và mass của các linh kiện dạng số thường không được hiển thị	138
Hình 8.8 Tạo đường bao bo mạch in và định vị các lỗ khoan gá bo	142
Hình 8.9 Bảng hiển thị danh sách lớp và công cụ Reconnect mode	143
Hình 8.10 Tìm kiếm linh kiện cần sắp xếp	143
Hình 8.11 Tạo danh sách các linh kiện cần sắp xếp theo loại linh kiện	144
Hình 8.12 Tạo danh sách các linh kiện theo nhóm	145
Hình 8.13 Sắp xếp linh kiện theo nhóm như đã tạo trong phần Capture	145
Hình 8.14 Chọn lựa các lớp cần thay đổi thuộc tính	146
Hình 8.15 Cấu hình thuộc tính cho lớp	146
Hình 8.16 Thiết lập kích thước độ rộng đường mạch	147
Hình 8.17 Sử dụng công cụ Edit Segment Mode để vẽ các đường mạch in	147
Hình 8.18 Thông kê tỉ lệ đường mạch in đã thực hiện	148
Hình 8.19 Hiển thị lớp kích thước lỗ khoan	148
Hình 8.20 Kiểm tra kích thước lỗ khoan với bảng thông kê	149
Hình 8.21 Thay đổi kích thước lỗ khoan	149
Hình 8.22 Thiết lập cho phép lớp xuất file Gerber	150
Hình 8.23 Thông báo xuất file Gerber	150
Hình 8.24 Các file Gerber được tạo ra và lưu trữ trong thư mục con	151

# CHƯƠNG 1: GIỚI THIỆU

## 1.1 Phần mềm hỗ trợ thiết kế và OrCAD

Thuật ngữ phần mềm hỗ trợ kỹ thuật (CAE: Computer Aided-Engineering) được định nghĩa là các phần mềm được sử dụng để hỗ trợ trong thiết kế kỹ thuật từ việc xây dựng bản vẽ, phân tích đến công đoạn sản xuất. Phần mềm hỗ trợ thiết kế (CAD: Computer-Aided-Design) là một dạng của CAE được sử dụng để xây dựng bản vẽ thiết kế của hệ thống. Phần mềm CAD được xây dựng riêng cho ngành công nghiệp điện tử được gọi là ECAD (Electronic CAD) hoặc EDA (Electronic Design Automation). Những công cụ phần mềm này làm giảm chi phí và thời gian phát triển sản phẩm bởi vì các phần mềm cho phép mô phỏng và phân tích các thiết kế trước khi sản xuất thử nghiệm. Để có thể đưa vào sản xuất các thiết kế phải đạt được những yêu cầu đặt ra trong quá trình xây dựng bản vẽ, mô phỏng và phân tích trên phần mềm. Những phần mềm được sử dụng để hỗ trợ trong công đoạn sản xuất được gọi là CAM (Computer-Aided-Manufacturing). Công cụ CAM sử dụng các phần mềm và dữ liệu được tạo ra bởi CAE để điều khiển các máy sản xuất tự động chuyển các thiết kế thành các sản phẩm cụ thể.

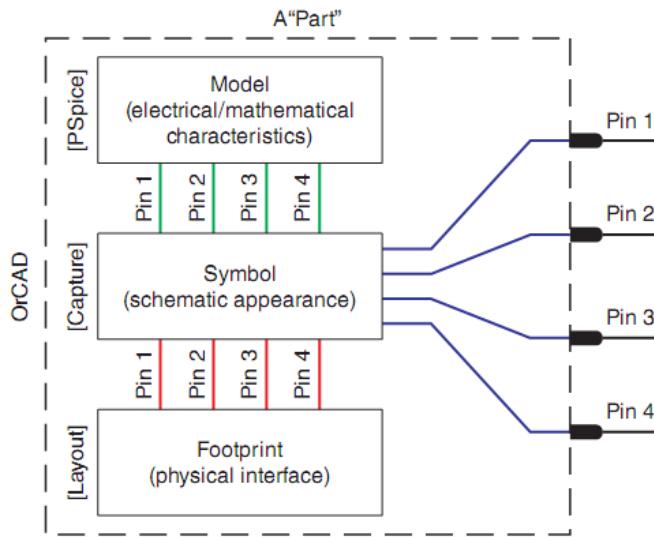
Trong lĩnh vực thiết kế mạch in hiện nay cũng có nhiều phần mềm hỗ trợ thiết kế như OrCAD, Allegro, Altium, Eagle, Proteus... mỗi phần mềm lại có những ưu điểm, nhược điểm riêng và việc chọn lựa sử dụng phần mềm nào phụ thuộc vào sở thích của người sử dụng và yêu cầu từ nhà sản xuất mạch in. Phần mềm OrCAD phiên bản 9.2 được tác giả sử dụng để minh họa cho các ví dụ trong tài liệu này.

OrCAD/Cadence chứa và quản lý nhiều phần mềm CAD/CAM hỗ trợ trong lĩnh vực công nghiệp điện tử bao gồm các phần mềm như Capture, PSpice và Layout. Các phần mềm này chạy độc lập nhưng có thể tạo ra các file liên kết với nhau. Ngoài ra phần mềm OrCAD còn có thể liên kết với các công cụ CAD/CAM khác như GerbTool, SPECCTRA hoặc Allegro.

Trong đó Capture là thành phần trung tâm và là công cụ EDA quan trọng. Capture chứa các thư viện linh kiện được dùng để vẽ sơ đồ mạch nguyên lý độc lập hoặc sơ đồ mạch dùng để liên kết với PSpice, Layout hoặc cả hai phần mềm này. Vai trò của Capture được mô tả như trong Hình 1.1. Các chân (Pin) của một linh kiện trong Capture có thể được liên kết với các chân của mô hình linh kiện trong PSpice và hình dạng chân thực tế (footprint) trong Layout.

PSpice là công cụ CAE chứa các mô hình toán học được sử dụng cho việc mô phỏng. Phần mềm Layout là một công cụ CAD được sử dụng để chuyển đổi sơ đồ mạch nguyên lý sang sơ đồ mạch in thực tế. File netlist được sử dụng để liên kết các linh kiện trong sơ đồ

mạch nguyên lý với mô hình linh kiện trong PSpice và footprint linh kiện trong Layout. Ngoài ra để trở thành một công cụ CAD, phần mềm Layout còn có chức năng giống như là phần mềm ngoại vi của công cụ CAM bằng cách tạo ra dữ liệu để các công cụ khác hoạt động trong quá trình sản xuất mạch in (PCB: Printed Circuit Board) ví dụ như GerbTool... Bằng cách kết hợp ba công cụ Capture, PSpice và Layout trong một gói phần mềm, OrCAD được xem là một công cụ mạnh để hỗ trợ việc thiết kế sơ đồ mạch nguyên lý, kiểm tra và xây dựng sơ đồ mạch in.



*Hình 1.1 Cấu tạo của linh kiện trong Capture [1]*

Yếu tố quan trọng để thiết kế và sản xuất thành công một dự án đó chính là phải hiểu rõ yêu cầu của từng PCB và biết cách sử dụng các công cụ để đáp ứng những yêu cầu này.

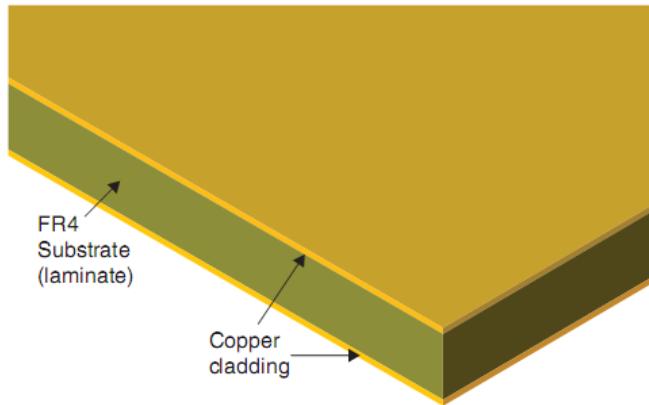
## 1.2 Quy trình gia công mạch in

Để hiểu rõ hơn mục tiêu của giáo trình này chúng ta cần nắm được quy trình gia công và sản xuất mạch in. Bo mạch in (PCB) bao gồm hai phần chính, tấm bo (lớp nền) và đường mạch in (đường mạch đồng). Tấm bo (substrate) tạo ra một lớp nền để gắn linh kiện (component/part) và các đường mạch đồng (copper trace), đồng thời tạo ra lớp cách điện giữa các linh kiện, thường được làm bằng chất liệu sợi thủy tinh không cháy FR4. Ngoài ra còn được làm bằng teflon, ceramic và polyme đặc biệt.

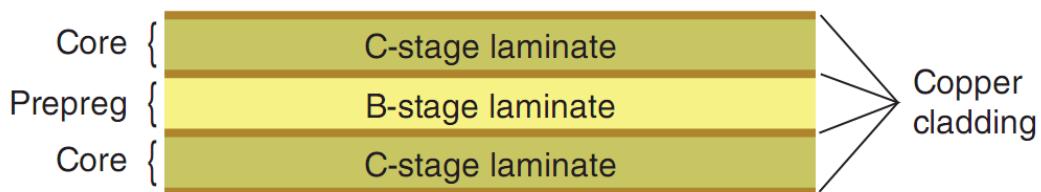
### 1.2.1 Lớp lõi mạch in và cách sắp xếp các lớp

Trong quá trình sản xuất, PCB ban đầu là một tấm bo (gọi là C-stage) được phủ bởi các lớp đồng như trong Hình 1.2. Các lớp đồng này được dán lên tấm bo, độ dày của lớp đồng này được tính bằng đơn vị oz/ft<sup>2</sup> (ounces/foot<sup>2</sup>). Trong đó 1 oz/ft<sup>2</sup> tương đương với 1.2-1.4 mils (0.0012–0.0014 inch). Thông thường thì chúng ta bỏ qua không đọc “/ft<sup>2</sup>” mà chỉ tham chiếu vào đơn vị oz. Một tấm bo có thể được phủ lên một hoặc hai lớp đồng.

Bo mạch in nhiều lớp có cấu tạo từ một hoặc nhiều tấm bo trong đó mỗi tấm bo có thể được phủ một lớp hoặc cả hai lớp đồng gọi là lõi. Các lớp lõi này được dán lại với nhau như trong Hình 1.3, giữa các lõi này là lớp sợi thủy tinh tẩm nhựa (Prepreg: **pre-impregnated**) gọi là B-stage. Sau khi sắp xếp các lớp này được ghép lại với nhau bằng cách ép và sấy khô.

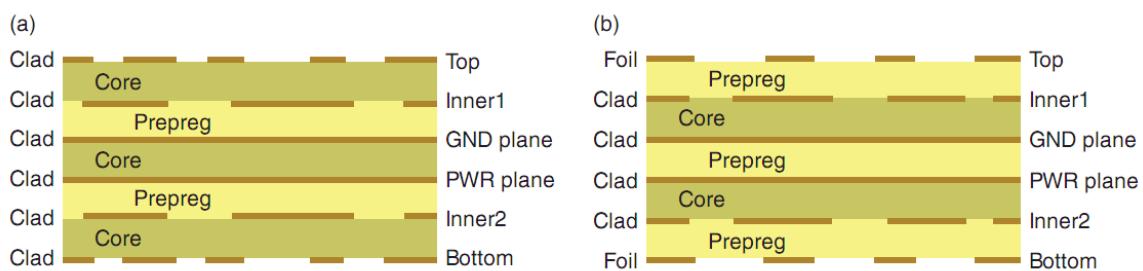


Hình 1.2 Bo mạch in 2 lớp [1]



Hình 1.3 Ghép nối các lớp lõi [1]

Có 3 cách sắp xếp lõi khi sản xuất bo mạch in nhiều lớp. Hình 1.4 trình bày 2 trong số 3 phương pháp sắp xếp với ví dụ bo mạch gồm 6 lớp đường mạch in và 2 lớp nguồn. Hình 1.4 (a) trình bày cách sắp xếp 3 lớp lõi và hai lớp prepreg, trong khi đó Hình 1.4 (b) cũng biểu diễn cách sắp xếp bo mạch 6 lớp nhưng từ 2 lớp lõi để tạo ra 4 lớp đường mạch in bên trong (inner layer) và 2 lớp bên ngoài (outer layer) là các tấm lá đồng.

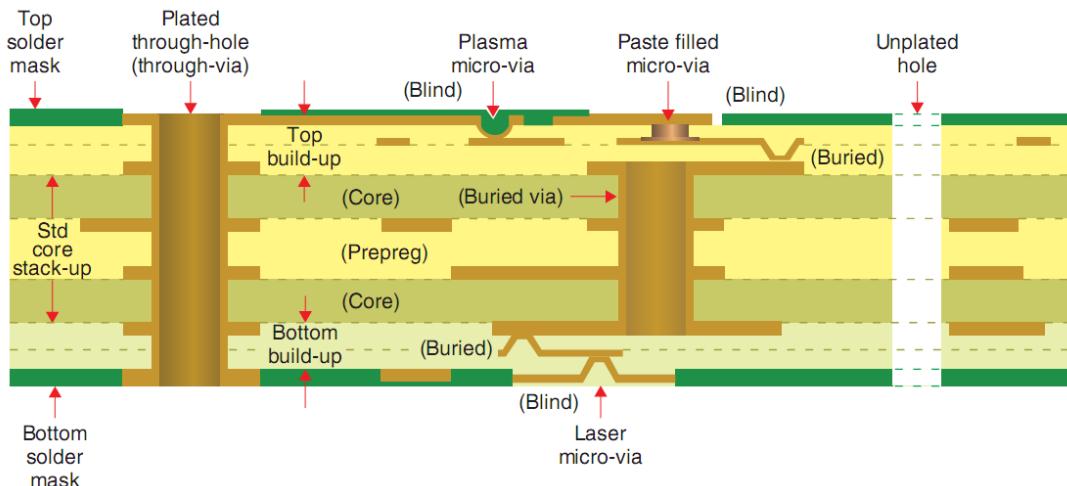


Hình 1.4 Hai cách thức sắp xếp cho bo mạch in 6 lớp [1]

- (a) Nhiều lõi với lớp bên ngoài được phủ đồng
- (b) Nhiều lõi với lớp bên ngoài cùng là các tấm lá đồng

Lớp đường mạch in (routing layer) trong Hình 1.4 được biểu diễn bằng các đường đứt nét và 2 lớp nguồn được biểu diễn bằng đường thẳng liên tục. Vì các lớp bên ngoài sau đó sẽ được đưa qua công đoạn ăn mòn và các tấm lá đồng (Foil) thì có giá thành rẻ hơn so với các lớp phủ đồng (Clad) do đó phương pháp sắp xếp các lớp như trong Hình 1.4 (b) được sử dụng rộng rãi hơn.

Cách sắp xếp thứ ba sử dụng nhiều kỹ thuật khác nhau được dùng để sản xuất các bo mạch có độ phức tạp cao. Hình 1.5 trình bày cách sắp xếp trong bo mạch nhiều lớp thường gấp bao gồm một lõi 4 lớp được xếp ở giữa sau đó thêm vào hai lớp ngoài cùng (lớp TOP và lớp BOTTOM). Các kỹ thuật khác được sử dụng để tạo ra các loại lỗ via như via xuyên lớp (through via), via ngầm (buried via), via mù (blind via) và các lỗ khoan (noplated hole). Điện trở và tụ điện cũng có thể được tích hợp bên trong tâm bo.



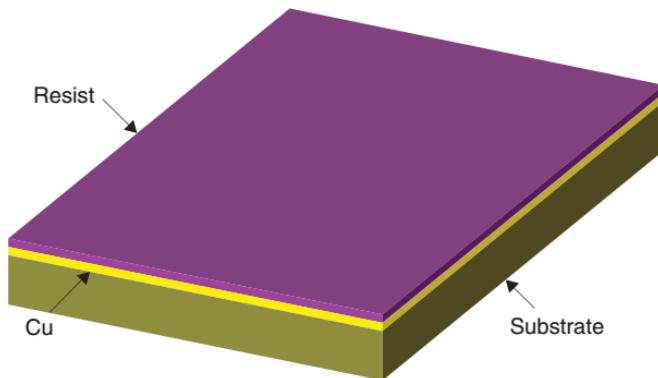
Hình 1.5 Cách sắp xếp các lớp trong bo mạch in nhiều lớp [1]

### 1.2.2 Quy trình sản xuất mạch in

Các đường mạch đồng (copper trace) và Pad trên các bo mạch in được tạo ra bằng cách tách bỏ các lớp đồng không cần thiết ra khỏi bo mạch. Có hai phương pháp thường dùng để loại bỏ các lớp đồng này đó là phương pháp ăn mòn kim loại sử dụng axit lỏng và phương pháp phay cơ khí. Phương pháp ăn mòn bằng axit được sử dụng phổ biến hơn khi sản xuất bo mạch với số lượng lớn vì có thể gia công nhiều bo mạch cùng một thời điểm. Nhược điểm của phương pháp ăn mòn axit là sử dụng hóa chất nguy hiểm và phải bổ sung thường xuyên, hóa chất này có thể được tái sử dụng hoặc bỏ đi. Phương pháp phay cơ khí thường được áp dụng cho việc sản xuất số lượng nhỏ và các bo mạch chạy thử nghiệm. Cho dù phương pháp nào được sử dụng thì cũng phải tạo ra một bản đồ đường mạch đồng dạng số. Mục đích của các phần mềm hỗ trợ thiết kế (CAD) như OrCAD Layout là tạo ra các bản đồ này.

### 1.2.3 Kỹ thuật in và ăn mòn hóa học

Việc chọn lựa các lớp đồng cần tách ra khỏi bo mạch trong quá trình ăn mòn yêu cầu phải loại bỏ các lớp đồng không mong muốn và giữ lại các lớp đồng cần thiết khỏi tác động của chất ăn mòn. Các lớp đồng này được cách ly khỏi chất ăn mòn nhờ vào lớp polyme gọi là lớp phủ ngăn cản ánh sáng (photoresist) được phủ lên bề mặt bo đồng như trong Hình 1.6. Lớp cản quang này được phủ lên bo đồng theo hình dạng các bo mạch bằng kỹ thuật in gọi là *photolithography*. Các đường mạch in được phủ lớp cản quang sẽ bảo vệ lớp đồng bên dưới khỏi chất ăn mòn và phơi ra các lớp đồng cần được loại bỏ.

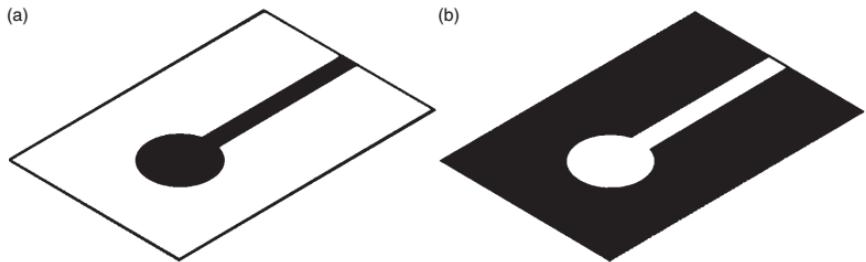


Hình 1.6 Bo mạch đồng với lớp phủ cản quang [1]

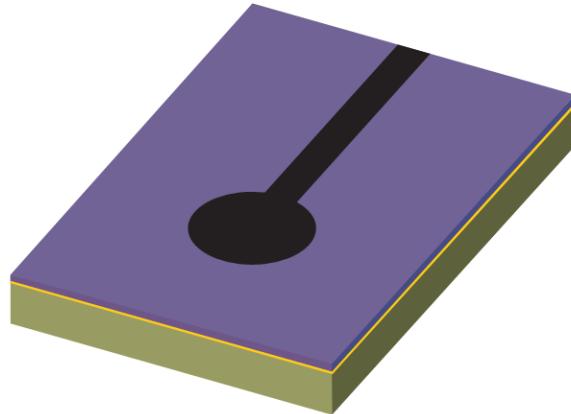
Kỹ thuật in lớp cản quang gồm hai bước, phơi sáng bằng tia cực tím (UV: ultraviolet) và rửa ảnh trong bể chất hóa học. Có hai loại lớp phủ cản quang đó là lớp cản dương (positive resist) và lớp cản âm (negative resist) như trong Hình 1.7. Khi phơi lớp cản dương dưới tia cực tím thì lớp phủ polyme này sẽ bị vỡ và có thể tách ra khỏi lớp đồng, ngược lại thì lớp cản âm lại được bảo vệ dưới ánh sáng của tia cực tím.

Mặt nạ in được sử dụng để phơi các thành phần mong muốn của lớp cản quang. Mặt nạ là một tấm phim hoặc thủy tinh chuyên dụng có màu trắng và đen, các đường mạch in (trace) và Pad được in trên mặt nạ này. Các mặt nạ được sử dụng lại nhiều lần đôi khi được chế tạo trên thủy tinh thay vì trên tấm phim.

Mặt nạ được đặt lên trên lớp cản quang như trong Hình 1.8 và được phơi dưới ánh sáng tia cực tím. Vùng màu đen ngăn cản tia cực tím và vùng màu trắng (trong suốt) cho tia cực tím tác động vào lớp cản quang, do đó hình ảnh bo mạch được in lên lớp cản quang. Mỗi lớp của bo mạch in sử dụng một mặt nạ riêng biệt. Phần mềm OrCAD Layout tạo ra dữ liệu để máy in làm ra các mặt nạ này.



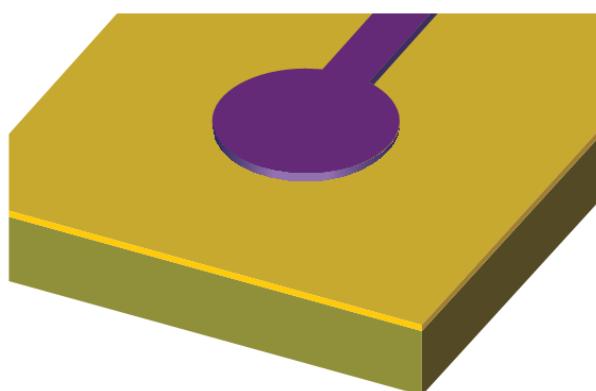
Hình 1.7 Mặt nạ in (a) Mặt nạ dương (b) Mặt nạ âm [1]



Hình 1.8 Mặt nạ dương được đặt lên lớp phủ cản quang [1]

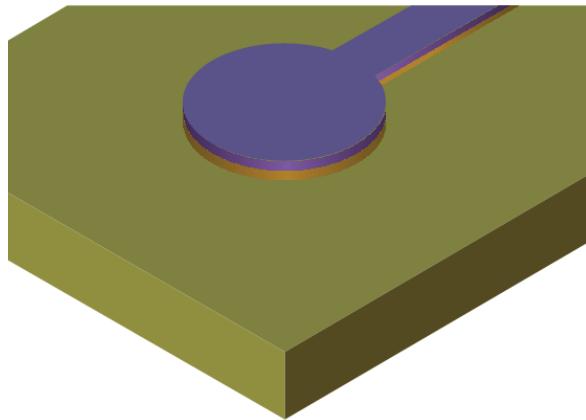
Một phương pháp khác để phơi lớp cản quang đó là sử dụng máy in laser để in trực tiếp đường mạch lên lớp cản quang, đây là kỹ thuật mới được gọi là LDI (laser direct imaging), kỹ thuật này có ưu điểm là không cần sử dụng mặt nạ.

Sau khi lớp cản quang được phơi sáng thì bo mạch được rửa trong hóa chất gọi là công đoạn rửa bo. Ở công đoạn này thì lớp cản dương sẽ bị vỡ và được tách ra trong khi đó lớp cản âm sẽ được giữ lại dưới ánh sáng của tia cực tím. Chất rửa thông thường đối với lớp cản dương là NaOH (natri hydroxide) và lớp cản âm là Na<sub>2</sub>CO<sub>3</sub> (natri carbonate). Khi được phơi sáng và rửa xong thì hình ảnh bo mạch in được tạo bởi lớp cản quang nằm lại trên lớp đồng như Hình 1.9.



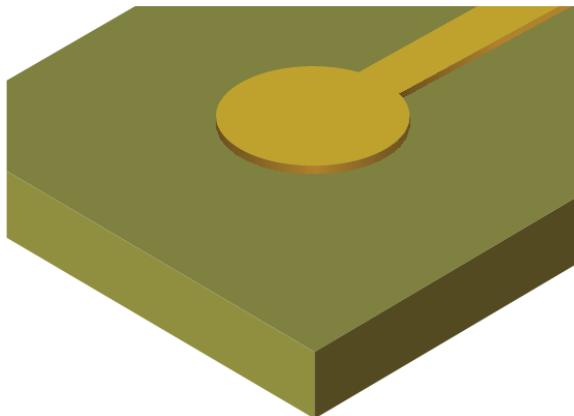
Hình 1.9 Lớp cản quang trên bo đồng sau khi qua công đoạn rửa [1]

Bước tiếp theo bo mạch được đưa vào dung dịch axit ăn mòn  $\text{FeCl}_3$  hoặc  $\text{Na}_2\text{S}_2\text{O}_8$ . Dung dịch ăn mòn không ảnh hưởng lên lớp cản quang mà tác động lên lớp đồng và loại bỏ lớp đồng này ra khỏi tấm bo như trong Hình 1.10.



Hình 1.10 Lớp đồng không cần thiết được loại bỏ ra khỏi tấm bo [1]

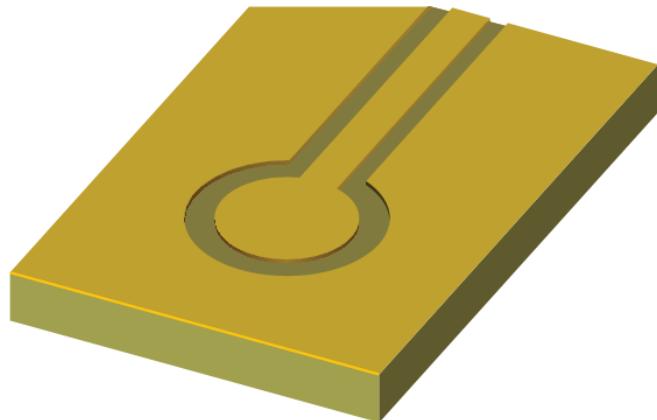
Khi lớp polyme cản quang được rửa sạch thì đường mạch đồng cuối cùng có được như trong Hình 1.11.



Hình 1.11 Đường mạch đồng và pad sau khi qua công đoạn ăn mòn và tẩy bỏ lớp cản quang [1]

#### 1.2.4 Kỹ thuật phay cơ khí

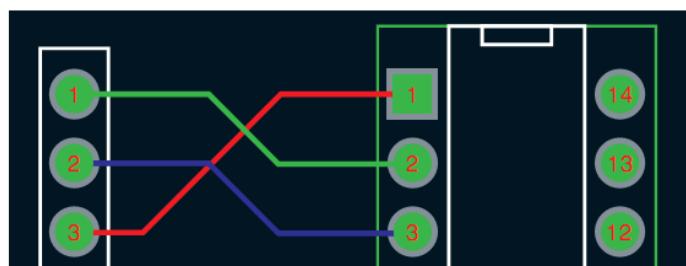
Như đã được trình bày ở phần trên phay cơ khí cũng là một cách để tạo ra các đường mạch in. Để phay bo mạch in, máy CNC (computer numerical control) được lập trình với dữ liệu đầu vào là bản đồ dạng số của bo mạch in và máy CNC sẽ bào mòn các đường mạch đồng không cần thiết. Những đường mạch đồng không sử dụng có thể được loại bỏ hoàn toàn như trong Hình 1.11 hoặc chỉ loại bỏ một phần đủ để cách ly đường mạch đồng với pad như trong Hình 1.12. Cách này sẽ làm giảm thời gian gia công nhưng lại gây ảnh hưởng đến tính chất của đường mạch.



Hình 1.12 Đường mạch đồng sau khi qua công đoạn phay cơ khí [1]

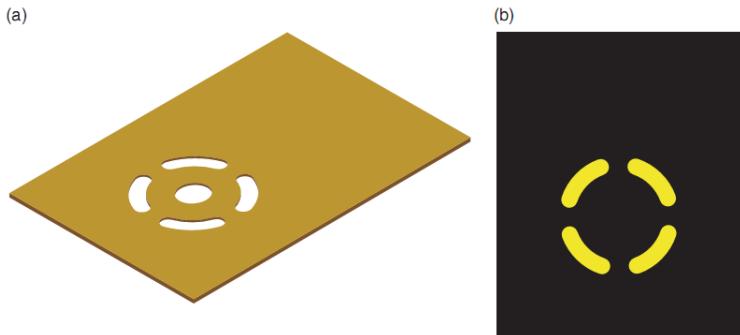
### 1.3 Chức năng của OrCAD Layout trong quy trình thiết kế mạch in

Phần mềm OrCAD Layout được sử dụng để thiết kế PCB bằng cách tạo ra file mô tả dạng số các lớp mạch in cho máy in bo và máy CNC để sản xuất mạch in. Trong một bo mạch in có nhiều lớp mạch riêng biệt như lớp đường mạch đồng ở lớp trên (top), lớp dưới (bottom) và các lớp bên trong như lớp kích thước lỗ khoan (drill hole sizes), lớp vị trí (locations), lớp phủ tránh oxy hóa (soldermasks), lớp tên linh kiện (silk screens), lớp phủ chì (solder paste), lớp đường bao linh kiện (part placement) và lớp kích thước bo (board dimensions). Tất cả các lớp này không được mô tả như nhau trong Layout, một số lớp xuất hiện khi thao tác trên phần mềm sẽ xuất hiện trên bo mạch thực tế trong khi đó một số lớp sẽ không xuất hiện trên bo mà chỉ quan sát được trên phần mềm. Các lớp được nhìn thấy trên bo mạch thực tế là lớp đường bao bo mạch in (board outline), lớp đường mạch in đồng (routed copper), lớp tên linh kiện (silk screens), lớp phủ chì (solder paste) và lớp hướng dẫn lắp ráp linh kiện. Những lớp không nhìn thấy được đó là lớp bề mặt bo đồng, lớp lỗ khoan, và lớp phủ tránh oxy hóa. Hình 1.13 cho thấy các lớp đường mạch in (ví dụ như lớp trên, lớp dưới và lớp bên trong) khi quan sát trên phần mềm Layout. Lớp nền có màu đen, các đường mạch in và pad trên mỗi lớp được thể hiện theo các màu sắc khác nhau để dễ dàng quan sát.



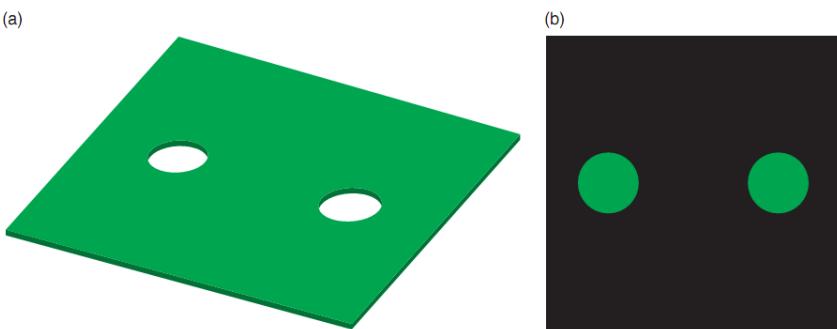
Hình 1.13 Lớp đường mạch in [1]

Hình 1.14 (a) và (b) thể hiện sự khác nhau giữa lớp bì mặt bo đồng vật lý có via tản nhiệt và sự thể hiện bo đồng này trong phần mềm Layout. Trong Hình 1.14 (b) lớp nền màu đen đó chính là bì mặt bo đồng và những vùng màu vàng là lớp đồng được bị loại bỏ.



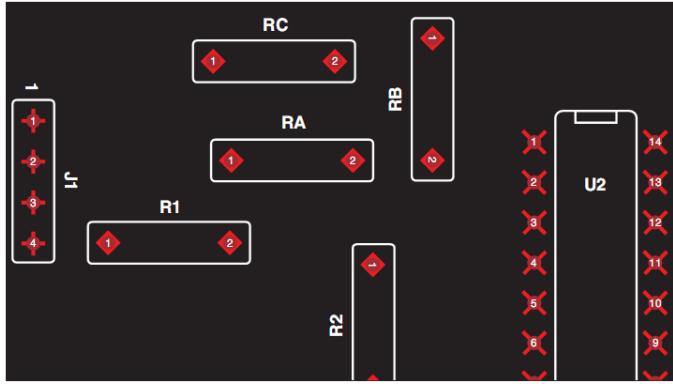
*Hình 1.14 (a) Bì mặt bo đồng có via tản nhiệt thực tế, (b) Bì mặt bo đồng quan sát trong phần mềm Layout [1]*

Hình 1.15 (a) trình bày lớp phủ tránh oxy hóa với các lỗ trống cho phép chì hàn tác động lên các pad khi gắn linh kiện và Hình 1.15 (b) thể hiện lớp phủ này khi quan sát trên phần mềm Layout.



*Hình 1.15 Lớp phủ tránh oxy hóa quan sát trong thực tế và trên phần mềm Layput [1]*

Hình 1.16 là một ví dụ về ký hiệu lớp kích thước lỗ khoan và tên linh kiện trong Layout. Những hình tròn màu đỏ đậm là vị trí và kích thước lỗ khoan, những ký hiệu có màu đỏ tươi hơn được sử dụng để mã hóa về kích thước lỗ khoan được quy ước trong bảng như Hình 1.17. Những đường màu trắng chính là lớp đường bao linh kiện như được trình bày ở trên.



Hình 1.16 Bo mạch in với lớp ký hiệu quy ước kích thước lỗ khoan và lớp đường bao linh kiện quan sát trên phần mềm Layout [1]

DRILL CHART				
SYM	DIAM	TOL	QTY	NOTE
□	0.028		2	
×	0.034		14	
+	0.037		8	
TOTAL			24	

Hình 1.17 Bảng ký hiệu, kích thước và số lượng lỗ khoan [1]

## 1.4 Định dạng file trong Layout

### 1.4.1 Định dạng file .MAX

Khi thiết kế bo mạch trên phần mềm Layout, file thiết kế sẽ được máy tính lưu trữ với tên file có phần mở rộng .MAX. Khi bo mạch đã hoàn chỉnh và chuẩn bị đưa vào sản xuất phần mềm Layout sẽ xử lý file thiết kế và chuyển đổi file này cho phù hợp với định dạng của máy CNC hoặc máy in. Những file này gọi là file Gerber.

### 1.4.2 File hậu xử lý (Gerber)

Quá trình hậu xử lý tạo ra file Gerber riêng biệt cho từng lớp bo như đã đề cập ở trên. Phần mềm Layout có thể xuất ra hơn 30 file khác nhau để mô tả các thông số kỹ thuật của PCB. Ví dụ về các file này với phần mở rộng và chức năng được trình bày trong Bảng 1.1, một số file còn lại sẽ được thảo luận ở các chương tiếp theo.

### 1.4.3 File và lớp lắp ráp linh kiện

Phần mềm Layout tạo ra file thông số kỹ thuật của các lớp nhưng một số file này không sử dụng cho việc sản xuất PCB mà được dùng cho việc lắp ráp linh kiện tự động lên PCB. Đầu tiên là lớp phủ chì (solder paste), lớp này được sử dụng để ghép nối mặt nạ chọn vị trí phủ chì cho các pad trên bo mạch in từ đó các linh kiện được hàn tự động vào bo mạch. Lớp phủ chì này chỉ có ở lớp trên (.SPT) và lớp dưới (.SPB) của bo mạch in. Thứ hai là lớp lắp ráp linh kiện, file này chứa các thông tin được sử dụng cho máy lắp ráp linh kiện

tự động (pick-and-place machines) như là thông tin về loại linh kiện, vị trí và hướng đặt của linh kiện trên PCB. Giống như lớp phủ chống oxy hóa (soldermask), chỉ có một lớp lắp ráp linh kiện cho mặt trên (.AST) và lớp lắp ráp linh kiện cho mặt dưới (.ASB).

*Bảng 1.1 Các file Gerber tạo ra bởi phần mềm Layout [1]*

Tên file và phần mở rộng	Chức năng
BoardName .AST	Top side assembly (mặt lắp ráp linh kiện lớp trên)
BoardName .SPT	Top side solder paste (mặt phủ chì lớp trên)
BoardName .SST	Top side silk screen (tên linh kiện lớp trên)
BoardName .SMT	Top side soldermask (mặt phủ chống oxy hóa lớp trên)
BoardName .TOP	Top side copper (usually routing) (mặt đồng lớp trên)
BoardName .IN1	Inner layer 1 (routing or plane) (lớp mạch in số 1)
BoardName .IN2	Inner layer 2 (routing or plane) (lớp mạch in số 2)
BoardName .Inx	Inner layer x (routing or plane) (lớp mạch in thứ n)
BoardName .PWR	Power layer (a plane layer) (lớp nguồn)
BoardName .GND	Ground layer (a plane layer) (lớp mass)
BoardName .BOT	Bottom side copper (usually routing) (mặt đồng lớp dưới)
BoardName .SMB	Bottom side soldermask (mặt phủ chống oxy hóa lớp dưới)
BoardName .SSB	Bottom side silk screen (tên linh kiện lớp dưới)
BoardName .SPB	Bottom side solder paste (mặt phủ chì lớp dưới)
BoardName .ASB	Bottom side assembly (mặt lắp ráp linh kiện lớp dưới)
BoardName .DRD	Board outline info (lớp đường bao bo mạch in)
Throughhole .tap	Drill information (lớp kích thước lỗ khoan chân linh kiện)

## CÂU HỎI ÔN TẬP:

1. Các thành phần chính của bo mạch in là gì?
2. Hãy cho biết các chất liệu cách điện thường sử dụng làm lớp nền để gắn linh kiện và các đường mạch là gì?
3. Hãy trình bày 3 cách sắp xếp lớp lõi khi sản xuất bo mạch in nhiều lớp?
4. Độ dày lớp đồng được tính theo đơn vị gì?
5. Hãy cho biết các phương pháp dùng để tách bỏ những lớp đồng không cần thiết ra khỏi bo mạch in là gì? Ưu nhược điểm của từng phương pháp?

## CHƯƠNG 2: QUY TRÌNH THIẾT KẾ MẠCH IN

### 2.1 Giới thiệu chung

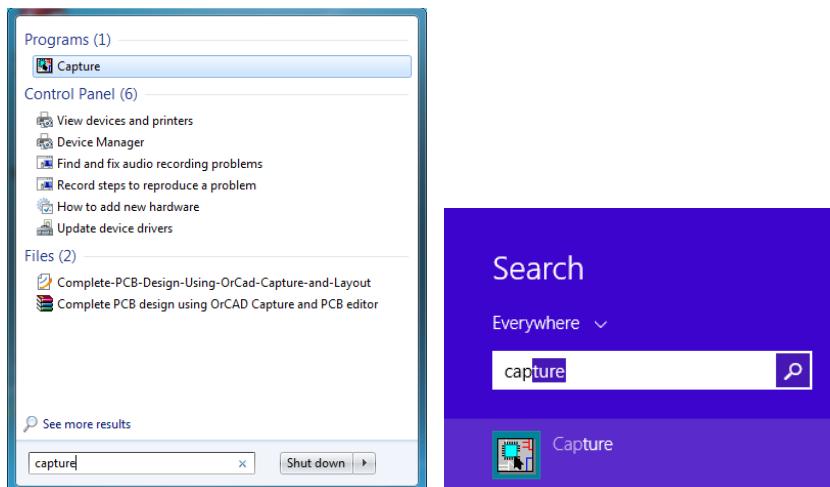
Nội dung chương này giới thiệu các bước cơ bản để xây dựng sơ đồ mạch nguyên lý bằng phần mềm Capture sau đó chuyển sơ đồ mạch nguyên lý sang sơ đồ mạch in trên phần mềm Layout. Các bước thực hiện bao gồm:

1. Mở phần mềm Capture và thiết lập Project bằng cách sử dụng PC Board Wizard
2. Vẽ sơ đồ mạch nguyên lý sử dụng OrCAD Capture
3. Sử dụng Capture để tạo file netlist với phần mở rộng .MNL được sử dụng cho Layout
4. Mở Layout và chọn file tiêu chuẩn công nghệ PCB (file có phần mở rộng .TCH)
5. Lưu Project Layout với phần mở rộng .MAX
6. Sử dụng phần mềm Layout để chuyển file netlist với phần mở rộng .MNL sang file .MAX
7. Vẽ đường bao bo mạch in
8. Sắp xếp linh kiện bên trong đường bao bo mạch in
9. Vẽ các đường mạch in
10. Xuất các file kỹ thuật để sản xuất mạch in

### 2.2 Thiết kế sơ đồ mạch nguyên lý với Capture

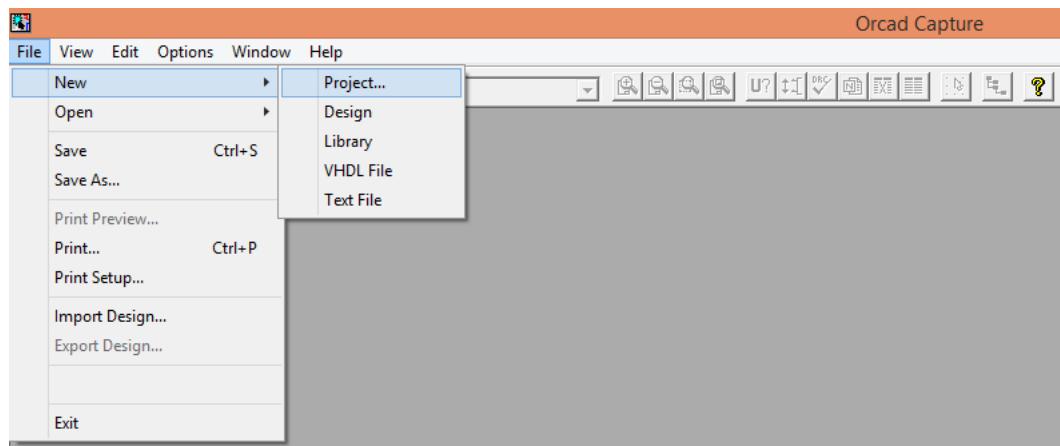
#### 2.2.1 Tạo project mới

Trước khi tiến hành việc gia công bo mạch in, chúng ta cần phải có một mạch điện để thực hiện việc thiết kế mạch in. Chúng ta sử dụng phần mềm Capture để vẽ sơ đồ mạch nguyên lý.



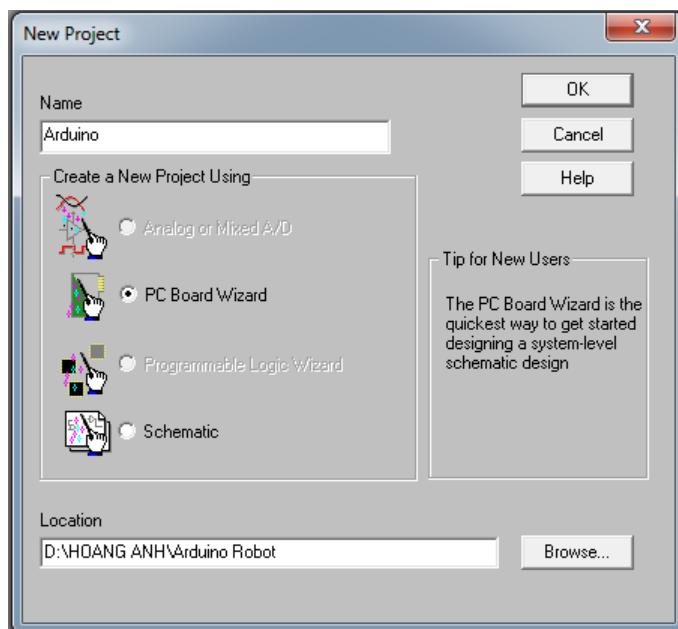
Hình 2.1 Khởi động phần mềm Capture trong Windows 7 và Windows 8

Sau khi mở phần mềm Capture, giao diện phần mềm xuất hiện chúng ta chọn menu *File>New>Project* như Hình 2.2.



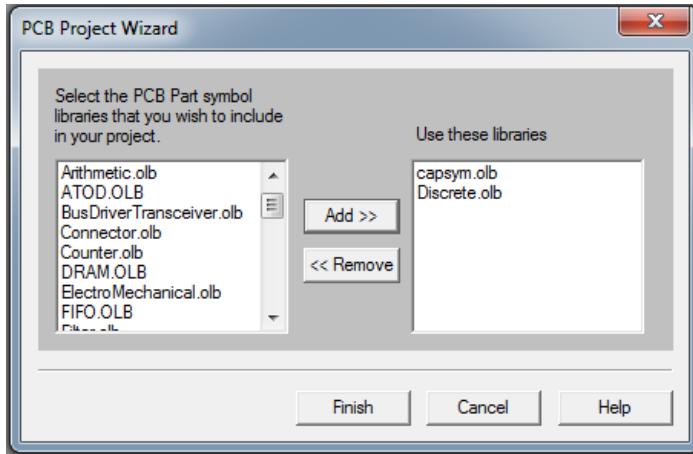
Hình 2.2 Tạo Project mới trong phần mềm Capture

Hộp thoại New Project xuất hiện, chúng ta nhập tên Project, chọn mục *PC Board Wizard*. Tại mục *Location* chúng ta chọn đường dẫn để lưu trữ Project, nếu không Project sẽ được lưu tự động vào đường dẫn mặc định và chúng ta phải nhớ để có thể mở Project này khi cần sau đó là chọn *OK*.



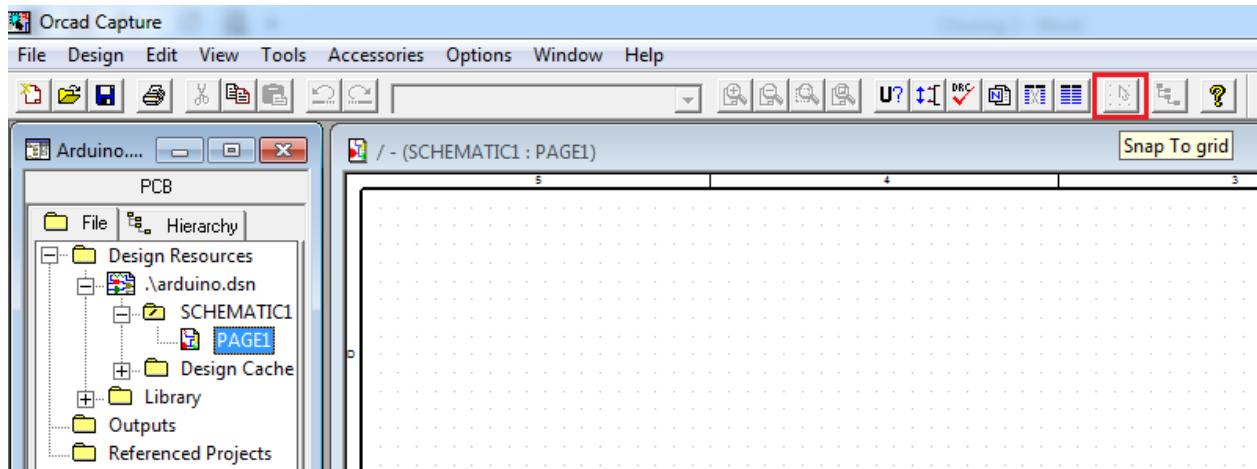
Hình 2.3 Hộp thoại New Project

Hộp thoại PCB Project Wizard xuất hiện như trong Hình 2.4, hộp thoại này cho phép chúng ta thêm các thư viện cần thiết vào Project. Chúng ta có thể kéo thanh cuộn để tìm các thư viện này sau đó chọn *Add* hoặc chọn *Remove* nếu như chúng ta muốn bỏ các thư viện này ra và chọn *Finish* để hoàn tất việc thiết lập cho Project.



Hình 2.4 Hộp thoại PCB Project Wizard

Cửa sổ Project Manager sẽ xuất hiện ở góc trên, phía bên trái màn hình của phần mềm Capture như trong Hình 2.5, đồng thời cửa sổ Schematic sẽ tự động mở ra. Nếu không chúng ta có thể mở bằng cách click chuột vào biểu tượng dấu “+” tại *projectname.dsn*, tiếp theo là tại thư mục *Schematic* và chọn *Page 1*. Nếu như không nhìn thấy các dấu “chấm” trên trang vẽ của bạn điều này có nghĩa là chức năng hiển thị lưới (grid) trang vẽ đã bị tắt. Chúng ta có thể mở chức năng này bằng cách chọn công cụ (Snap to grid), biểu tượng công cụ này sẽ có màu xám nếu như chưa năng hiển thị lưới trang vẽ được bật.



Hình 2.5 Ví dụ về một New Project

### Chú ý:

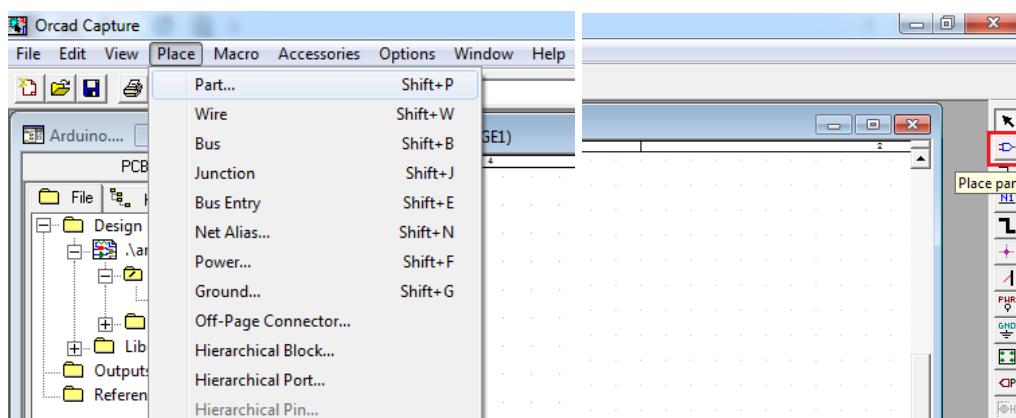
Thanh công cụ bên trên tại cửa sổ phần mềm Capture sẽ thay đổi nếu như chúng ta chọn thao tác trên *Project Manager* hoặc thao tác trên *Schematic Page*. Nếu như chúng ta muốn sử dụng chức năng của các thanh công cụ này để thao tác trên *Project Manager* hoặc *Schematic Page* thì chúng ta phải chọn cho các cửa sổ này tích cực bằng cách click chuột

vào cửa sổ làm việc. Các cửa sổ làm việc này sẽ thay đổi màu sắc khi được chọn tích cực thay vì có màu xám.

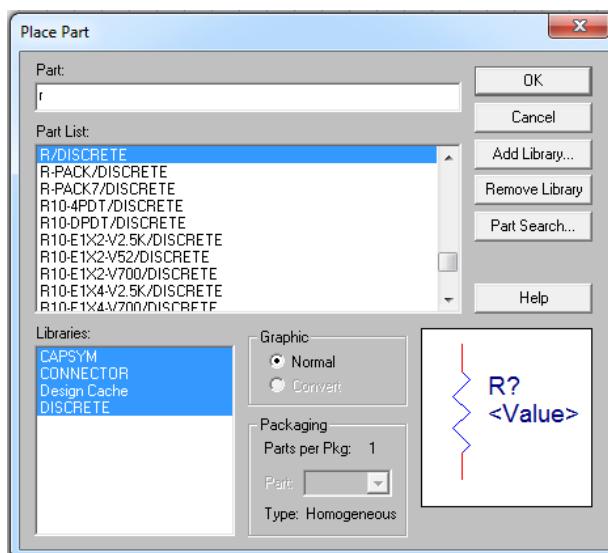
## 2.2.2 Sắp xếp linh kiện

### 2.2.2.1 Lấy linh kiện ra trang vẽ

Để có thể lấy các linh kiện ra trang vẽ, ta phải chọn để cửa sổ *Schematic Page* tích cực sau đó chọn công cụ *Place Part* trong thanh công cụ hoặc nhấn vào nút công cụ *Place Part* như trong Hình 2.6 hoặc nhấn phím *P* trên bàn phím. Hộp thoại *Place Part* xuất hiện như trong Hình 2.7. Trong mục *Libraries* chúng ta có thể chọn một hoặc nhiều thư viện bằng cách click chuột vào tên thư viện hoặc giữ phím *Ctrl+click* chuột hoặc *Ctrl+A* để chọn tất cả các thư viện có trong mục *Libraries*. Sau đó nhập tên linh kiện cần lấy vào mục *Part* hoặc có thể chọn linh kiện trong cửa sổ *Part List* bằng cách xem trước hình dạng linh kiện ở cửa sổ *Preview*.



Hình 2.6 Công cụ *Place Part*

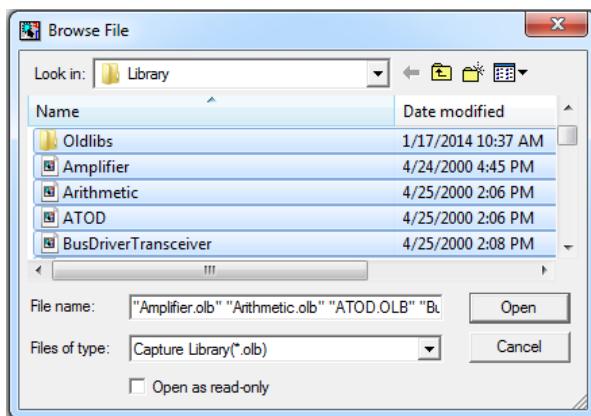


Hình 2.7 Hộp thoại *Place Part*

Trong mục Libraries chúng ta thấy chỉ có 3 thư viện (CAPSYM, DISCRETE và CONNECTOR) đây cũng chính là những thư viện mà chúng ta đã thêm vào khi tạo Project mới với PCB Project Wizard.

### 2.2.2.2 Thêm thư viện linh kiện vào Project

Để có thể thêm các thư viện khác vào mục Libraries chúng ta có thể thực hiện ngay từ khi tạo Project mới với PCB Project Wizard hoặc chọn nút công cụ Add Library. Cửa sổ Browse File xuất hiện, tại cửa sổ Look in chúng ta phải chỉ đường dẫn đến thư mục chứa các thư viện linh kiện của phần mềm, thông thường là *C:\Program Files\Orcad\Capture\Library*, chọn các thư viện cần thiết hoặc có thể chọn tất cả các thư viện như trong Hình 2.8.

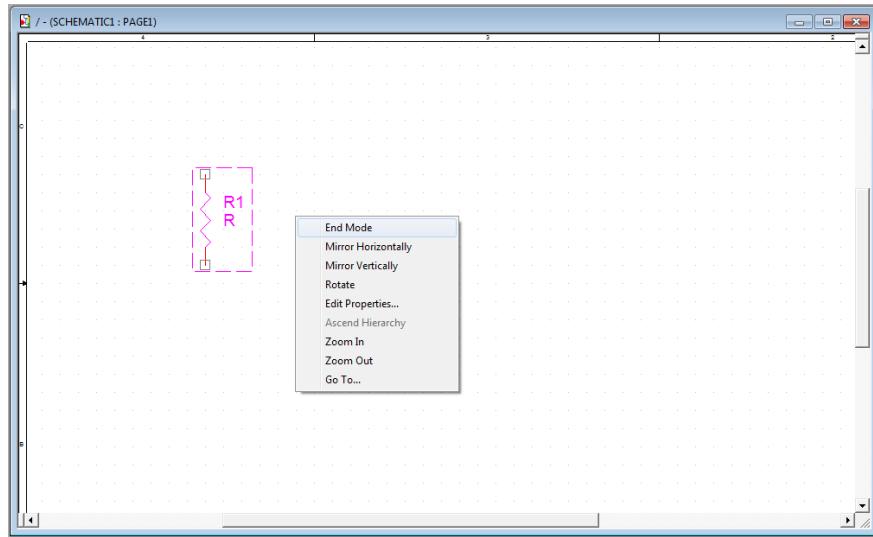


Hình 2.8 Thêm thư viện linh kiện

### 2.2.2.3 Đặt linh kiện vào trang vẽ

Sau khi tìm được linh kiện thích hợp chúng ta chọn *OK* và quay trở lại trang vẽ. Lúc này linh kiện được chọn sẽ được đính vào vị trí của con trỏ chuột. Chúng ta có thể chọn vị trí thích hợp sau đó click chuột trái để đặt linh kiện này trên trang vẽ như Hình 2.9, chỉ số của linh kiện sẽ được tăng tự động và bắt đầu là 1 (R1). Loại linh kiện này lại tiếp tục được đính vào con trỏ để người sử dụng dễ dàng lấy ra tiếp các linh kiện cùng loại. Khi hoàn thành việc lấy linh kiện chúng ta có thể click chuột phải chọn *End Mode* hoặc nhấn phím *ESC* để thoát khỏi chức năng này.

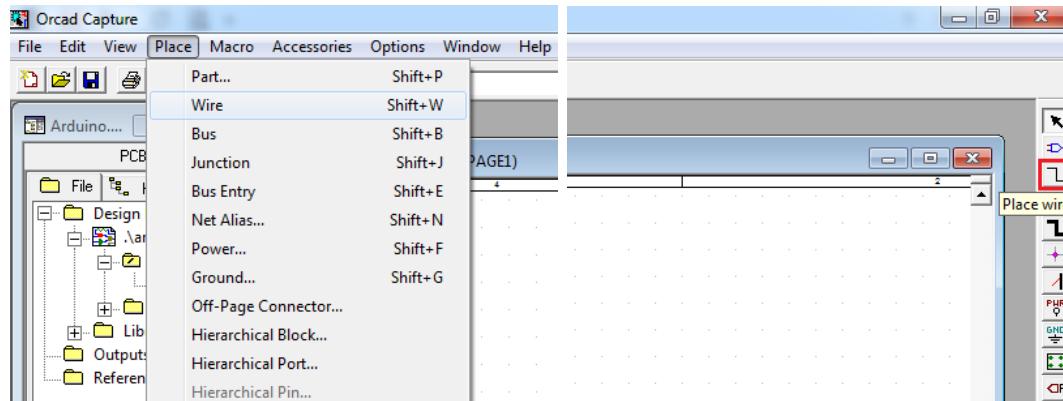
Để thay đổi hướng của linh kiện chúng ta click chuột chọn linh kiện cần thay đổi (linh kiện được chọn sẽ chuyển thành màu đỏ), tiếp theo click chuột phải và chọn chức năng *Rotate* hoặc nhấn phím *R* trên bàn phím.



Hình 2.9 *Đặt linh kiện lên trang vẽ*

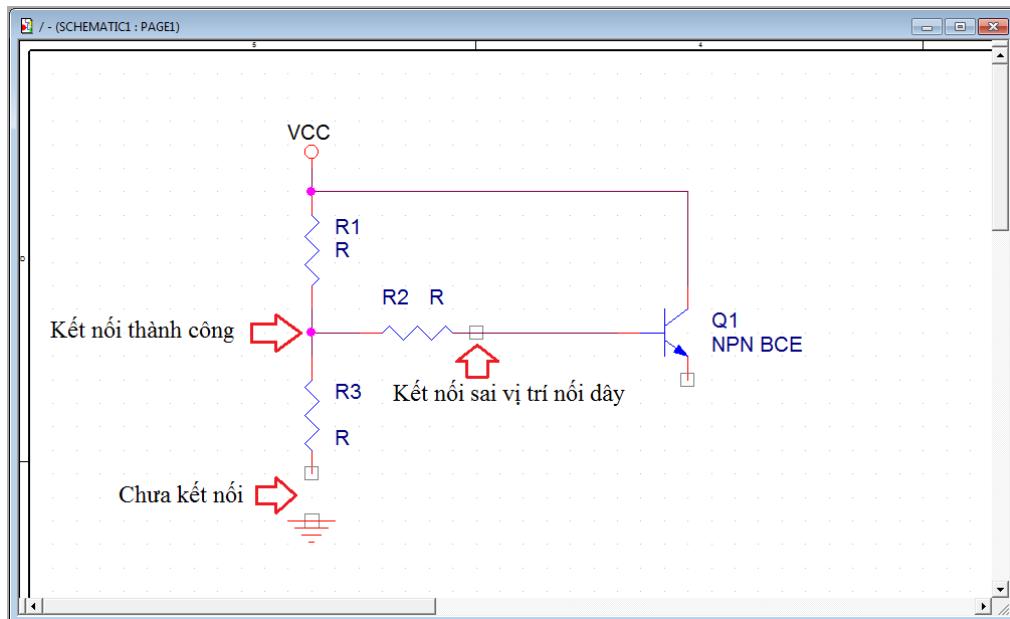
### 2.2.3 Kết nối mạch nguyên lý

Để kết nối sơ đồ mạch nguyên lý chúng ta chọn công cụ *Place wire* như trong Hình 2.10 hoặc nhấn phím *W* trên bàn phím. Con trỏ chuột sẽ chuyển sang hình dạng chữ thập “+”. Mỗi linh kiện sẽ có các chân (lead) để kết nối với các linh kiện khác, vị trí nối dây có ký hiệu là ô hình vuông ở mỗi chân linh kiện. Để kết nối các linh kiện với nhau chúng ta click chuột vào vị trí nối dây của chân linh kiện cần kết nối, sau đó thả chuột tự do, di chuyển đến vị trí nối dây của chân linh kiện tiếp theo và click chuột để tạo kết nối. Con trỏ chuột sẽ tiếp tục hoạt động ở chức năng nối dây để chúng ta tạo đường dây nối đến các linh kiện khác. Nếu muốn kết thúc chức năng nối dây chúng ta click phải chuột chọn *End Mode* hoặc nhấn phím *ESC*.



Hình 2.10 *Công cụ Place Wire*

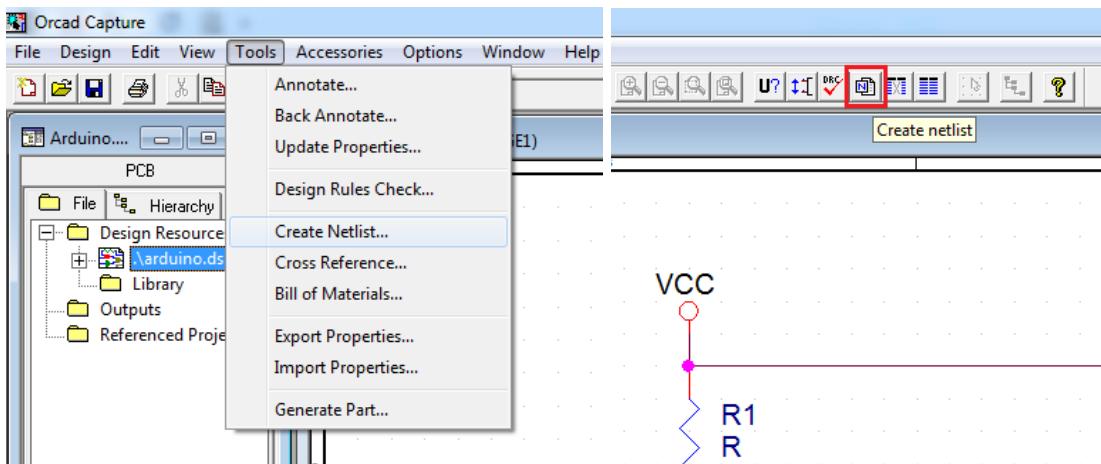
Các kết nối thành công khi những ô vuông ở đầu mỗi chân linh kiện biến mất, nếu như không bật chức năng hiển thị lưới trang vẽ như đã đề cập ở phần trên, chúng ta sẽ gặp khó khăn khi xác định vị trí nối dây của chân linh kiện điều này sẽ gây ra lỗi và không thể tạo được file netlist.



Hình 2.11 Kết nối mạch nguyên lý giữa các linh kiện với nhau

#### 2.2.4 Tạo file Layout netlist trong Capture

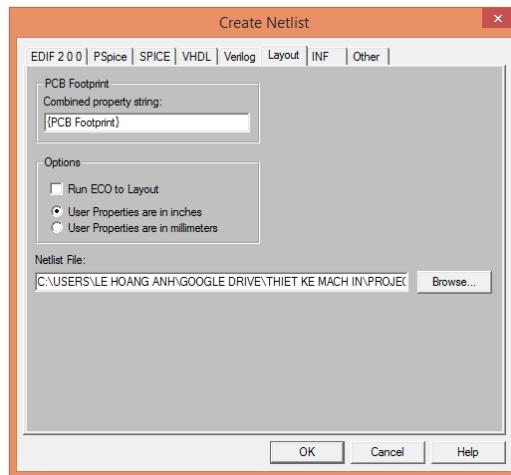
Khi những kết nối giữa các linh kiện hoàn tất thì bước tiếp theo đó chính là tạo file netlist (file văn bản có định dạng mã ASCII mô tả mạch điện). Có nhiều loại file netlist khác nhau nhưng chúng ta sẽ tạo ra file Layout netlist. Chọn cửa sổ làm việc Project Manager, click chuột vào *projectname.dsn* nếu như chúng ta đang thao tác trên cửa sổ Schematic Page thì thanh công cụ sẽ bị ẩn đi. Nếu không nhìn thấy cửa sổ Project Manager chúng ta phải *Restore* hoặc *Minimize* cửa sổ Schematic Page. Sau đó chọn *Tools>Create Netlist* như Hình 2.12.



Hình 2.12 Công cụ tạo file Netlist

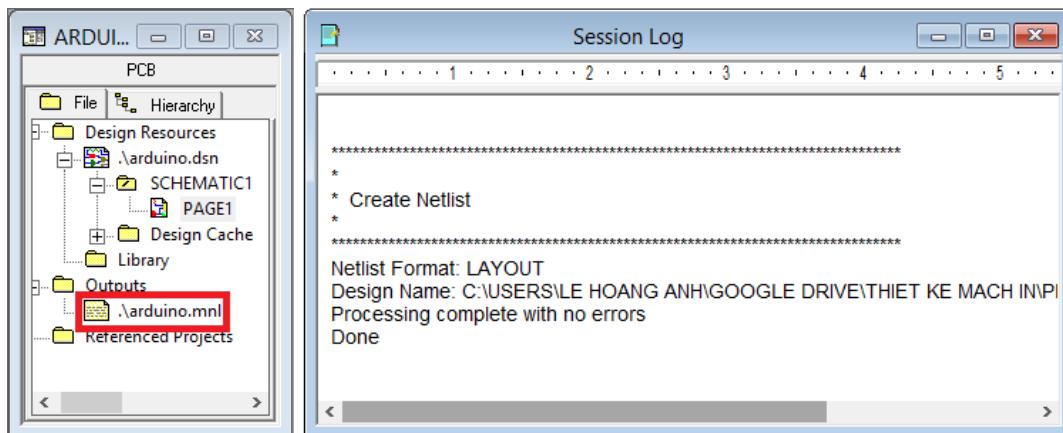
Hộp thoại Create Netlist xuất hiện, chọn Tab Layout như trong Hình 2.13, sau đó chọn đơn vị đo là inch hoặc milimet, tại thời điểm này chúng ta không chọn chức năng Run ECO

to Layout, chức năng này sẽ được trình bày trong phần tiếp theo. Ở mục Netlist File chúng ta có thể nhập đường dẫn để lưu file netlist và chọn *Finish* để hoàn tất việc tạo file netlist.



Hình 2.13 Thiết lập đơn vị và đường dẫn cho file netlist

Phần mềm Capture sẽ tạo ra file netlist với phần mở rộng .MNL trong thư mục Output và một file báo cáo kết quả trong cửa sổ Session log. Nếu việc thiết kế mạch nguyên lý có lỗi thì không thể tạo được file netlist và các lỗi này được hiển thị trong Session log. Sau khi hoàn tất việc tạo file netlist chúng ta có thể tắt cửa sổ phần mềm Capture nhưng chúng ta nên mở song song cả Capture và Layout điều này cho phép chúng ta có thể xem lại sơ đồ mạch nguyên lý nếu cần thiết khi đang thao tác trên phần mềm Layout.

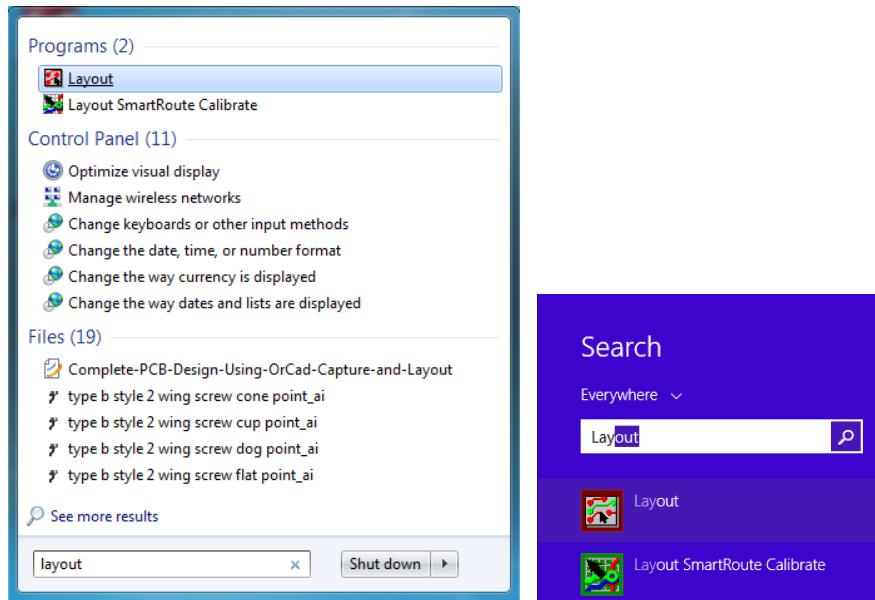


Hình 2.14 Báo cáo kết quả tạo file netlist

## 2.3 Thiết kế sơ đồ mạch in với Layout

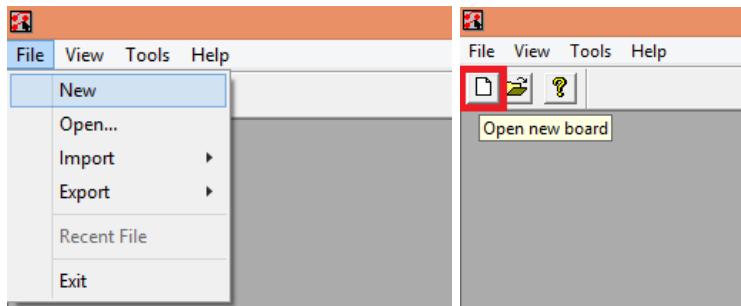
### 2.3.1 Liên kết file netlist với Layout

Chúng ta sử dụng file netlist đã tạo ra từ phần mềm Capture để thiết kế sơ đồ mạch in bằng cách khởi động phần mềm Layout như Hình 2.15.



Hình 2.15 Khởi động phần mềm Layout trong Windows 7 và Windows 8

Tiếp theo chúng ta tạo file mới bằng cách chọn menu *File>New* hoặc chọn biểu tượng *Open new board* như trong Hình 2.16.

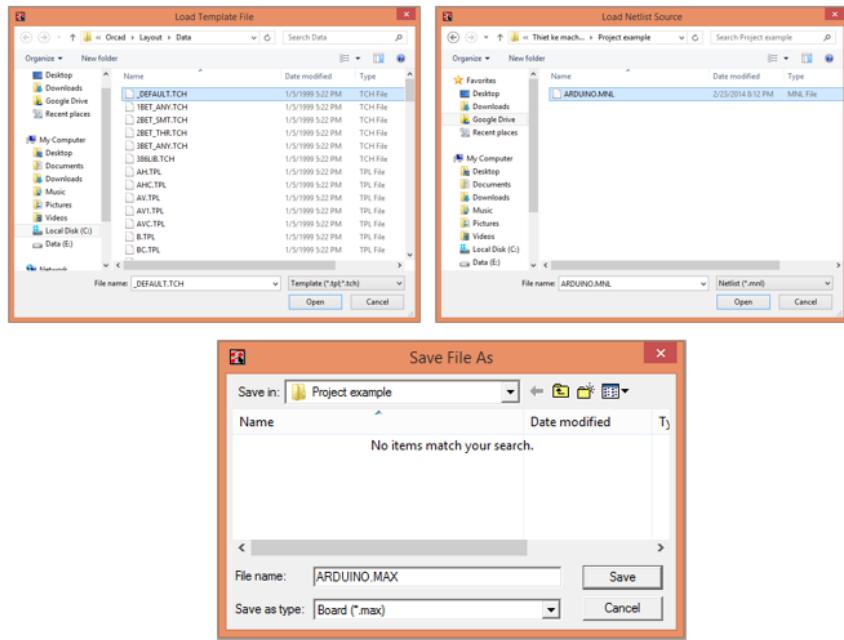


Hình 2.16 Tạo file mới trong phần mềm Layout

Hộp thoại Load Template File xuất hiện yêu cầu chúng ta phải chọn file định dạng công nghệ bo mạch in mẫu. Các file định dạng công nghệ bo mạch in mẫu này được lưu trong thư mục cài đặt phần mềm OrCAD (C:\Program Files\Orcad\Layout\Data). Chúng ta chọn file \_DEFAULT.TCH và chọn nút Open như Hình 2.17, một số file công nghệ bo mạch in khác chúng ta sẽ đề cập trong phần tiếp theo.

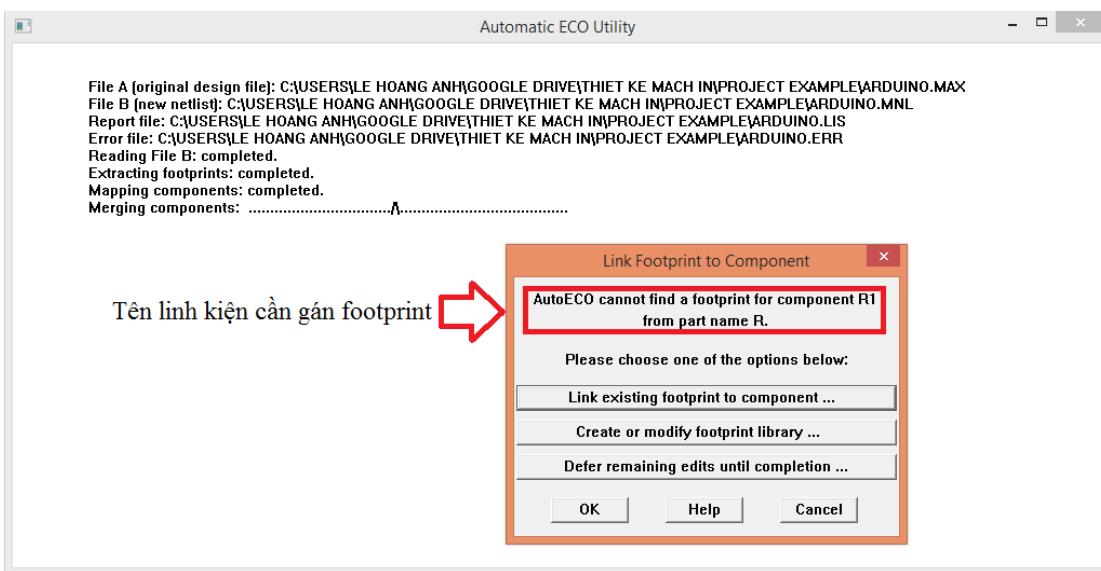
Hộp thoại Load Netlist Source xuất hiện yêu cầu chúng ta chọn file netlist đã tạo ra ở phần Capture. Chúng ta chọn đường dẫn chứa file netlist thích hợp rồi chọn *Open*.

Hộp thoại Save File As xuất hiện yêu cầu chúng ta nhập đường dẫn và tên file với phần mở rộng .MAX. Thông thường phần mềm Layout sẽ tự động lưu với tên file và đường dẫn trùng với tên của file netlist. Chúng ta có thể chọn đường dẫn và tên file .MAX mới sau đó lưu lại bằng cách chọn nút *Save*.



Hình 2.17 Hộp thoại Load Template File, Load Netlist Source và Save File As

Tiếp theo hộp thoại Automatic ECO Utility xuất hiện, đây là chức năng tự động kiểm tra việc gán các footprint cho linh kiện. Nếu như có bất kỳ linh kiện nào chưa được gán footprint phần mềm Layout sẽ hiển thị hộp thoại yêu cầu gán footprint cho linh kiện *Link Footprint to Component* như Hình 2.18. Hầu hết các linh kiện trong file Capture mà chúng ta đã tạo ở phần trên chưa được gán footprint, chúng ta sẽ tìm hiểu cách gán footprint cho linh kiện khi thiết kế sơ đồ mạch nguyên lý với Capture ở chương 6. Chúng ta đọc thông báo trong hộp thoại Link Footprint to Component để biết được linh kiện nào cần được gán footprint (ví dụ như trong Hình 2.18 đó là R1).



Hình 2.18 Hộp thoại Automatic ECO Utility và Link Footprint to Component

Trong hộp thoại Link Footprint to Component chúng ta có 3 lựa chọn:

1. Link existing footprint to component ...

Nếu chọn mục này chúng ta sẽ gán linh kiện với footprint sẵn có trong thư viện.

2. Create or modify footprint to library ...

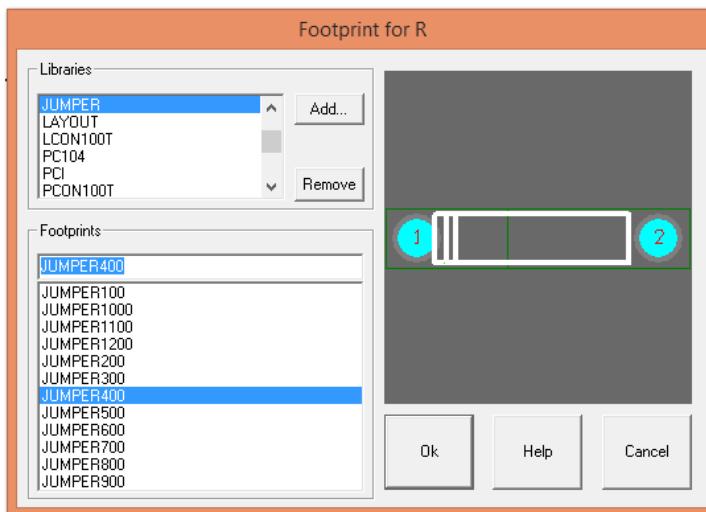
Nếu chọn mục này thì cửa sổ tạo footprint mới sẽ xuất hiện cho phép chúng ta tạo mới rồi gán footprint này cho linh kiện.

3. Defer remaining edits until completion ...

Nếu chọn mục này chúng ta sẽ bỏ qua và để phần mềm tự động gán footprint cho linh kiện.

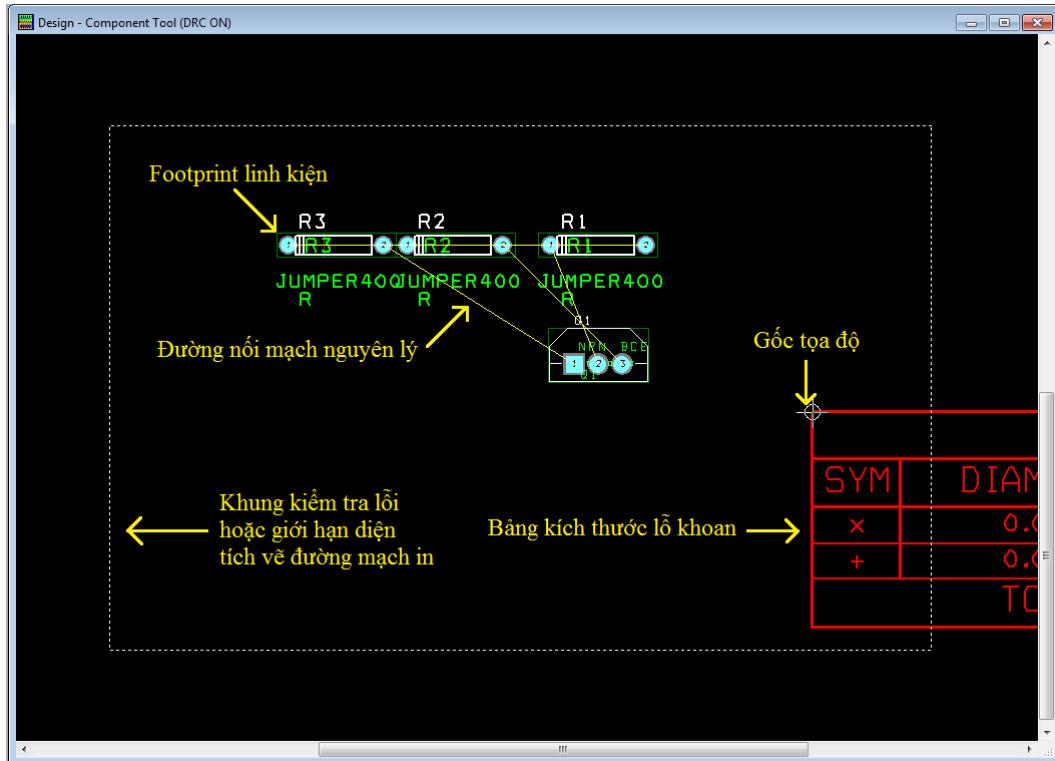
Thông thường chúng ta chọn mục 1 để tiến hành việc gán footprint có sẵn trong thư viện cho linh kiện. Phần mềm Layout sẽ lưu lại việc gán footprint cho các linh kiện và bỏ qua bước này trong các lần kiểm tra sau.

Mỗi loại linh kiện sẽ có các thư viện footprint khác nhau nhưng tại thời điểm này chúng ta không quan tâm đến việc gán chính xác footprint nào cho linh kiện vì chúng ta chỉ mới thảo luận về các bước cơ bản của quy trình thiết kế mạch in.



Hình 2.19 Gán footprint cho linh kiện trong thư viện có sẵn

Sau khi hoàn tất việc chọn footprint cho các linh kiện chúng ta sẽ vào cửa sổ môi trường thiết kế mạch in như Hình 2.20, tại đây chúng ta sẽ nhìn thấy footprint linh kiện, lớp phủ chống oxy hóa, tọa độ vị trí đặt các linh kiện, đường nối mạch nguyên lý, bảng ký hiệu thước lỗ khoan, gốc tọa độ trang vẽ...

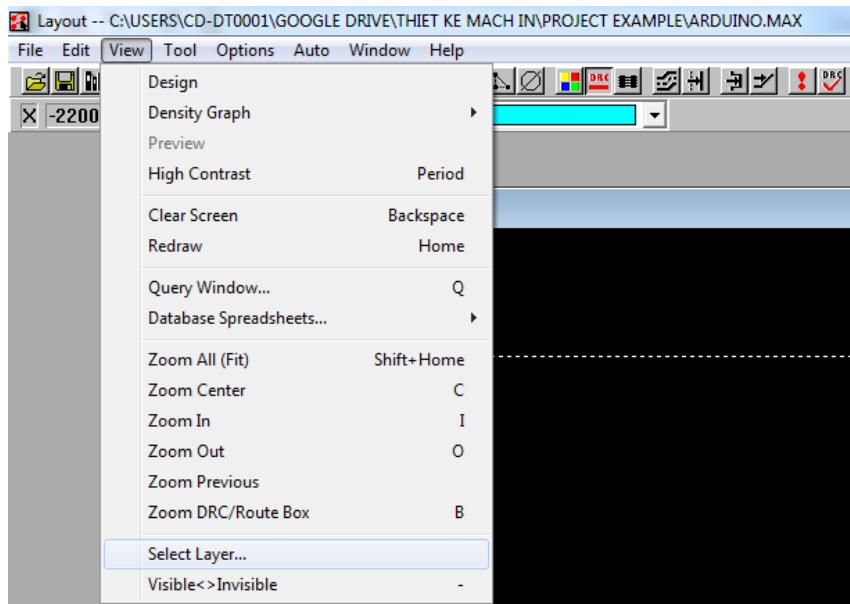


Hình 2.20 Cửa sổ thiết kế mạch in trong phần mềm Layout

Chúng ta sẽ thảo luận kỹ hơn về các đối tượng này trong những chương tiếp theo còn bây giờ chúng ta sẽ tập trung vào việc tạo đường bao bo mạch, sắp xếp linh kiện và vẽ đường mạch in.

Chú ý rằng trên thanh Windows Task Bar bên dưới màn hình sẽ có hai ứng dụng Layout chạy cùng lúc, một cửa sổ là giao diện Blank (trống) của phần mềm Layout, cửa sổ còn lại là Design Window và chúng ta sẽ thao tác chủ yếu trên cửa sổ này.

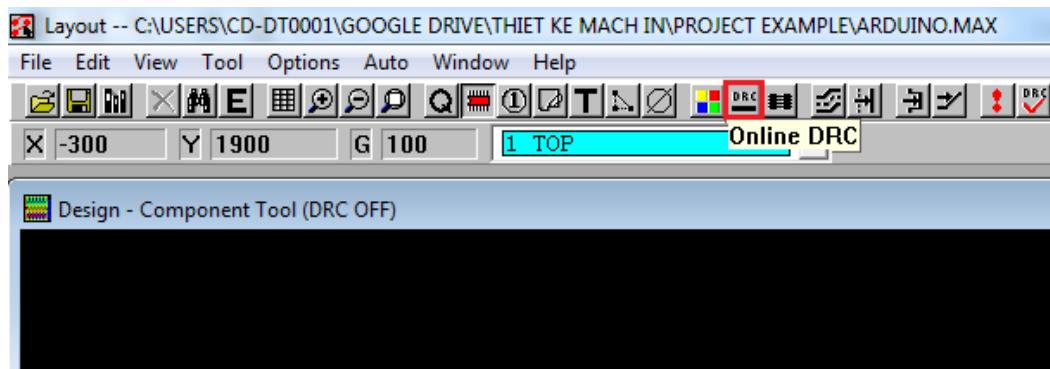
Để có thể quan sát tốt hơn chúng ta có thể sử dụng chức năng phóng to, thu nhỏ, dịch chuyển màn hình theo các hướng. Để phóng to hoặc thu nhỏ màn hình chúng ta đặt con trỏ tại vị trí cần quan sát chọn biểu tượng công cụ Zoom in, Zoom out, Zoom all hoặc có thể sử dụng phím *I* để phóng to, phím *O* để thu nhỏ và phím *C* để quan sát tại vị trí trung tâm của bo mạch in. Ngoài ra còn một số chức năng quan sát khác chúng ta có thể tham khảo thêm trong thanh công cụ View như Hình 2.21.



Hình 2.21 Công cụ View trong Layout

### 2.3.2 Tạo đường bao bo mạch in

Tiếp theo là bước tạo đường bao bo mạch in. Đầu tiên chúng ta cần tắt chức năng Design Rule Check (DRC) bằng cách click chuột vào biểu tượng Online DRC để ẩn đi khung kiểm tra lỗi hoặc giới hạn diện tích vẽ đường mạch in (khung đường đứt nét màu trắng), lúc này biểu tượng DRC sẽ ẩn đi như trong Hình 2.22. Cũng có một biểu tượng DRC khác  nhưng chức năng này dùng để kiểm tra lỗi thiết kế trước khi gửi file cho nhà sản xuất mạch in.

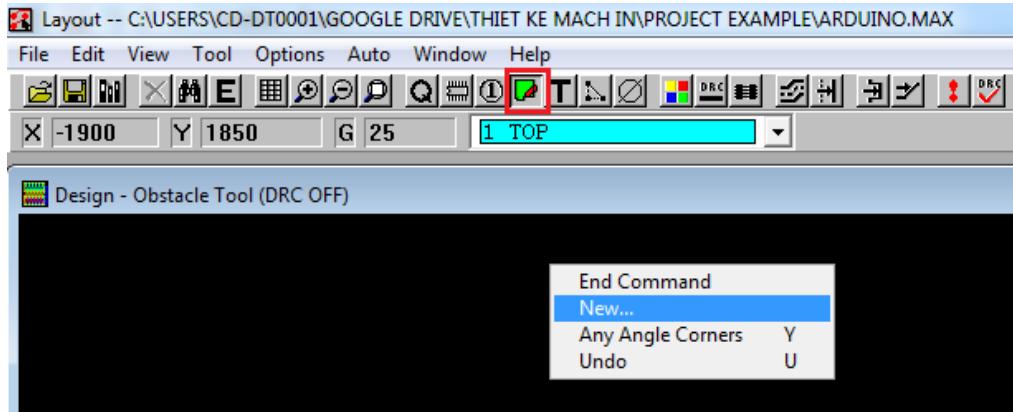


Hình 2.22 Công cụ Online DRC

Nếu không tắt chức năng Online DRC chúng ta sẽ không thể sắp xếp linh kiện hoặc vẽ đường mạch in ra bên ngoài khung đường thẳng đứt nét màu trắng.

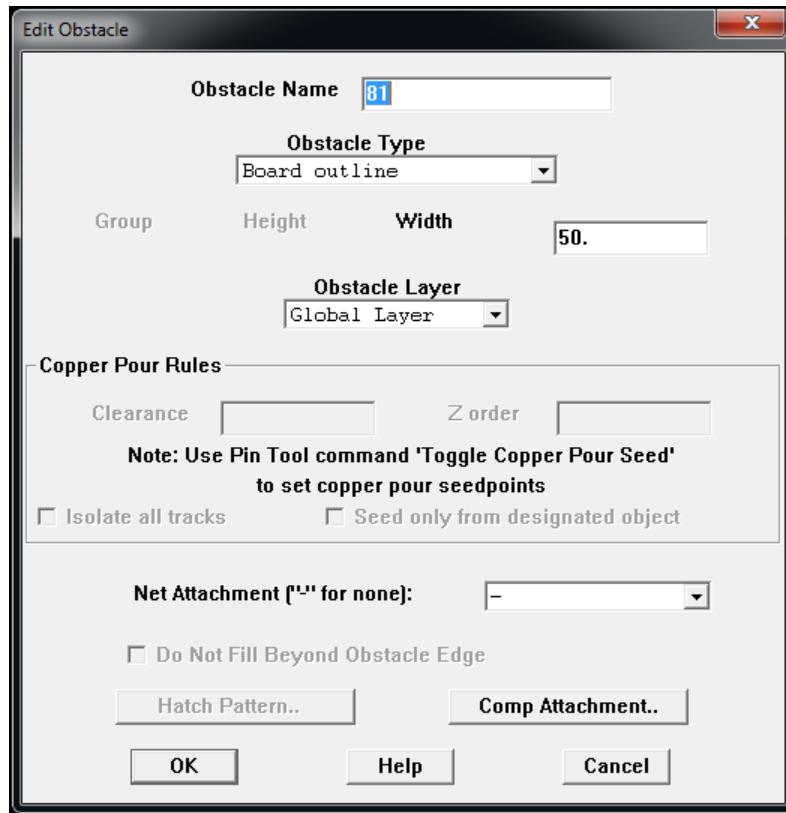
Để tạo đường bao bo mạch in chúng ta chọn công cụ Obstacle, sau đó click chuột phải chọn *New*, tiếp tục click phải chuột lần thứ hai và chọn *Properties*. Hộp thoại Edit Obstacle xuất hiện như Hình 2.24, trong mục Obstacle Type chọn Board Outline, mục Obstacle

Layer chọn Global Layer và nhập kích thước độ rộng đường bao bo mạch trong mục Width (ví dụ: 50 mil) và chọn *OK*.

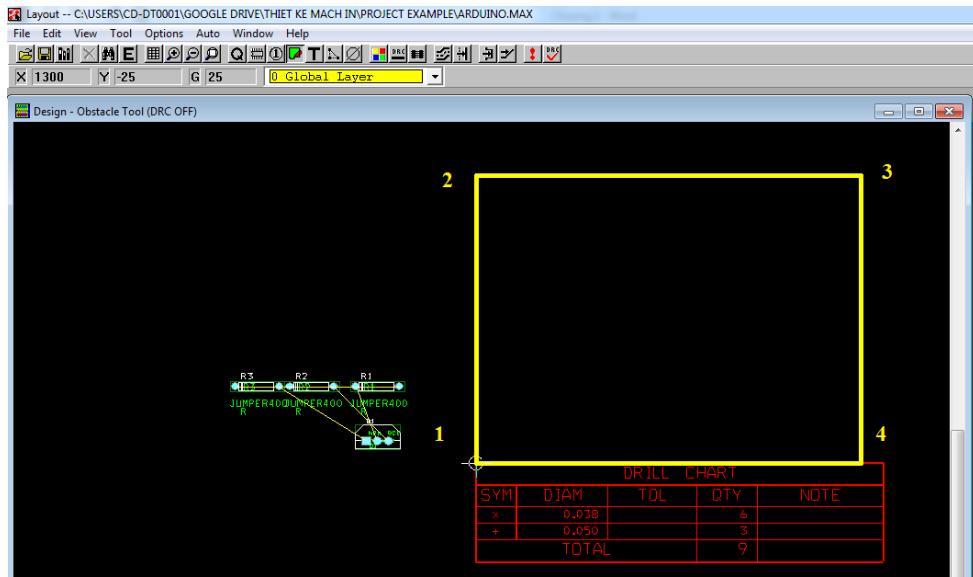


Hình 2.23 Công cụ vẽ đường bao bo mạch in Obstacle

Bây giờ con trỏ sẽ chuyển sang dạng chữ thập “+”. Chúng ta bắt đầu vẽ đường bao bo mạch in bằng cách click chuột tại vị trí gốc tọa độ sau đó thả chuột tự do rồi di chuyển đến vị trí số 2 click chuột, lặp lại thao tác này cho vị trí số 3 và 4 như trong Hình 2.25.



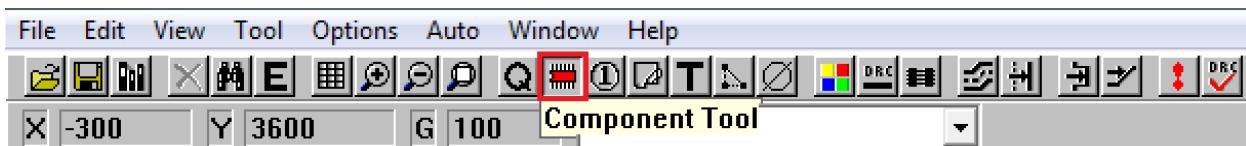
Hình 2.24 Hộp thoại Edit Obstacle



Hình 2.25 Vẽ đường bao bo mạch in

### 2.3.3 Sắp xếp footprint

Các linh kiện khi xuất hiện trong cửa sổ Layout thường được đặt ở phía bên trái gốc tọa độ và sẽ ưu tiên sắp xếp các linh kiện gần nhau theo loại và số thứ tự, do đó sẽ rất khó để chúng ta quan sát kết nối giữa các linh kiện này. Để có thể chọn và di chuyển các footprint chúng ta sử dụng công cụ Component như trong Hình 2.26, click chuột vào footprint cần sắp xếp, thả chuột tự do sau đó di chuyển chuột đến vị trí mong muốn bên trong đường bao bo mạch in, click chuột lần nữa để cố định vị trí footprint. Sau khi footprint các linh kiện đã được sắp xếp chúng ta tiến hành vẽ các đường mạch in.



Hình 2.26 Công cụ sắp xếp footprint

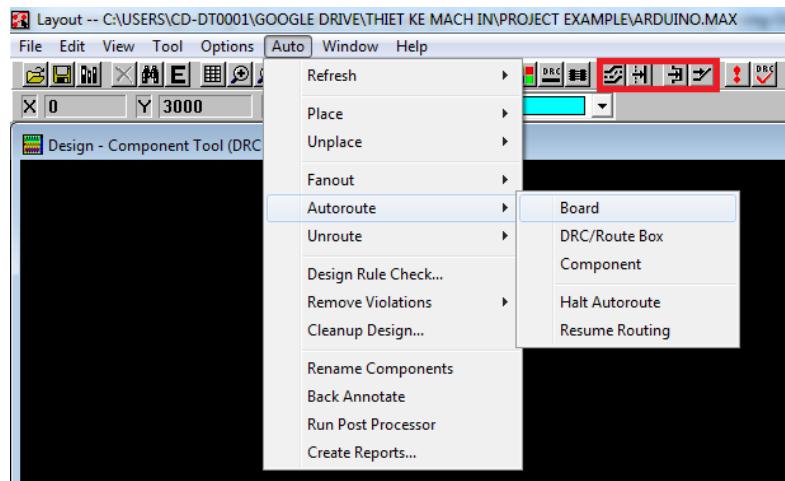
### 2.3.4 Vẽ đường mạch in

Có hai cách để tiến hành vẽ đường mạch in, chúng ta có thể vẽ đường mạch in tự động hoặc có thể sử dụng công cụ vẽ đường mạch in bằng tay.

Để vẽ đường mạch in tự động chúng ta chọn menu *Auto>Autoroute>Board* phần mềm Layout sẽ tự động chọn đường mạch in và lớp vẽ tốt nhất để nối các đường mạch in này. Tùy thuộc vào việc sắp xếp các footprint, kích thước đường bao và độ phức tạp của các đường mạch in mà phần mềm Layout sẽ chọn số lượng các lớp khác nhau để thực hiện.

Có 4 công cụ vẽ đường mạch in bằng tay đó là Auto Path Route, Shove Track, Edit Segment và Add/Edit Route. Phần mềm Layout cho phép vẽ mạch in lên đến 16 lớp, việc

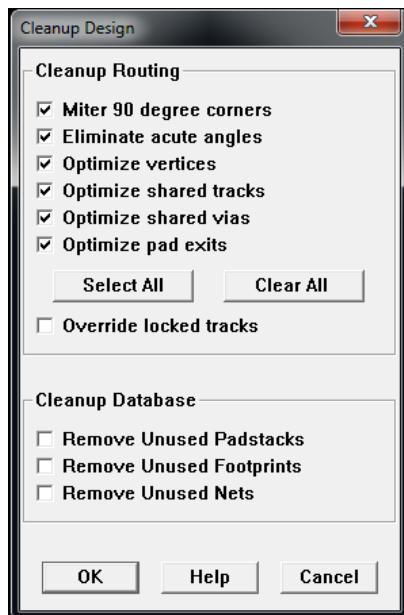
thiết lập thông số kỹ thuật cho các lớp cũng như giới thiệu về chức năng của các công cụ này sẽ được trình bày trong các chương tiếp theo.



Hình 2.27 Công cụ vẽ mạch in tự động và vẽ mạch in bằng tay

### 2.3.5 Tối ưu hóa đường mạch in

Để có thể loại bỏ các lỗi không mong muốn tạo ra trong quá trình vẽ mạch in chúng ta chọn chức năng *Auto>Clean up Design* và chọn các đối tượng cần loại bỏ trong hộp thoại *Clean up Design*. Phần mềm sẽ kiểm tra các lỗi vẽ đường mạch in như là đường mạch in không nằm trên lưới (off-grid), đường mạch in tạo ra các góc nhọn (acute angle), lỗi pad, các via nằm chồng lên nhau (overlapping via). Nếu như chúng ta không muốn phần mềm kiểm tra và thay đổi bất kỳ đường mạch in nào chúng ta có thể dùng chức năng khóa bằng cách nhấn và giữ phím Ctrl đồng thời click chuột vào đường mạch cần khóa. Sau đó click chuột phải và chọn *Lock*.



Hình 2.28 Hộp thoại Clean up Design

## CÂU HỎI ÔN TẬP:

1. Hãy trình bày các bước cơ bản để xây dựng sơ đồ mạch nguyên lý, sơ đồ mạch in trên phần mềm OrCAD Capture và Layout?
2. Hãy cho biết công cụ nào được sử dụng để vẽ các đường kết nối trong sơ đồ mạch nguyên lý?
3. Kết nối giữa các chân của linh kiện được xem là thành công khi nào?
4. Nhóm công cụ dùng để vẽ đường mạch in bằng tay gồm những công cụ nào?
5. Hãy cho biết 3 lựa chọn trong hộp thoại Link Footprint to Component có ý nghĩa gì?
  1. Link existing footprint to component ...
  2. Create or modify footprint to library ...
  3. Defer remaining edits until completion ...

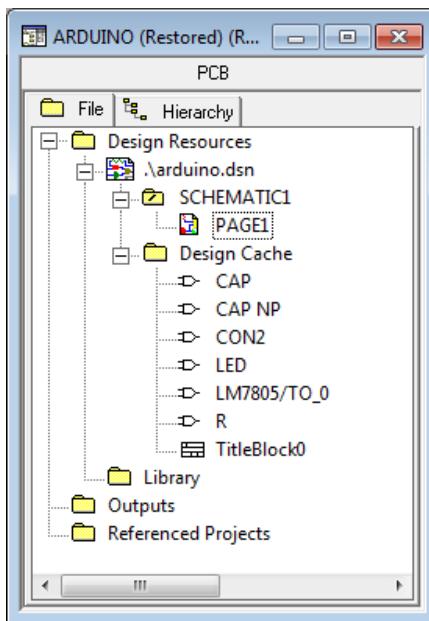
# CHƯƠNG 3: CẤU TRÚC CỦA MỘT PROJECT VÀ CÁC CÔNG CỤ TRONG LAYOUT

## 3.1 Thiết lập project

### 3.1.1 Cấu trúc của project

Khi chúng ta thiết lập một Project bằng cách chọn *File>New>Project* chúng ta sẽ có 5 lựa chọn đó là Project, Design, Library, VHDL hoặc là Text. Các chức năng mà chúng ta thường chọn để làm việc đó chính là Project và Library, chúng ta sẽ thảo luận nhiều hơn về hai chức năng này trong tài liệu. File VHDL được sử dụng trong lĩnh vực mô phỏng phần cứng, file Text đơn giản là dạng file văn bản được dùng cho việc ghi chú.

Trong hộp thoại New Project sẽ có 4 chức năng cho phép chúng ta chọn lựa Analog or Mixed-Signal A/D, PC Board Wizard, Programmable Logic Wizard và Schematic. Chức năng Analog or Mixed-Signal A/D được sử dụng để mô phỏng mạch điện analog hoặc digital trên phần mềm PSpice. Chúng ta đã sử dụng chức năng PC Board Wizard cho việc thiết kế PCB. Chức năng Programmable Logic Wizard được sử dụng với các linh kiện lập trình và chúng ta sẽ không thảo luận trong tài liệu này còn Schematic là chức năng cơ bản được sử dụng để tạo ra các sơ đồ mạch nguyên lý với ký hiệu của các linh kiện.



Hình 3.1 Cửa sổ Project manager

Trong cửa sổ Project manager như Hình 3.1 chúng ta sẽ thấy rằng mỗi Project sẽ có 3 thư mục Design Resources, Outputs và Referenced Projects. Tại thời điểm ban đầu khi mới tạo Project thì 2 thư mục Outputs và Referenced Projects sẽ không có dữ liệu. Thư mục Design Resources chứa file thiết kế và Library. Một Project chỉ có thể chứa một bản thiết

kế nhưng lại có thể chứa thư mục phụ trong đó chứa nhiều dữ liệu khác nhau. Thư mục Library chứa đường dẫn đến các thư viện được sử dụng trong thiết kế. File thiết kế chứa ít nhất một thư mục Schematic và một thư mục Design Cache. Một file thiết kế có thể chứa nhiều thư mục Schematic, trong mỗi thư mục Schematic có thể có nhiều trang vẽ (Page). Thư mục Design Cache lưu trữ các loại linh kiện được sử dụng trong bảng thiết kế. Nếu như chúng ta chỉnh sửa một linh kiện nào đó trên trang vẽ, phần mềm Capture sẽ copy và lưu trữ linh kiện đã chỉnh sửa đó vào trong Design Cache để chúng ta có thể dễ dàng lấy ra trang vẽ. Một thiết kế với một thư mục Schematic và một hoặc nhiều trang vẽ (Schematic page), các trang này được liên kết với nhau bởi ký hiệu kết thúc trang (off page) thì gọi là thiết kế đơn tầng (flat design). Một thiết kế với nhiều thư mục Schematic và nhiều trang vẽ hoặc chứa nhiều khối kết nối đa tầng (hierarchical blocks) thì gọi là thiết kế đa tầng.

### 3.1.2 Thư viện linh kiện (Library)

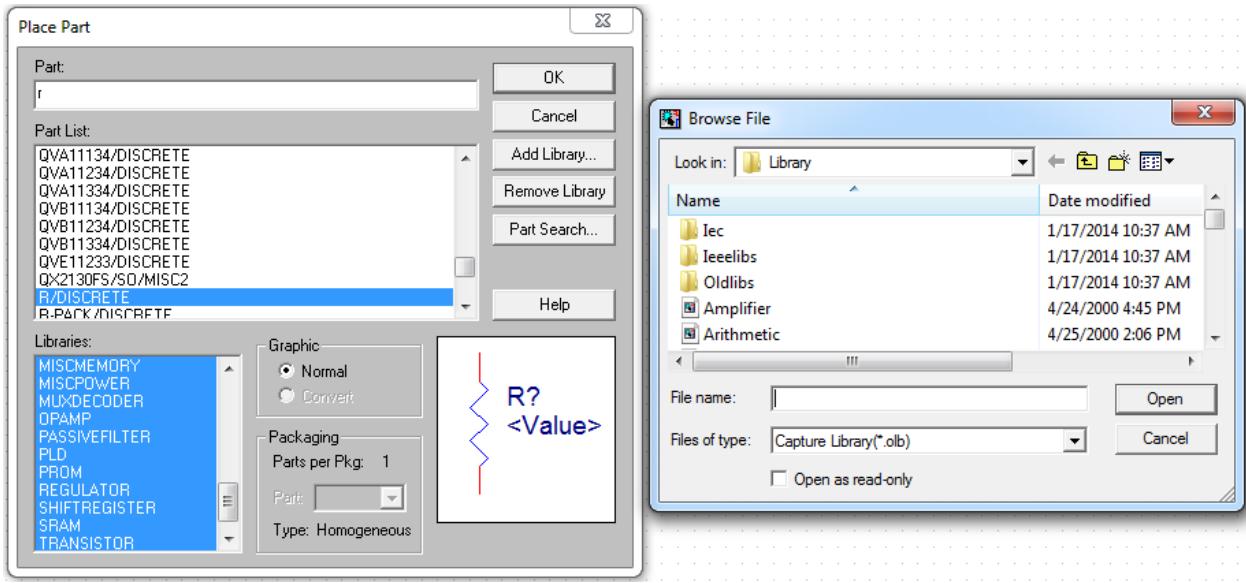
Để có thể lấy linh kiện ra trang vẽ chúng ta sử dụng công cụ Place Part. Sau khi hộp thoại Place Part xuất hiện chúng ta sẽ nhập tên linh kiện (bằng tiếng anh) vào mục Part như trong Hình 3.2, hình dạng linh kiện sẽ xuất hiện ở cửa sổ Preview để chúng ta có thể kiểm tra trước khi mang ra trang vẽ.

#### Chú ý:

Thông thường khi cài đặt phần mềm lần đầu các thư viện linh kiện trong mục Libraries sẽ không có do đó chúng ta không thể tìm thấy linh kiện khi nhập tên vào mục Part. Để thêm thư viện linh kiện chúng ta chọn nút công cụ Add Library. Hộp thoại Browse File xuất hiện, thông thường phần mềm sẽ tự động trả đến đường dẫn chứa các thư viện hoặc các thư viện này được chứa trong thư mục cài đặt phần mềm OrCAD (C:\Program Files\Orcad\Capture\Library).

Để có thể tìm kiếm linh kiện dễ dàng chúng ta nên thêm tất cả thư viện vào phần mềm bằng cách click chuột chọn một thư viện bất kỳ sau đó nhấn phím Ctrl+A và nhấn nút Open để kết thúc việc Add Library. Đồng thời tại mục Libraries chúng ta phải chọn tất cả thư viện như trong Hình 3.2, các thư viện được chọn sẽ có màu xanh. Như vậy chúng ta có thể tìm kiếm bất kỳ linh kiện nào có trong các thư viện của phần mềm.

Để loại bỏ thư viện không sử dụng chúng ta chọn thư viện sau đó nhấn nút công cụ Remove Library. Nút công cụ Part Search cho phép chúng ta tìm thư viện chứa linh kiện, khi sử dụng chức năng này phần mềm yêu cầu phải nhập chính xác tên linh kiện.



Hình 3.2 Thư viện linh kiện

## 3.2 Môi trường và công cụ thiết kế mạch in trong Layout

### 3.2.1 File định dạng tiêu chuẩn kỹ thuật (Board technology files)

Khi bắt đầu thao tác trên phần mềm Layout, chúng ta phải chọn file tiêu chuẩn kỹ thuật với phần mở rộng .TCH (technology template) trước khi mở file netlist có phần mở rộng .MNL. Chúng ta thường sử dụng file mặc định (default) nhưng chúng ta có thể chọn 21 file kỹ thuật khác nhau. File tiêu chuẩn kỹ thuật thiết lập các thông số như số lớp mạch in cho phép, kích thước Pad và lỗ khoan, đơn vị đo... File tiêu chuẩn default được thiết lập là bo mạch in nhiều lớp cấp độ A. Theo tiêu chuẩn của Hiệp hội bo mạch in (IPC: Institute for Printed Circuits) thì có tất cả 3 cấp độ là A, B và C. Cấp độ A là bo mạch được thiết kế với mức độ phức tạp (complexity) thông thường. Trong tiêu chuẩn IPC-2221A chứa các quy định cho phép trong sản xuất mạch in (SFAs: standard fabrication allowances). Phần mềm Layout sử dụng các tiêu chuẩn này để thiết lập các đường mạch in cơ sở và khoảng cách giữa các đường mạch.

Ví dụ như ở tiêu chuẩn cấp độ A, phần mềm Layout cho phép chỉ có duy nhất một đường mạch in đi qua giữa hai chân của IC (integrated circuit) dạng xuyên lỗ, kích thước Pad là 62 mil (0,062 inch), kích thước lỗ khoan chân IC là 38 mil độ phân giải lưới vẽ đường mạch in và pad là 25 mil, độ phân giải lưới đặt linh kiện là 100 mil, khoảng cách giữa các đường mạch in là 12 mil. Các file tiêu chuẩn kỹ thuật sử dụng cho bo mạch ở cấp độ B và C cho phép 2 và 3 đường mạch in tương ứng với hai cấp độ này đi qua giữa hai chân linh kiện, do đó kích thước của Pad sẽ nhỏ lại để tăng khoảng trống cho các đường mạch in đi qua. Một số file tiêu chuẩn kỹ thuật được mô tả như trong Bảng 3.1.

Bảng 3.1 Các file tiêu chuẩn kỹ thuật [1]

Technology	Application	Design complexity
Default	Typical non-RF frequency FR4-type boards using surface mount and/or through-hole components	A
1BET_ANY	Same as Default, one trace between IC pins	A
2BET_SMT	Similar to Default but geared toward surface mount boards as the routing parameters are more compact	B
2BET_THR	Through-hole boards, two traces between IC pins	B
3BET_ANY	High-density mixed package boards, three traces between IC pins	C
Tutor	Used with the Layout tutorial	A

Sau khi chọn file tiêu chuẩn kỹ thuật phần mềm Layout sẽ yêu cầu mở file netlist với phần mở rộng .MNL mà chúng ta đã tạo trong Capture. Phần mềm Layout sẽ thêm các thông tin và lưu file mạch in với phần mở rộng .MAX, file .MAX này sẽ chứa các thông tin như kích thước bo mạch, vị trí đặt các linh kiện, kích thước và vị trí các đường mạch in...

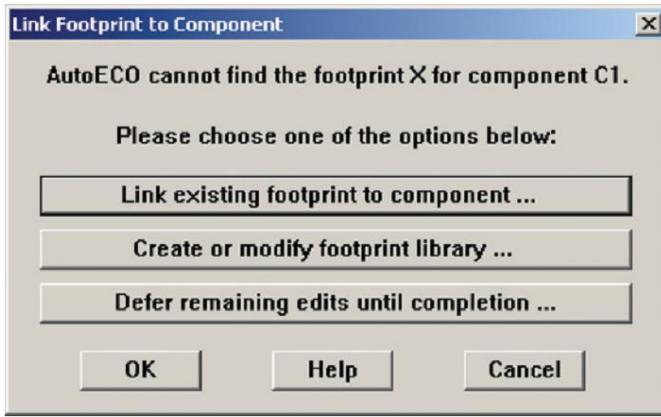
### 3.2.2 Tính năng tự động chọn footprint (AutoECO)

Sau khi lưu các thông tin cơ bản của một file mới, tính năng AutoECO (automatic engineering change order) trong phần mềm Layout sẽ xuất hiện yêu cầu chúng ta chọn footprint từ thư viện cho các linh kiện được liệt kê trong file .MNL.

#### Chú ý:

Từ lúc bắt đầu thiết kế mạch sơ đồ nguyên lý trên Capture cho đến khi chuyển sang thiết kế sơ đồ mạch in trên Layout, phần mềm sẽ tạo ra gần 40 file khác nhau để mô tả đầy đủ các thông tin về bản thiết kế. Nếu như chúng ta lưu nhiều Project vào cùng một thư mục thì sẽ rất khó để quản lý các file này, vì vậy chúng ta nên lưu mỗi Project vào một thư mục khác nhau.

Nếu như các linh kiện không được gán footprint trong quá trình vẽ sơ đồ nguyên lý ở Capture hoặc các linh kiện này không được gán footprint trong phần mềm Layout thì tính năng AutoECO sẽ mở hộp thoại Link Footprint to Component với 3 lựa chọn như trong Hình 3.3, ý nghĩa của từng chọn lựa này đã được trình bày ở chương 2 mục 2.3.1.



Hình 3.3 *Hộp thoại yêu cầu gán footprint cho linh kiện*

Khi chọn lựa footprint cho các linh kiện xong phần mềm sẽ lưu lại thông tin này và tự động gán footprint cho các linh kiện cùng loại trong các Project tiếp theo. Chúng ta có thể loại bỏ việc gán tự động này bằng cách chủ động gán footprint cho linh kiện khi thiết kế trên Capture trước khi tạo file netlist .MNL. Nếu không thực hiện việc gán trước khi tạo file netlist phân mềm sẽ tự động gán các footprint mặc định cho linhh kiện sau đó chúng ta có thể thay đổi các footprint này trong trong quá trình thiết kế trên Layout hoặc Capture.

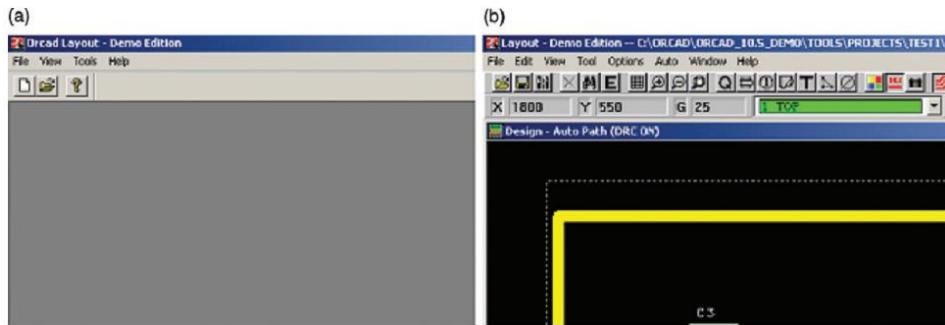
Nếu như chọn chức năng thứ hai Create or modify footprint library cửa sổ Library Editor sẽ tự động mở ra cho phép chúng ta chỉnh sửa một footprint có sẵn hoặc tạo một footprint mới. Sau khi lưu footprint chúng ta có thể đóng cửa sổ Footprint Editor và quay trở lại tính năng AutoECO với ba chọn lựa như ban đầu. Tuy nhiên tại thời điểm này chúng ta sẽ chọn chức năng thứ nhất Link existing footprint to component để gán footprint có sẵn trong thư viện cho các linh kiện mà tính năng AutoECO yêu cầu.

Nếu chọn chức năng thứ ba Defer remaining edits until completion thì tính năng AutoECO sẽ bỏ qua việc chọn footprint cho linh kiện hiện tại và tiếp tục tìm footprint cho các linh kiện còn lại trong file netlist .MNL. Nếu như tất cả các linh kiện không tìm thấy footprint thì tính năng AutoECO sẽ báo lỗi, kết thúc, không tạo ra bo mạch in và chúng ta phải thực hiện lại toàn bộ quá trình này.

Khi mà tính năng AutoECO kết thúc với việc gán đầy đủ footprint cho các linh kiện trong mạch sơ đồ nguyên lý phần mềm Layout sẽ mở cửa sổ Design window. Các linh kiện sẽ được tự động đặt trên trang vẽ ở phía bên trái của gốc tọa độ và được nối với nhau bằng các đường màu vàng gọi là “rat’s nest”. Từ đây chúng ta có thể vẽ đường bao bo mạch, sắp xếp các linh kiện, vẽ các đường mạch in và tạo các file hậu xử lý. Để có thể thực hiện các nhiệm vụ này một cách thuận thực chúng ta cần biết cách sử dụng các công cụ trong phần mềm Layout.

### 3.2.3 Giao diện chương trình và cửa sổ thiết kế (Session Frame và Design Window)

Khi phần mềm Layout được kích hoạt cửa sổ giao diện phần mềm sẽ xuất hiện như trong Hình 3.4 (a). Sau khi liên kết với file netlist .MNL và tính năng AutoECO kết thúc, file mạch in .MAX được tạo ra thì cửa sổ thiết kế (Design window) sẽ xuất hiện như trong Hình 3.4 (b).



Hình 3.4 Giao diện chương trình và cửa sổ thiết kế

Sau khi cửa sổ Design Window xuất hiện chúng ta có thể đóng cửa sổ giao diện chính của phần mềm, chỉ mở duy nhất cửa sổ Design Window. Nhưng tốt nhất chúng ta nên mở cả hai cửa sổ này bởi vì cửa sổ giao diện chính cho phép phần mềm giao tiếp với các ứng dụng khác như Capture. Chúng ta không nên mở nhiều cửa sổ Design Window cùng một lúc bởi vì chúng ta có thể tạo ra những thay đổi không mong muốn trên các cửa sổ khác khi đang thao tác.

#### 3.2.3.1 Giao diện chương trình (Session Frame)

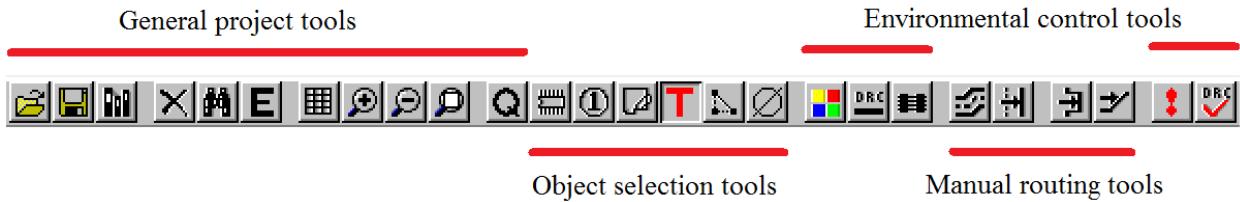
Từ menu File trong cửa sổ giao diện chính của chương trình chúng ta có thể tạo một thiết kế mới hoặc mở một thiết kế có sẵn từ một phần mềm khác như PADS, Protel..., menu Tool trên thanh công cụ cho phép chúng ta truy cập vào các file khởi tạo trong Layout (LSESSION.ini) để thay đổi các thiết lập của ứng dụng và thư viện footprint (Library Manager), từ đó chúng ta có thể tạo ra các footprint và các thư viện footprint linh kiện riêng. Ngoài ra menu Tool còn cho phép liên kết với các ứng dụng khác như Orcad Capture và Gerber Tool.

#### 3.2.3.2 Cửa sổ thiết kế (Design Window)

Cửa sổ thiết kế Design Window là môi trường để thực hiện việc thiết kế bo mạch in. Từ cửa sổ này chúng ta sẽ sử dụng các công cụ để sắp xếp, thay đổi, chỉnh sửa footprint và vẽ các đường mạch in... Có khoảng 200 tác vụ có thể thực hiện từ các công cụ trong cửa sổ thiết kế này.

### 3.2.4 Thanh công cụ (Tool bar)

Các công cụ trong thanh Tool bar được chia thành 4 nhóm chức năng như trong Hình 3.5 bao gồm 11 công cụ dành cho các chức năng thông thường (general project tools) như mở file, lưu file, zoom..., nhóm thứ hai gồm 6 công cụ dành cho việc chọn đối tượng thao tác (object selection tools) như chọn linh kiện, chọn tên linh kiện, chọn đường nối mạch nguyên lý..., nhóm thứ ba gồm 4 công cụ vẽ mạch in bằng tay (manual routing tools) và cuối cùng là 5 công cụ để thiết lập môi trường vẽ mạch in (environmental control tools).



Hình 3.5 Thanh công cụ Tool bar

#### 3.2.4.1 Công cụ dành cho các chức năng thông thường (General project tools)

##### *Open File*

Giống như công cụ Open File trong Window, công cụ này dùng để mở một project với phần mở rộng .MAX, file thông số kỹ thuật (.TCH, .TPL), file thư viện footprint... Công cụ này cũng có thể mở bằng cách chọn *File>Open*.

##### *Save Project*

Công cụ này được dùng để lưu file với phần mở rộng .MAX hiện hành. Chúng ta có thể sử dụng công cụ này bằng cách chọn *File>Save* hoặc chọn *Save As* để lưu file hiện tại với một tên khác, thư mục khác hoặc có thể dùng để lưu các file thuộc tính của project.

##### *Library Manager*

Công cụ Library Manager được sử dụng để chỉnh sửa và tạo mới các footprint, hình dạng và kích thước của Pad.

##### *Delete*

Công cụ này được dùng để xóa các đối tượng trong cửa sổ thiết kế, nếu như chúng ta không chọn bất kỳ đối tượng nào thì công cụ này sẽ bị ẩn đi. Chúng ta có thể sử dụng phím Delete trên bàn phím cho chức năng này. Khi xóa các đối tượng quan trọng phần mềm Layout sẽ hỏi lại để chắc chắn rằng chúng ta có muốn xóa hay không.

### ***Find***

Khi chọn chức năng Find hộp thoại Find Coordinate or Reference Designator xuất hiện chúng ta có thể nhập tên linh kiện, Pad hoặc một tọa độ vị trí bất kỳ công cụ này sẽ di chuyển con trỏ về đúng vị trí cần quan sát.

### ***Edit***

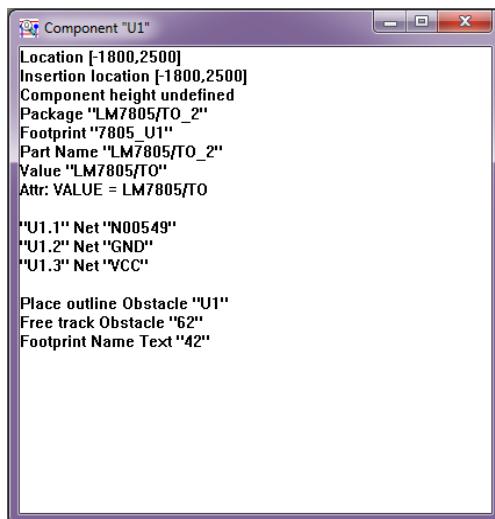
Chọn một đối tượng trong cửa sổ thiết kế như linh kiện hoặc đường mạch in... sau đó chọn chức năng Edit thì hộp thoại Edit Properties xuất hiện cho phép chúng ta thay đổi các thuộc tính của đối tượng.

### ***View Spreadsheets***

Công cụ View Spreadsheets được sử dụng rất nhiều trong phần mềm Layout để tác động đến các tham số thiết lập trang vẽ. Công cụ này cho phép thiết lập và hiển thị nhiều thông số cùng một thời điểm.

### ***Query***

Cửa sổ Query được sử dụng kết hợp với các công cụ trong nhóm Object Selection tools để xem thuộc tính của các đối tượng. Cửa sổ Query được mở bằng cách click chuột vào công cụ Query sau đó chọn một công cụ trong nhóm Object Selection tools rồi tác động lên đối tượng trên trang vẽ, các thuộc tính của đối tượng được hiển thị trên cửa sổ như Hình 3.6. Ngoài ra cửa sổ Query còn được sử dụng để tìm đối tượng trong trang vẽ bằng cách đưa con trỏ vào cửa sổ click chuột phải chọn *Find/Goto* sau đó nhập tên đối tượng ví dụ như R (resistor) hoặc C (capacitor)...Cửa sổ Query sẽ hiển thị thuộc tính liên quan đến các đối tượng này.

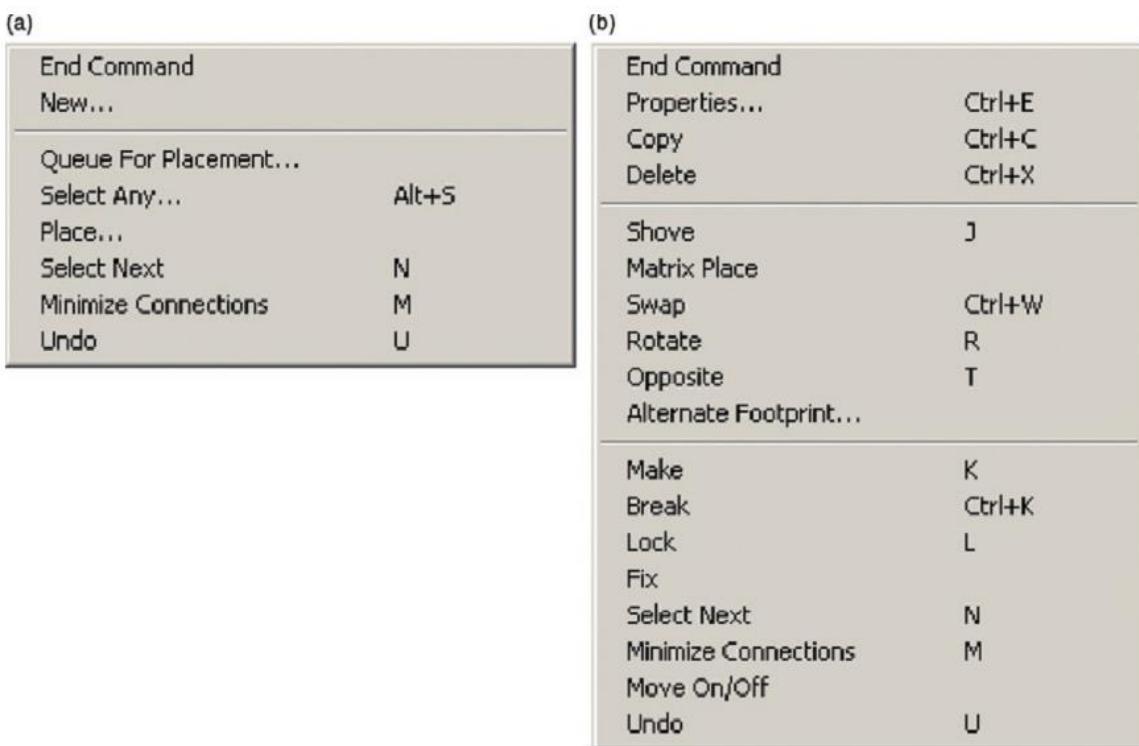


Hình 3.6 Cửa sổ Query

### 3.2.4.2 Công cụ chọn đối tượng thao tác (Object selection tools)

#### *Component*

Đây là công cụ rất mạnh với nhiều chức năng được sử dụng để thao tác với các footprint. Chức năng cơ bản của công cụ này là chọn lựa, di chuyển, chỉnh sửa và xóa footprint. Ngoài ra công cụ này còn có nhiều chức năng khác ví dụ như nếu chúng ta không chọn bất kỳ linh kiện (footprint) nào và click phải chuột thì các chức năng của công cụ này xuất hiện trong menu pop-up như trong Hình 3.7 (a) hoặc nếu chúng ta chọn một footprint nào đó và click chuột phải thì các chức năng khác của công cụ này sẽ xuất hiện như trong Hình 3.7 (b).



Hình 3.7 Các chức năng của công cụ Component [1]

(a) Không chọn footprint

(b) Có chọn footprint

#### *Pin*

Chức năng cơ bản của công cụ này là dùng để chọn, di chuyển, chỉnh sửa và xóa một chân nào đó trong footprint. Giống như công cụ Component, công cụ này cũng có nhiều chức năng khác nhau nếu chúng ta chọn hoặc không chọn chân của footprint khi click chuột phải. Công cụ này thường được sử dụng để chỉnh sửa footprint trong Library Manager.

### ***Obstacles***

Công cụ này được sử dụng để vẽ, chọn, di chuyển, chỉnh sửa, copy và xóa các đường giới hạn (obstacle) phạm vi đặt linh kiện và phạm vi vẽ các đường mạch in. Thông thường các đường giới hạn này là đường bao linh kiện, đường giới hạn bo mạch in, vùng phủ đồng...

Để di chuyển mà không làm thay đổi kích thước đường bao chúng ta nhấn phím Ctrl+click chuột trái vào đường bao sau đó thả phím Ctrl, click và giữ chuột trái rồi di chuyển đường bao đến vị trí mong muốn.

Để thay đổi kích thước đường bao chúng ta click chuột trái vào từng cạnh sau đó di chuyển đến các vị trí mong muốn rồi click chuột để cố định các cạnh của đường bao. Ngoài ra chúng ta có thể click chuột phải để chọn một số chức năng mở rộng khác của công cụ này.

### ***Text***

Công cụ này dùng để chọn, di chuyển, chỉnh sửa, copy và xóa chuỗi ký tự trên trang vẽ. Chúng ta có thể chọn công cụ này sau đó sử dụng phím *Insert* để chèn chuỗi ký tự lệnh trang vẽ hoặc sử dụng phím Ctrl+C để copy và dùng Ctrl+V để dán chuỗi ký tự.

### ***Connection***

Công cụ này được sử dụng để tạo ra các đường mạch nguyên lý mà trong Capture không có hoặc thiếu. Chúng ta có thể sử dụng công cụ này để tạo và xóa các đường mạch nguyên lý trực tiếp trong Layout.

### ***Error maker selection***

Công cụ này cho phép chúng ta chọn lỗi, tìm vị trí và xác định thông tin về lỗi tạo ra trong quá trình thiết kế mạch in sau khi sử dụng công cụ kiểm tra lỗi DRC.

## **3.2.4.3 Công cụ thiết lập môi trường vẽ mạch in (environmental control tools)**

### ***Color Settings***

Công cụ này dùng để thiết lập màu cho các đối tượng trong trang vẽ như tên footprint, đường bao, lớp... Công cụ này cũng được sử dụng để thiết lập cho các lớp hiển thị hoặc ẩn đi.

### ***Online Design Rule Check (DRC)***

Chức năng của công cụ này là ngăn ngừa việc đặt linh kiện và vẽ đường mạch in bên ngoài khu vực cho phép.

### **Reconnect Mode**

Công cụ này có chức năng ẩn đi các đường mạch nguyên lý giúp chúng ta dễ dàng quan sát trong quá trình thiết kế.

### **Refresh**

Công cụ này có chức năng hiển thị lại các đường mạch in bị nhòe trong quá trình vẽ và nối lại các đường mạch nguyên lý sao cho độ dài các đường này là ngắn nhất.

### **Project DRC**

Công cụ này cho phép phần mềm kiểm tra toàn bộ thiết kế theo các tiêu chuẩn được thiết lập trong hộp thoại Check Design Rule.

### **3.2.4.4 Công cụ vẽ mạch in bằng tay (manual routing tools)**

#### **Add/Edit Route Mode**

Chúng ta sử dụng công cụ Add/Edit Route Mode để tạo các đường mạch in từ đường nối mạch nguyên lý hoặc chỉnh sửa các đường mạch in có sẵn.

#### **Edit Segment Mode**

Chức năng cơ bản của công cụ Edit Segment Mode là di chuyển các đoạn và các góc của đường mạch in có sẵn. Chúng ta có thể sử dụng công cụ Edit Segment Mode để vẽ đường mạch in cho các đường mạch nguyên lý như công cụ Add/Edit Route Mode.

### **3.2.4.5 Tọa độ con trỏ, lưới đặt linh kiện và lớp mạch in hiện hành**

Phía bên dưới thanh Tool bar là thanh hiển thị tọa độ con trỏ, độ phân giải lưới đặt linh kiện và menu drop down hiển thị lớp mạch in hiện hành như Hình 3.8. Tọa độ con trỏ được xác định theo đơn vị mặc định Mil và liên quan đến vị trí gốc tọa độ của bo. Lưới đặt linh kiện thể hiện độ linh hoạt khi chúng ta sắp xếp footprint lên bo mạch, giá trị lưới càng nhỏ thì việc sắp xếp vị trí đặt càng dễ điều khiển. Menu hiển thị lớp mạch in hiện hành cho phép chúng ta chọn lớp mạch in để thao tác hoặc có thể ẩn đi khi cần quan sát các lớp còn lại.



Hình 3.8 (a) Tọa độ con trỏ ( $X$ ,  $Y$ ) và độ phân giải lưới ( $G$ )

(b) Menu hiển thị lớp mạch in hiện hành

## CÂU HỎI ÔN TẬP:

1. Cấu trúc của một Project gồm bao nhiêu thư mục?
2. Hãy cho biết đường dẫn chứa thư viện linh kiện thường được thiết lập ở đâu?
3. Hãy trình bày cách thức để có thể tìm kiếm linh kiện trong thư viện phần mềm nhanh nhất?
4. File tiêu chuẩn kỹ thuật với phần mở rộng .TCH được sử dụng để làm gì?
5. Thanh công cụ chính của phần mềm OrCAD Layout được chia thành 4 nhóm chức năng khác nhau đó là các nhóm nào?

## **CHƯƠNG 4: CÁC TIÊU CHUẨN THIẾT KẾ MẠCH IN TRONG CÔNG NGHIỆP**

### **4.1 Các tổ chức tiêu chuẩn**

Khi bắt đầu thiết kế một PCB chúng ta thường đưa ra các yêu cầu về kích thước, hình dạng bo mạch, vị trí đặt linh kiện, cách thức sắp xếp các lớp mạch in, khoảng cách và độ rộng của các đường mạch in... đây chính là các câu hỏi đúng được đặt ra để chúng ta tiến hành thiết kế nhưng vấn đề quan trọng là ai sẽ là người trả lời các câu hỏi này.

Có rất nhiều tiêu chuẩn liên quan đến việc thiết kế mạch in. Một số tổ chức thiết lập các tiêu chuẩn như là các hướng dẫn, quy tắc công nhận thậm chí là điều luật trong lĩnh vực thiết kế mạch in như Institute for Printed Circuits (IPC-Association Connecting Electronics Industries), đây là tổ chức thương mại toàn cầu bao gồm hơn 2300 công ty thành viên. Tổ chức này được thành lập từ các thành viên hoạt động trong lĩnh vực công nghiệp như kỹ sư thiết kế, nhà sản xuất bo, công ty lắp ráp linh kiện, công ty sản xuất linh kiện và các tổ chức sản xuất thiết bị. Ngoài ra còn rất nhiều tổ chức khác cũng đưa ra các tiêu chuẩn kỹ thuật như Electronic Industries Alliance (EIA), International Engineering Consortium (IEC), Joint Electron Device Engineering Council (JEDEC), Military Standards, American National Standards Institute (ANSI), Institute of Electrical and Electronics Engineers (IEEE)...

### **4.2 Phân loại mạch in**

Cách thức thiết kế một PCB phụ thuộc vào nhiều yếu tố như là công dụng của bo mạch, mức độ phức tạp trong thiết kế và khả năng chế tạo, tiêu chuẩn cho phép của nhà sản xuất, loại linh kiện và công nghệ chế tạo. Việc phân loại tiêu chuẩn được xây dựng để hỗ trợ các nhà thiết kế, nhà sản xuất và khách hàng trao đổi thông tin với nhau. Các phân loại bao gồm phân loại theo ứng dụng, khả năng sản xuất và loại cấu trúc.

#### **4.2.1 Phân loại theo ứng dụng**

Thông thường các PCB ở một trong ba cấp độ ứng dụng. Theo các tiêu chuẩn của tổ chức IPC thì vật liệu ứng dụng và mức độ sai số được xác định theo các mức. Mức ứng dụng được dựa trên các yếu tố như là sự thay đổi cho phép độ dày lớp đồng, sai số vị trí, sai số kích thước lỗ khoan...gồm các lớp như sau:

- Lớp 1: Các sản phẩm điện tử gia dụng như ti vi, máy chơi game, máy tính cá nhân.
- Lớp 2: Các sản phẩm điện tử chuyên dụng bao gồm các sản phẩm thương mại và quân sự có các chức năng đặc biệt như giao tiếp, phối hợp các khối và hệ thống cảm biến, các sản phẩm đòi hỏi khả năng tính toán lớn.

- Lớp 3: Các sản phẩm thương mại và quân sự đòi hỏi độ tin cậy cao trong nhiều điều kiện môi trường khác nhau như các thiết bị y tế và hệ thống vũ khí.

#### **4.2.2 Phân loại theo khả năng sản xuất**

Được phân chia theo 3 mức độ khác nhau về khả năng sản xuất:

- Cấp độ A, các thiết kế thông thường - Độ phức tạp thấp
- Cấp độ B, các thiết kế trung bình - Độ phức tạp tiêu chuẩn
- Cấp độ C, các thiết kế cao cấp - Độ phức tạp cao

#### **4.2.3 Phân loại theo cấu trúc**

Phân loại theo cấu trúc được xác định dựa vào số lượng các lớp (một lớp, hai lớp hoặc nhiều lớp) và theo loại via được sử dụng để kết nối các lớp. Theo tiêu chuẩn của IPC thì có 6 loại bo được chế tạo đó là:

- Loại 1: Bo mạch in một lớp
- Loại 2: Bo mạch in hai lớp
- Loại 3: Bo mạch in nhiều lớp không có via mù (blind via) và via ngầm (buried via)
- Loại 4: Bo mạch in nhiều lớp có via mù (blind via) và via ngầm (buried via)
- Loại 5: Bo mạch in nhiều lớp lõi kim loại không có via mù (blind via) và via ngầm (buried via)
- Loại 6: Bo mạch in nhiều lớp lõi kim loại có via mù (blind via) và via ngầm (buried via)

Mỗi loại PCB có thể được xác định bởi lớp sáp xếp phụ, lớp này miêu tả chi tiết cách sắp xếp các linh kiện trên bo mạch. Các lớp phụ này bao gồm:

- Lớp phụ A, chỉ có linh kiện dạng xuyên lỗ (THD: through-hole devices)
- Lớp phụ B, chỉ có linh kiện dán (SMD: surface-mounted devices)
- Lớp phụ C, hỗn hợp linh kiện dán và linh kiện xuyên lỗ dạng đơn giản
- Lớp phụ X, linh kiện dán hoặc xuyên lỗ phức tạp, khoảng cách nhỏ, linh kiện dạng đóng gói BGA
- Lớp phụ Y, linh kiện dán hoặc xuyên lỗ phức tạp, khoảng cách siêu nhỏ, linh kiện dạng đóng gói chip-scale
- Lớp phụ Z, linh kiện dán hoặc xuyên lỗ phức tạp, khoảng cách nhỏ, linh kiện dạng đóng gói flip-scale

### 4.3 Các tiêu chuẩn chế tạo

Không có một quy trình chế tạo nào là hoàn hảo, mọi quy trình đều có giới hạn và việc chế tạo PCB cũng như vậy. Các sai số thiết kế bao gồm vị trí và đường kính lỗ khoan, lớp phủ đồng và quá trình ăn mòn, độ phân giải của lớp phủ chống oxy hóa. Sai số công bố mạch in trở nên quan trọng hơn khi số lượng lỗ, độ rộng đường mạch in tăng lên và khoảng cách giảm xuống. Lỗi sai số có thể sinh ra trong từng giai đoạn sản xuất mạch in và dẫn đến việc tạo ra bo mạch không đạt yêu cầu.

Biết được giới hạn sản xuất có ý nghĩa quan trọng vì như vậy chúng ta có thể thiết kế bo mạch phù hợp với khả năng của nhà sản xuất. Bởi vì tuy thiết kế của chúng ta đạt được các tiêu chuẩn hiện tại nhưng mỗi nhà sản xuất bo mạch lại có những khả năng khác nhau.

### 4.4 Kích thước và sai số bo mạch in

#### 4.4.1 Kích thước bảng mạch in tiêu chuẩn

Theo IPC bảng mạch in tiêu chuẩn (standard panel) có 16 kích thước khác nhau được ký hiệu bằng chữ và số, các thông số này thể hiện kích thước của bo mạch theo phương x và phương y. Các kích cỡ được ký hiệu từ A1-D4 như được trình bày trong Bảng 4.1

Bảng 4.1 Kích thước bảng mạch in tiêu chuẩn [1]

Letter	Number			
	1	2	3	4
A	$2.4 \times 3.2$	$2.4 \times 6.7$	$2.4 \times 10.2$	$2.4 \times 13.8$
B	$4.7 \times 3.2$	$4.7 \times 6.7$	$4.7 \times 10.2$	$4.7 \times 13.8$
C	$7.1 \times 3.2$	$7.1 \times 6.7$	$7.1 \times 10.2$	$7.1 \times 13.8$
D	$9.5 \times 3.2$	$9.5 \times 6.7$	$9.5 \times 10.2$	$9.5 \times 13.8$

Sizes are given in inches.

Chúng ta cần biết kích thước của bảng mạch in tiêu chuẩn để có thể giảm chi phí gia công khi chủ động thiết kế các bo mạch có kích thước phù hợp với các kích thước chuẩn hoặc có thể ghép nhiều bo mạch trên cùng một bảng mạch tiêu chuẩn. Chú ý nếu linh kiện được ráp tự động bằng máy thì chúng ta cần biết giới hạn về kích thước để tránh trường hợp không thể ráp linh kiện lên bo do kích thước bo quá nhỏ hoặc quá lớn.

#### 4.4.2 Diện tích gá và hiệu suất sử dụng bo mạch in

Khi các nhà sản xuất gia công bo mạch họ cần khoan các lỗ bên ngoài đường bao bo mạch để có thể cố định bo mạch vào máy gia công, phần diện tích để khoan các lỗ này gọi là diện tích gá (tooling area). Diện tích này yêu cầu khoảng 0.375-1.5 inch, khoảng cách này được đo từ cạnh đường bao bo mạch đến đường giới hạn của bảng mạch tiêu chuẩn (theo tiêu chuẩn IPC-D-322). Khi đặt nhiều thiết kế trên cùng một bảng mạch thì khoảng

cách tối thiểu giữ hai đường bao bo mạch của các thiết kế thường là 0.1-0.5 inch, mục đích là để có thể sử dụng tối đa bảng mạch in.

Hầu hết các ván đế trên đều được nhà sản xuất bo mạch xử lý thay cho người thiết kế nhưng nếu chúng ta nắm được các ván đế nêu trên thì chúng ta có thể tối ưu việc sắp xếp linh kiện và giảm chi phí sản xuất.

#### 4.4.3 Độ dày tiêu chuẩn bo mạch in

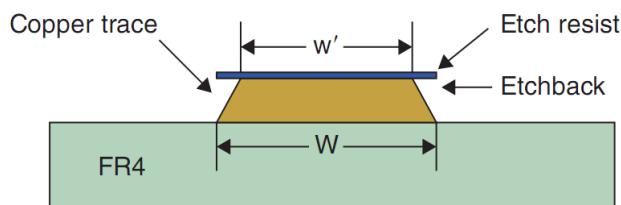
Như đã trình bày trong chương 1, PCB được cấu tạo từ việc ghép một hoặc nhiều lõi với các lớp sợi thủy tinh tấm nhựa do đó độ dày của bo mạch in phụ thuộc vào số lượng các lớp này. Bảng 4.2 trình bày các độ dày tiêu chuẩn của bo mạch trong công nghiệp.

Bảng 4.2 Độ dày tiêu chuẩn bo mạch in [1]

Inches	Mils	Millimeters
0.020	20	0.51
0.030	30	0.76
0.040	40	1.02
0.062	62	1.6
0.093	93	2.4
0.125	125	3.2
0.250	250	6.4
0.500	500	12.7

#### 4.5 Đường mạch đồng và sai số ăn mòn

Khi tiến hành ăn mòn kim loại thay vì sử dụng phương pháp phay thì các cạnh của đường mạch đồng không phẳng hoàn toàn như một bức tường thẳng đứng. Sự gồ ghề xuất hiện do độ phân giải hạn chế của mặt nạ, xảy ra do sự lưu thông của axit và bong bóng khí trong quá trình ăn mòn. Hình 4.1 cho thấy đường mạch in có dạng hình thang, lớp đồng ở phía dưới mặt nạ ngăn chất ăn mòn bị loại bỏ, hiện tượng này đương gọi là ăn mòn ngược (etchback hoặc undercutting). Độ rộng đường mạch in ở phần đáy hình thang sẽ bằng với độ rộng của mặt nạ và kích thước này sẽ được sử dụng để tính toán khi có yêu cầu.



Hình 4.1 Độ rộng đường mạch in và hiệu ứng ăn mòn ngược [1]

Theo tiêu chuẩn IPC thì sai số độ rộng đường mạch in được cho phép từ  $\pm 0.4$  mil -  $\pm 0.6$  mil trên  $1\frac{1}{2}$  oz. Người thiết kế cần nắm được sự thay đổi về độ rộng đường mạch in để có thể tính toán được trở kháng và khả năng chịu dòng. Đối với các thiết kế thông thường thì độ rộng đường mạch in được tính toán theo kinh nghiệm thực tế. Theo tiêu chuẩn IPC-2221A độ rộng nhỏ nhất và khoảng cách giữa các đường mạch in là 3.9 mil. Mỗi nhà sản xuất bo mạch lại có sai số về độ rộng và khoảng cách riêng của mình, thông thường giá trị này là 4 mil - 8 mil, tốt nhất là chúng ta nên liên lạc để có thể biết được khả năng của các nhà sản xuất trước khi tiến hành gia công.

#### 4.6 Kích thước lỗ khoan tiêu chuẩn

Lỗ khoan được khoan trên bo mạch in bằng nhiều kỹ thuật khác nhau như sử dụng mũi khoan xoắn, mũi phay, khoan laser và plasma. Độ chính xác về vị trí, kích thước và tốc độ khoan là các yếu tố được quan tâm. Người thiết kế bo cần phải biết kích thước lỗ khoan cho từng chân linh kiện (padstack). Kích thước tiêu chuẩn của mũi khoan được quy định trong tiêu chuẩn ANSI B19.11M. Tuy nhiên không phải nhà sản xuất bo mạch nào cũng khoan tất cả các kích thước lỗ khoan này. Khi chúng ta có một lỗ khoan có kích thước đặc biệt thì chúng ta nên thay đổi kích thước này cho phù hợp với khả năng của nhà sản xuất. Đối với các lỗ khoan có kích thước nhỏ gần bằng kích thước lỗ khoan có sẵn thì nhà sản xuất sẽ chọn kích thước lỗ khoan kích thước lỗ khoan có sẵn này để đảm bảo rằng các lỗ khoan này không nhỏ hơn lỗ khoan theo thiết kế, như vậy chúng ta mới có thể lắp ráp được linh kiện lên bo. Nhưng việc này sẽ ảnh hưởng đến độ rộng vòng giải nhiệt tại các chân linh kiện.

#### CÂU HỎI ÔN TẬP:

1. Các phân loại chính của bo mạch in là gì?
2. Hãy trình bày kích thước các bảng mạch in tiêu chuẩn?
3. Hãy trình bày các thông số độ dày tiêu chuẩn của bo mạch in?
4. Diện tích cần thiết để gá bo mạch in vào máy gia công là bao nhiêu?

## CHƯƠNG 5: QUY TRÌNH SẢN XUẤT BO MẠCH

### 5.1 Quy trình lắp ráp linh kiện

Bo mạch in sau khi gia công có thể được lắp ráp linh kiện thủ công hoặc lắp ráp tự động bằng máy. Cách thức lắp ráp phụ thuộc vào phân lớp công nghệ linh kiện (gồm các lớp từ A-Z như đã trình bày trong chương 4) và số lượng bo lắp ráp linh kiện cùng một thời điểm. Một số công ty thực hiện cả việc sản xuất bo mạch in và lắp ráp linh kiện nhưng số khác chỉ thực hiện một trong hai công việc trên. Cách thức lắp ráp linh kiện đóng vai trò quan trọng trong việc sắp xếp linh kiện trên PCB bởi vì việc sắp xếp này ảnh hưởng đến khoảng cách và hướng của các linh kiện trong quá trình hàn.

#### 5.1.1 Lắp ráp linh kiện thủ công

Việc lắp ráp linh kiện thủ công thường được sử dụng cho các bo mạch chế tạo thử nghiệm với số lượng ít hoặc lắp ráp trước các linh kiện đặc biệt chuẩn bị cho công đoạn lắp ráp tự động. Cách thức lắp ráp linh kiện thủ công có thể được sử dụng cho cả công nghệ linh kiện dán (SMT: surface-mount technology) và linh kiện dạng xuyên lỗ (THT: through-hole technology). Đối với các bo mạch có số lượng ít thì một dây chuyền có thể có nhiều công nhân lắp ráp, trong đó mỗi người sẽ chuyên lắp ráp một loại linh kiện. Công đoạn lắp ráp linh kiện có thể được gián đoạn nhiều lần để thực hiện việc kiểm tra. Có thể kết hợp công đoạn lắp ráp và hàn linh kiện thủ công hoặc hàn tự động.

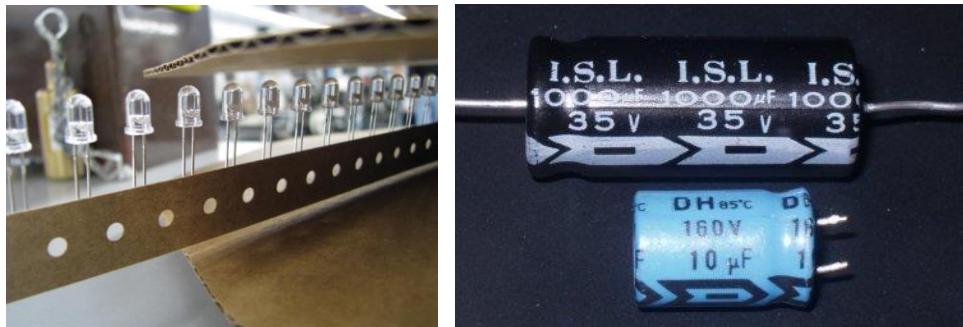
Việc lắp ráp linh kiện thủ công có thể là một công việc nhảm chán. Hướng và vị trí đặt linh kiện thống nhất sẽ giúp cho công việc lắp ráp trở nên dễ dàng hơn. Ví dụ như hướng cực tính của linh kiện (diode, tụ điện...) cùng chiều nhau hoặc vị trí chân số 1 của tất cả IC (integrated circuits) được đặt theo cùng một hướng có thể làm giảm sai sót và tăng hiệu suất lắp ráp.

#### 5.1.2 Lắp ráp linh kiện tự động

Việc lắp ráp tự động hiện nay được sử dụng cho cả linh kiện dán và linh kiện xuyên lỗ. Máy ráp linh kiện được lập trình để tự động lấy linh kiện từ trong cuộn hoặc thùng chứa sau đó đặt linh kiện lên PCB đúng hướng và vị trí. Tốc độ ráp linh kiện xuyên lỗ có thể đạt từ 20.000-40.000 linh kiện trên một giờ (CPH: components per hour). Dữ liệu về vị trí đặt của linh kiện lập trình cho các máy lắp ráp tự động được cung cấp trong file Gerber tạo ra bởi phần mềm Layout hoặc một phần mềm CAM khác.

Các linh kiện xuyên lỗ thường được ghép lại với nhau và được đóng gói theo dạng cuộn bằng cách dán các chân lại với nhau. Loại linh kiện này thường được đặt ở lớp trên của bo mạch và được hàn theo phương pháp hàn dạng sóng (các phương pháp hàn linh kiện sẽ được trình bày trong phần nội dung tiếp theo). Trình tự lắp ráp tự động linh kiện dạng

xuyên lỗ sẽ bắt đầu với linh kiện dạng chân cắm xuyên trực (axial-leaded devices), tiếp theo là linh kiện dạng chân cắm hình trụ (radial-leaded devices), cuối cùng là các linh kiện có dạng đặc biệt.



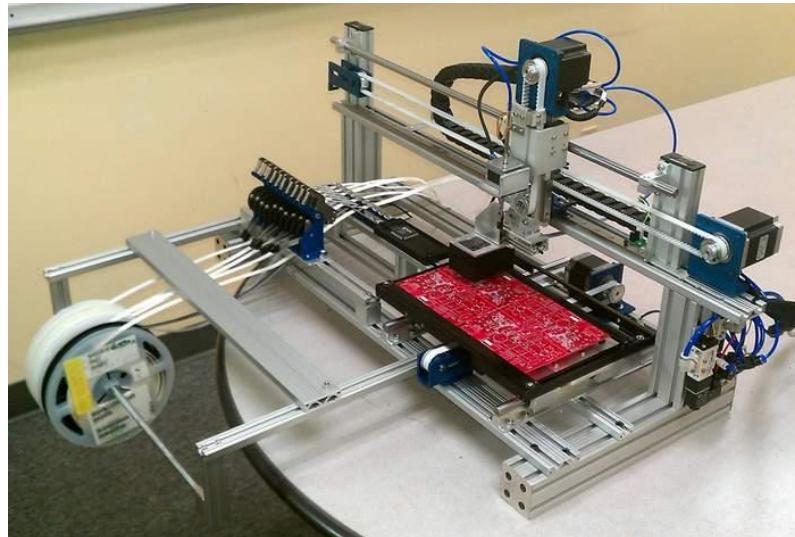
Hình 5.1 Linh kiện chân cắm dạng xuyên trực và chân cắm hình trụ

Các linh kiện dán thường được đóng gói theo dạng ống (tubes), khay ma trận (matrix trays), băng cuộn (tape and reel) hoặc dạng khối. Các linh kiện này có thể được dán trên một hoặc cả hai mặt của PCB. Ban đầu lớp phủ chì (solder paste) được in lên các pad cần hàn của PCB. Tiếp theo các linh kiện được gắn lên bo tạm thời bằng máy tự động (pick-and-place machine) và được đưa qua lò sấy để lớp phủ chì tại các chân linh kiện nóng chảy, sau đó chì sẽ được làm nguội và các linh kiện được hàn cứng lên bo. Linh kiện dán có thể được gắn lên bo với tốc độ từ 10.000-100.000 con trên giờ (CPH).

Khi có linh kiện dán trên cả hai mặt của PCB hoặc hỗn hợp giữa linh kiện dán và linh kiện xuyên lỗ thì phương pháp hàn dạng sấy và dạng sóng (reflow-wave soldering) sẽ được sử dụng để hàn linh kiện. Ban đầu linh kiện dán trên lớp Top sẽ được gắn lên bo và được hàn bằng phương pháp sấy. Tiếp theo linh kiện xuyên lỗ trên lớp Top sẽ được gắn lên bo bằng cách bẻ các chân linh kiện ở lớp Bottom như Hình 5.4 hoặc dán linh kiện lên lớp Top hoặc dựa vào sự ma sát giữa chân linh kiện và lỗ khoan. Bo mạch được lật lại, máy sẽ tự động dán keo vào các vị trí linh kiện ở lớp Bottom. Sau đó các linh kiện dán ở lớp Bottom được gắn lên bo bằng phương pháp thủ công hoặc tự động tại các vị trí vừa được dán keo (glue dots) trước đó, lớp keo này sẽ giữ các linh kiện dính trên bo cho đến khi các linh kiện này được hàn lên bo hoàn chỉnh. Tiếp theo bo mạch được đưa qua lò sấy để làm khô lớp keo, sau đó đưa qua công đoạn hàn dạng sóng để hàn linh kiện xuyên lỗ và linh kiện dán ở lớp Bottom.

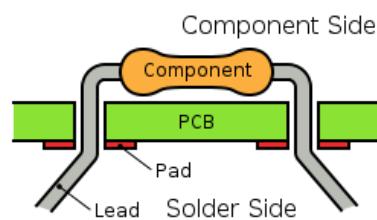


*Hình 5.2 Linh kiện dán đóng gói dạng ống (tubes), khay ma trận (matrix trays), băng cuộn (tape and reel)*



*Hình 5.3 Máy lắp ráp linh kiện tự động quy mô nhỏ (pick-and-place machine)*

Nếu bo có linh kiện dán ở cả hai mặt bo thì phương pháp hàn sấy được sử dụng. Các linh kiện dán ở lớp Top sẽ được gắn lên bo bằng lớp phủ chì ở nhiệt độ cao, sau đó bo được đưa qua lò sấy. Khi mà các linh kiện ở lớp Top đã được cố định thì bo mạch sẽ được lật lại và các linh kiện ở lớp Bottom sẽ được gắn lên bo ở nhiệt độ thấp hơn để tránh làm rơi các linh kiện ở lớp Top đã được hàn trước đó.



*Hình 5.4 Linh kiện xuyên lõi được gắn lên bo bằng cách bẻ chân*

## 5.2 Quy trình hàn linh kiện

Linh kiện được hàn lên bo mạch để tạo ra các kết nối dẫn điện giữa chân linh kiện và các đường mạch in. Để các mối hàn đạt yêu cầu thì chì hàn phải nóng chảy và tạo thành một lớp kết nối giữa chân linh kiện và bo mạch in. Để bảo vệ các mối hàn khỏi bị oxy hóa, bo mạch sau khi hàn linh kiện hoàn chỉnh sẽ được mạ nickel hoặc palladi.

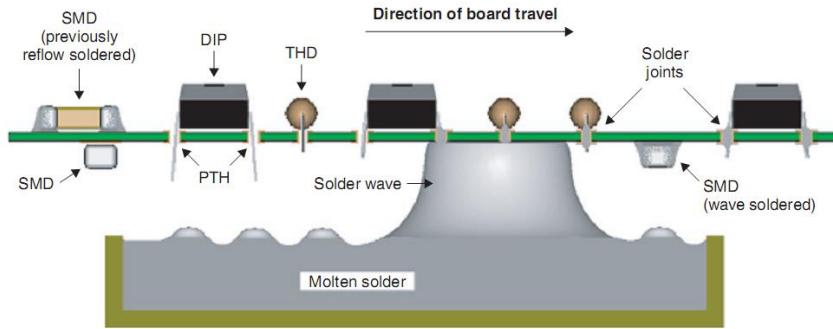
### 5.2.1 Hàn linh kiện thủ công

Phương pháp hàn thủ công được sử dụng rộng rãi cho nhiều ứng dụng như lắp ráp hoàn chỉnh linh kiện trên PCB, sửa chữa và thay thế linh kiện. Có nhiều công cụ hỗ trợ cho việc hàn thủ công như là máy khò (hot-air pencil), mỏ hàn (soldering iron)... Ngoài tốc độ hàn chậm, giới hạn lớn nhất của phương pháp hàn thủ công đó là làm tăng khả năng phóng tĩnh điện và gây ra hiện tượng quá nhiệt tại vị trí hàn giữa linh kiện và PCB.

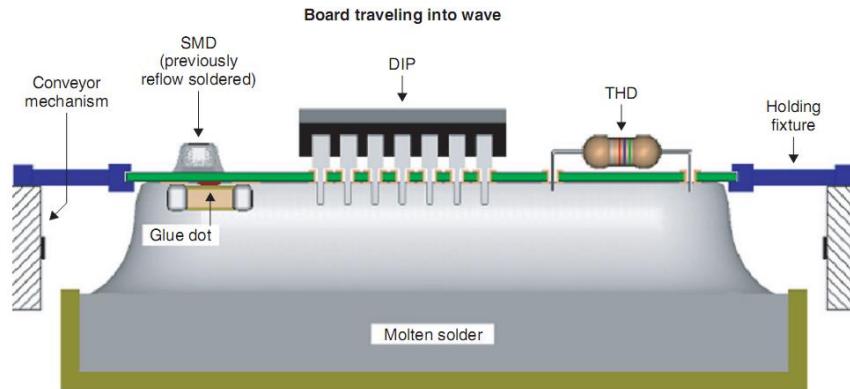
### 5.2.2 Hàn linh kiện dạng sóng (Wave soldering)

Bo mạch được gắn lên băng tải và được sấy trước khi đưa vào hàn như trong Hình 5.5 và Hình 5.6. Băng tải sẽ di chuyển bo mạch ngang qua bệ chì nóng chảy với các gợn sóng thẳng đứng do đó chỉ có chì hàn tại các chân linh kiện ở lớp Bottom nóng chảy. Phương pháp này có thể sử dụng cho cả hai dạng linh kiện dán và xuyên lỗ còn phương pháp sấy chì thích hợp đối với linh kiện dán. Các linh kiện dán nhỏ hoặc các tụ tantalum có thể gặp vấn đề khi băng tải di chuyển bo mạch qua các gợn sóng. Đối với các linh kiện dán nhỏ lớp keo dùng để dán tạm linh kiện lên bo có thể lớn hơn các Pad do đó chì hàn không thể tiếp xúc hoặc ứng suất nhiệt độ có thể làm hỏng linh kiện dán lớn.

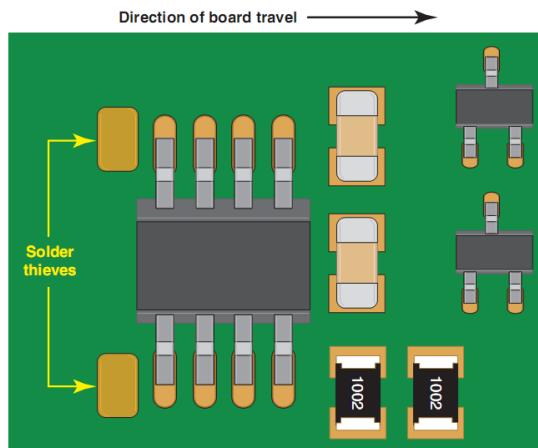
Đối với các linh kiện dán ở lớp Bottom người thiết kế cần biết chiều di chuyển của bo mạch qua các gợn sóng khi hàn linh kiện. Linh kiện có thể được đặt giống như trong Hình 5.7, các linh kiện nhỏ không bị che bởi các linh kiện lớn hơn để mối hàn ở các linh kiện nhỏ đạt yêu cầu và không nối tắt các chân của IC. Việc nối tắt các chân linh kiện xảy ra do khoảng cách quá nhỏ giữa các chân của linh kiện dán. Vấn đề này thường xảy ra đối với hai chân cuối cùng của IC khi di chuyển bo ngang qua các gợn sóng, phần chì thừa có xu hướng sẽ dính và nối hai chân cuối lại với nhau. Để giải quyết vấn đề này các Pad gom chì (solder thieves) thường được thêm vào sau chân cuối cùng của IC dạng SMD để kéo lượng chì thừa ra khỏi các chân IC như trong Hình 5.7. Kích thước của Pad gom chì lớn hơn một chút so với kích thước Pad các chân của IC đồng thời khoảng cách giữa Pad gom chì và Pad cuối cùng của IC cũng lớn hơn so với khoảng cách giữa hai chân của IC.



Hình 5.5 Phương pháp hàn linh kiện dạng sóng với góc nhìn theo hình chiếu cạnh [1]



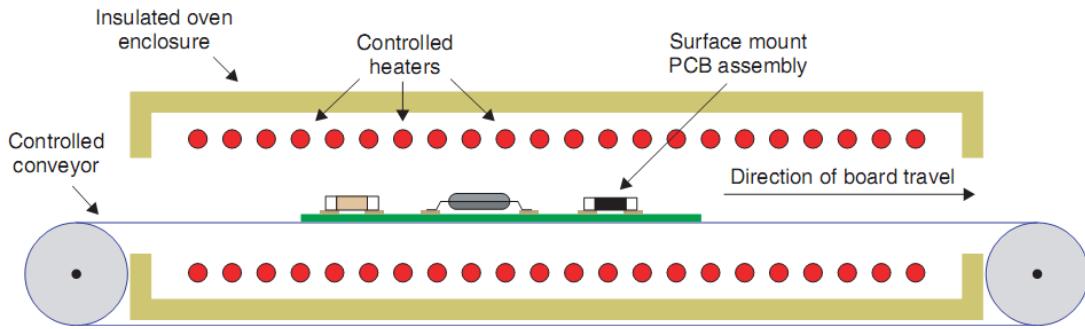
Hình 5.6 Phương pháp hàn linh kiện dạng sóng với góc nhìn theo hình chiếu đứng [1]



Hình 5.7 Hướng đặt của linh kiện dán khi hàn dạng sóng [1]

### 5.2.3 Hàn linh kiện dạng sấy

Hàn linh kiện dạng sấy thường sử dụng đối với các linh kiện dán nhưng cũng có thể sử dụng để hàn cho các linh kiện dạng xuyên lỗ. Quy trình hàn linh kiện dạng sấy được trình bày như trong Hình 5.8.



Hình 5.8 Quy trình hàn linh kiện dạng sấy [1]

Lớp phủ chì (solder paste) bao gồm chì và chất làm chảy dưới dạng keo dính, được in lên bo mạch. Các linh kiện được gắn lên bo bằng máy sao cho chân của các linh kiện sẽ nằm trên lớp phủ chì này. Bo mạch được đặt lên băng tải đưa vào lò sấy khi nhiệt độ tăng lên chất làm chảy chì sẽ hoạt động. Sức căng bề mặt của lớp chì nóng chảy có khuynh hướng tự sắp xếp các linh kiện. Tuy nhiên nếu các linh kiện không được sắp xếp đúng vị trí và nhiệt độ nóng chảy tại các chân không tăng lên cùng lúc thì linh kiện có thể bị nghiêng và chỉ kết nối vào bo bằng một chân.

### 5.3 Vị trí đặt và hướng của linh kiện

Một bo mạch hoàn chỉnh bao gồm tấm bo, các linh kiện và các cổng kết nối vào bo. Người thiết kế bo mạch cần phải biết cách sắp xếp sao cho việc lắp ráp các linh kiện dễ dàng và phải hình dung được bo mạch sau khi hoàn chỉnh sẽ như thế nào.

Cấu trúc của bo (phân loại theo ứng dụng, khả năng sản xuất), công nghệ linh kiện (linh kiện dán hoặc xuyên lỗ) và phương pháp hàn linh kiện (hàn dạng sóng, hàn dạng sấy) đóng vai trò quan trọng đến không gian và việc sắp xếp linh kiện trên bo.

Vị trí và hướng đặt phụ thuộc vào loại linh kiện, phương pháp lắp ráp (thủ công, tự động) và các yêu cầu về kỹ thuật điện... các yếu tố này không làm cho bo mạch chạy tốt hơn nhưng sẽ giúp cho việc lắp ráp, kiểm tra và sửa chữa dễ dàng hơn.

Một số hướng dẫn về vị trí và hướng đặt của linh kiện:

1. Các linh kiện phải được sắp xếp gọn gàng, có trật tự và khoảng cách đều nhau.
2. Cạnh của các linh kiện phải được sắp xếp song song với cạnh đường bao của bo mạch in.
3. Nếu được hàn tự động thì các linh kiện dạng xuyên lỗ phải được xếp trên cùng một lớp.

4. Nếu bo mạch có cả linh kiện dán và xuyên lỗ được xếp trên cả hai lớp thì việc lắp ráp linh kiện có thể được chia ra thành nhiều giai đoạn, việc này có thể làm tăng chi phí gia công, tăng sai sót và làm cho việc gia công trở nên khó khăn hơn.
5. Không đặt các chip có chân cắm plastic (PLCC) hoặc tụ tantalum lớn ở lớp Bottom vì các linh kiện này có thể bị hỏng do nhiệt độ cao.
6. Nên sử dụng độ phân giải của lưới vẽ là 100 mil (2.5 mm), đối với các chân linh kiện không theo tiêu chuẩn thì có thể sử dụng độ phân giải là 2 mil (0.05 mm) theo tiêu chuẩn IPC-2221A.
7. Độ phân giải lưới dành cho các bo mạch có kiểm tra chịu tải là 0.1 inch (2.54 mm)
8. Hướng của các linh kiện có phân chia cực tính như tụ điện và diode nên được sắp xếp nhất trên toàn bo mạch để thuận lợi cho việc kiểm tra và đo đạc.
9. Cần thêm vào các điểm tọa độ chuẩn (tổng cục và cục bộ) trên bo mạch để hỗ trợ cho các máy ráp linh kiện tự động có sử dụng công nghệ xử lý ảnh.
10. Nên sắp xếp các đầu kết nối (connectors) ở phía cạnh ngắn hơn của bo mạch khi sử dụng phương pháp hàn tự động.
11. Nên dàn ra phần diện tích cần thiết ở các cạnh bo để có thể gá bo vào máy ráp linh kiện và điều tiết khi phần cứng thay đổi.
12. Đối với các linh kiện có khối lượng lớn hơn 5g/chân thì linh kiện này nên có giá đỡ cơ khí gắn lên bo để phòng trường hợp linh kiện sẽ bị rơi ra khi bị rung động.
13. Quản lý nhiệt độ khi hàn và khi mạch hoạt động cần được chú ý trong quá trình thiết kế bo mạch.
14. Khi hai vấn đề cùng xảy ra, cần ưu tiên chú ý đến vấn đề về mặt điện hơn là về cơ khí.
15. Đối với các bo mạch có cả tín hiệu tương tự (analog) và số (digital) thì các linh kiện nên được tách riêng để giảm ảnh hưởng của tín hiệu nhiễu chuyển mạch trên bo analog. Mạch công suất lớn phải được cách ly với mạch công suất nhỏ và mạch nhiễu thấp.

## 5.4 Khoảng cách tối thiểu giữa các linh kiện bố trí trên PCB

Bảng 5.1 Khoảng cách tối thiểu giữa các linh kiện dạng xuyên lỗ chân cắm xuyên trực

[1]

Parameter	Mils	Millimeters	Layout default
Side to PCB edge	$a = 75$	$a = 1.9$	Depends on pad to track space setting. No DRC error occurs as long as place outline does not cross the center of the board outline.
End to PCB edge	$b = 90$	$b = 2.29$	
End to end	100	2.54	DRC error occurs if place outlines overlap.
Side to side When body diameters are <100 mils (2.54 mm)	100	2.54	DRC error occurs if place outlines overlap.
Side to side When $D_2 > D_1 > 100$ mils	$a = 70 + \frac{1}{2}D_1$ $b = 10 + \frac{1}{2}D_1 + \frac{1}{2}D_2$ ( $a$ and $b \geq 100$ mils minimum)	$a = 1.78 + \frac{1}{2}D_1$ $b = 0.25 + \frac{1}{2}D_1 + \frac{1}{2}D_2$ ( $a$ and $b \geq 2.54$ mm minimum)	DRC error occurs if place outlines overlap.
Side to end When one or more body diameters are >100 mils	$95 + \frac{1}{2}D_1$	$2.41 + \frac{1}{2}D_1$	DRC error occurs if place outlines overlap.

Bảng 5.2 Khoảng cách tối thiểu giữa các linh kiện dạng xuyên lỗ chân cắm hình trụ [1]

Parameter	Mils	Millimeters	Layout default
PCB edge	$r = \frac{1}{2}$ the diameter of the device or $\frac{1}{2}$ the height, whichever is greater, AND $r \geq 60$ mils (1.52 mm).		No DRC error occurs as long as place outline does not cross the center of the board outline.
Others parts	$r = \frac{1}{2}$ the diameter of the device or $\frac{1}{2}$ the height, whichever is greater.		DRC error occurs if place outlines overlap.

Bảng 5.3 Khoảng cách tối thiểu giữa các IC dạng chân cắm xuyên lỗ [1]

Parameter		Mils	Millimeters	Layout default
Side to PCB edge		$a = 100$	$a = 2.54$	Depends on pad to track spacing setting. No DRC error occurs as long as place outline does not cross the center of the board outline.
End to edge		$b = 75$	$b = 1.91$	
End to end		200	5.08	No DRC error occurs as long as place outlines do not overlap. Could violate IPC standard and not cause DRC error.
Side to side		100	2.54	

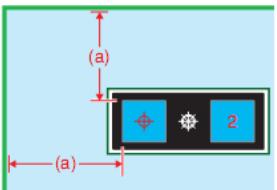
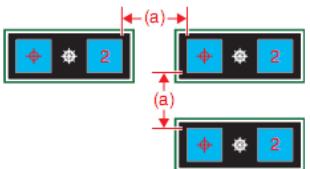
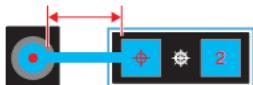
Bảng 5.4 Khoảng cách tối thiểu giữa IC và các linh kiện rời dạng chân cắm xuyên lỗ [1]

Parameter		Mils	Millimeters	Layout default
		$a (D_1 > 100)$	$115 + \frac{1}{2}D_1$	$2.91 + \frac{1}{2}D_1$
		$b (D < 100)$	200	5.08
		$c (D < 100)$	100	2.54
		$d (D_1 > 100)$	$40 + \frac{1}{2}D_1$	$1.02 + \frac{1}{2}D_1$

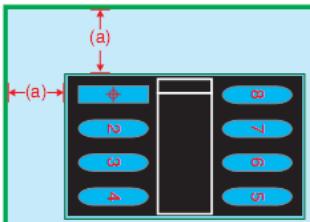
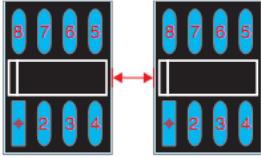
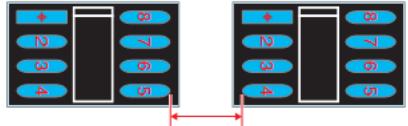
Bảng 5.5 Khoảng cách tối thiểu giữa lỗ khoan và dây jumper [1]

Parameter		Mils	Millimeters	Layout default
Hole to hole (Plated or nonplated)		(a) So as not to violate pad spacing rules. (b) So that residual laminate is >20 mils (0.5 mm) between holes.		DRC error occurs if pad-to-pad spacing rules are violated.
Jumper wires (any direction)		100	2.54	DRC error occurs if pad-to-pad spacing rules are violated.

Bảng 5.6 Khoảng cách tối thiểu giữa các linh kiện rời dạng chân dán [1]

Parameter		Mils	Millimeters	Layout DRC
Side to PCB edge and/or end to PCB edge		60	1.5	DRC error occurs if space from pad to edge of board outline is less than pad to track spacing rule or if place outline crosses center of board outline.
End to end and/or side to side		Size 0603 or larger 20 Smaller than 0603 12	0.50 0.30	Spacing determined by relationship of place outline to pads and body. DRC error occurs if place outlines overlap. Layout's default pad-to-pad spacing for many footprints is 30 mils (0.76 mm).
Pad to via		20	0.50	DRC error occurs if distance between edge of pads is less than pad-to-pad spacing rule.

Bảng 5.7 Khoảng cách tối thiểu giữa các IC dán [1]

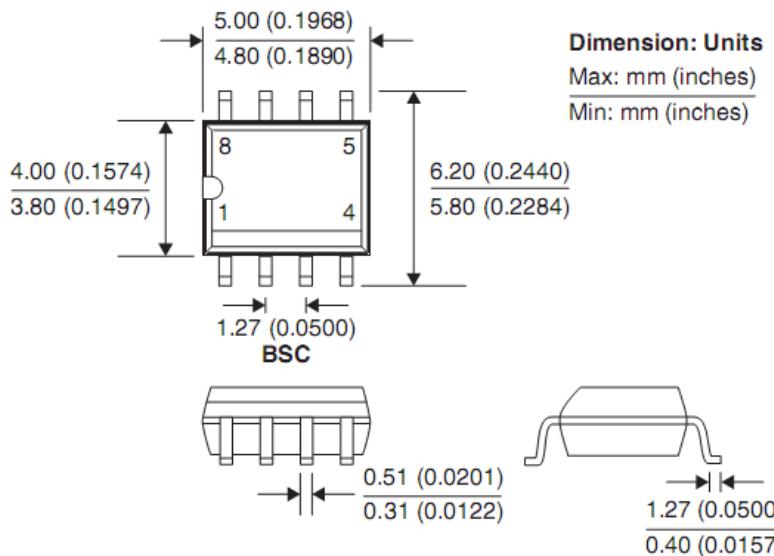
Parameter		Mils	Millimeters	Layout default
Component side to PCB edge and/or end to PCB edge		60	1.5	DRC error occurs if space from pad to edge of board outline is less than pad to track spacing rule or if place outline crosses center of board outline.
End to end (body)		20	0.50	Spacing determined by relationship of place outline to pads and body. DRC error occurs if place outlines overlap. Layout's default pad-to-pad spacing for many footprints is 30 mils (0.76 mm), but end-to-end (body) spacing is 0.
Side to side (pad to pad)				

## 5.5 Thiết kế footprint và padstack theo yêu cầu sản xuất

Phần mềm Layout chứa rất nhiều footprint sẵn có tuy nhiên đôi lúc chúng ta cũng phải tạo riêng một số footprint cho các yêu cầu cụ thể mà thư viện không có. Việc thiết kế footprint cho các linh kiện dán và linh kiện xuyên lõi cũng có nhiều điểm khác nhau. Một footprint trong Layout bao gồm hình dạng từng chân linh kiện (padstack), tên linh kiện (silk-screen) và đường bao linh kiện (outline).

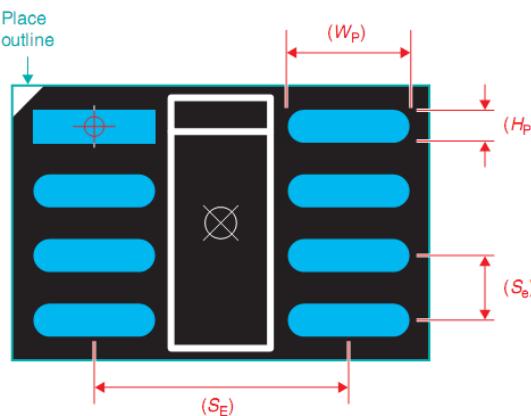
### 5.5.1 Mẫu footprint linh kiện dán (SMD: Surface-Mounted Devices)

Khi thiết kế một bo mạch nếu chúng ta cần một footprint không có sẵn trong thư viện Layout thì chúng ta phải thực hiện nhiều bước để có thể tạo được một footprint linh kiện mới. Nếu như linh kiện cần tạo có hình dạng gần giống với footprint có sẵn nhưng khác số chân thì chúng ta có thể chỉnh sửa và lưu lại với tên gọi mới, có thể thêm chân, thay đổi kích thước đường bao và lớp tên linh kiện. Để tạo footprint mới chúng ta cần thông số kỹ thuật từ nhà sản xuất linh kiện để tham khảo các gợi ý về hình dạng và kích thước footprint như được mô tả trong Hình 5.9.



Hình 5.9 Thông số kỹ thuật về kích thước và hình dạng của linh kiện [1]

Từ thông số kỹ thuật của nhà sản xuất linh kiện chúng ta có thể xác định kích thước chiềut rộng, chiều cao của Pad và khoảng cách giữa các Pad để tạo footprint mới trong Layout như trong Hình 5.10.



Hình 5.10 Các kích thước của footprint [1]

Trong đó:

$W_P$ : chiều rộng Pad

$H_P$ : chiều cao Pad

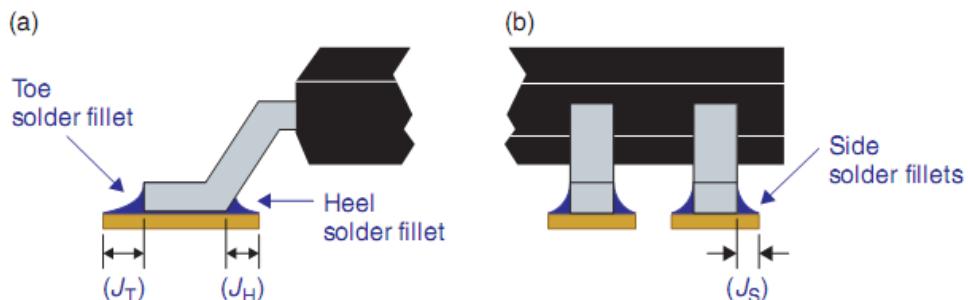
$S_e$ : khoảng cách giữa hai tâm của Pad theo chiều cao

$S_E$ : khoảng cách giữa hai tâm của Pad theo chiều rộng

### 5.5.2 Thiết kế padstack cho linh kiện dán

Một padstack đạt yêu cầu là padstack tạo ra được liên kết tốt giữa chân linh kiện và PCB. Các padstack này phải cho phép có sự thay đổi về kích thước linh kiện, sai số sản xuất PCB, sai số vị trí đặt và đặc tính kỹ thuật của mối hàn. Các loại linh kiện xuyên lỗ thường có kích thước lớn nên có thể bỏ qua các sai số này nhưng đối với linh kiện dán thì sai số này thường nhỏ hơn. Như trong Hình 5.11 thì kích thước padstack cần phải lớn hơn kích thước chân linh kiện để chì có thể liên kết hai đối tượng này lại với nhau bằng chì hàn. Trong đó  $J_T$  được xác định là khoảng cách từ mép của Pad đến điểm đầu chân linh kiện,  $J_H$  là khoảng cách từ mép của Pad đến điểm cuối chân linh kiện,  $J_S$  là khoảng cách từ cạnh của Pad đến cạnh của chân linh kiện. Các giá trị của  $J_T$ ,  $J_H$  và  $J_S$  phụ thuộc vào loại và mật độ linh kiện được cung cấp trong Bảng 5.8, 5.9 và 5.10.

Để thiết kế padstack trong Layout chúng ta cần biết được thông số kỹ thuật về chiều rộng padstack  $W_P$ , chiều cao  $H_P$  để có thể điền vào hộp thoại thiết lập kích thước của padstack như trong Hình 5.12.



Hình 5.11 Padstack linh kiện dán [1]

(a) Góc nhìn theo hình chiêu đứng

(b) Góc nhìn theo hình chiêu cạnh

Bảng 5.8 Giá trị khoảng cách  $J_T$  theo loại linh kiện và mật độ [1]

Package type	Nominal density	
	Mils	Millimeters
Gull wing (SOG)	14	0.35
J lead (SOJ)	14	0.35
Chip components (0603 and larger)	14	0.35
Chip components (smaller than 0603)	4	0.10
Small outline (SO)	12	0.30
Tantalum capacitors	6	0.15
Leadless chip carrier	22	0.55
MELF	16	0.40
Butt joints	31	0.80

Bảng 5.9 Giá trị khoảng cách  $J_H$  theo loại linh kiện và mật độ [1]

Package type	Nominal density	
	Mils	Millimeters
Gull wing (SOG)	14	0.35
J lead (SOJ)	-8	-0.20
Small outline (SO)	0	0.00
Chip components (all)	-2	-0.05
Tantalum capacitors	20	0.50
MELF	4	0.10
Leadless chip carrier	6	0.15
Butt joints	31	0.80

Bảng 5.10 Giá trị khoảng cách  $J_S$  theo loại linh kiện và mật độ [1]

Package type	Nominal density	
	Mils	Millimeters
Gull wing (SOG) (pitch greater than 0.625 mm)	1	0.03
J lead (SOJ)	1	0.03
Gull wing (SOG) (pitch less than 0.625 mm)	-1	-0.02
Chip components (0603 and larger)	0	0.00
Chip components (smaller than 0603)	0	0.00
MELF	2	0.05
Small outline (SO)	-2	-0.04
Tantalum capacitors	-2	-0.05
Leadless chip carrier	-2	-0.05
Butt joints	8	0.20

The screenshot shows a software window titled "Padstacks". Inside, there is a table with columns: "Padstack or Layer Name", "Pad Shape", "Pad Width", "Pad Height", "X Offset", and "Y Offset". The rows list various padstack names and their properties. Most padstacks have a width and height of 62, except for PLANE which is 70, SMTOP which is 67, and SMBOT which is 67. All padstacks are round, except for SPTOP, SPBOT, and SSTOP which are undefined.

Padstack or Layer Name	Pad Shape	Pad Width	Pad Height	X Offset	Y Offset
T1					
TOP	Round	62	62	0	0
BOTTOM	Round	62	62	0	0
PLANE	Round	70	70	0	0
INNER	Round	62	62	0	0
SMTOP	Round	67	67	0	0
SMBOT	Round	67	67	0	0
SPTOP	Undefined	0	0	0	0
SPBOT	Undefined	0	0	0	0
SSTOP	Undefined	0	0	0	0

Hình 5.12 Cửa sổ thiết lập kích thước padstack

Sau khi thiết kế xong chúng ta cần đặt các padstack này vào các vị trí chính xác để hoàn thành việc thiết kế footprint.

### 5.5.3 Mẫu footprint linh kiện xuyên lỗ

Các linh kiện xuyên lỗ thường có dạng chân cắm xuyên tâm hoặc chân cắm hình trụ. Một ví dụ về tụ điện có chân cắm dạng hình trụ được mô tả như trong Hình 5.13. Thiết kế footprint cho loại linh kiện này được xác định cẩn thận từ cấu trúc của linh kiện. Các padstack được đặt tại vị trí trùng với các chân của linh kiện. Vị trí đặt của các padstack phụ thuộc vào độ dài thân linh kiện và hình dạng chân. Khoảng cách tối thiểu của các padstack được xác định theo công thức:

$$L_P = L_B + n \cdot D_L + 2L_{LE} \quad (5.1)$$

Trong đó:

$L_P$ : khoảng cách giữa hai Pad (từ tâm đến tâm)

$L_B$ : chiều dài thân linh kiện

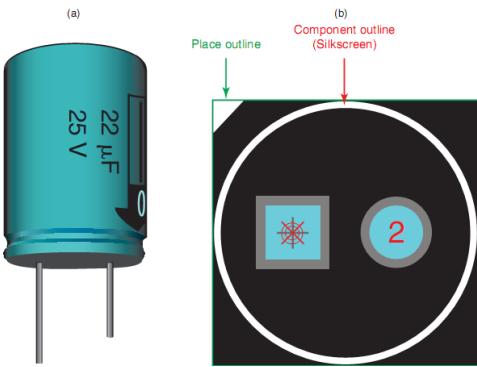
$D_L$ : đường kính chân linh kiện

$L_{LE}$ : chiều dài chân linh kiện từ thân đến vị trí uốn cong

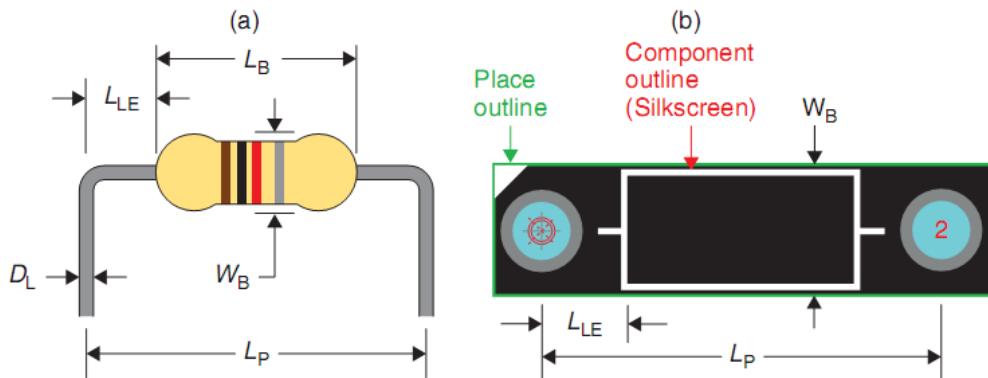
$n$ : là hệ số phụ thuộc vào đường kính chân linh kiện theo Bảng 5.11

Bảng 5.11 Hệ số đường kính chân linh kiện

Lead diameter	n
$D_L \leq 31$ (mils)	3
$D_L \leq (0.8 \text{ mm})$	
$31 < D_L \leq 47$ (mils)	4
$0.8 < D_L \leq 1.2$ (mm)	
$47 < D_L$ (mils)	5
$1.2 < D_L$ (mm)	



Hình 5.13 (a) Linh kiện chân cắm dạng trụ  
 (b) Footprint linh kiện chân cắm hình trụ trong Layout



Hình 5.14 (a) Các tham số kích thước của linh kiện chân cắm dạng xuyên trực  
 (b) Footprint linh kiện chân cắm dạng xuyên trực trong Layout

#### 5.5.4 Thiết kế padstack cho linh kiện dạng xuyên lỗ

Khi thiết kế padstack cho linh kiện dạng xuyên lỗ chúng ta cần chú ý đến tỷ lệ giữa kích thước lỗ khoan và đường kính chân linh kiện, tỷ lệ giữa độ dày của bo và lỗ khoan (aspect ratio), bề rộng của vòng khuyên đồng bao quanh lỗ khoan (annular ring), khoảng cách giữa bề mặt Pad và mặt phẳng của lớp, cuối cùng là khả năng của nhà sản xuất.

##### 5.5.4.1 Tỷ lệ giữa kích thước lỗ khoan và đường kính chân linh kiện

Kích thước lỗ khoan phải đủ lớn để chân linh kiện có thể trượt qua dễ dàng nhưng không nên quá rộng vì như vậy sẽ tạo ra hiện tượng mao dẫn làm chảy chì trong quá trình hàn. Kích thước lỗ khoan được tính theo công thức:

$$D_H = (D_L + 2T_P)k \quad (5.2)$$

Trong đó:  $D_H$ : đường kính thước lỗ khoan

$D_L$ : đường kính chân linh kiện

$T_P$ : độ dày của lớp đồng (nếu không biết có thể chọn  $T_P=1$  mil)

$k$ : hệ số sai số ( $k = 1.5-3.5$ , thông thường chọn  $k=1.5$ )

### 5.5.4.2 Bề rộng của vòng khuyên đồng bao quanh lỗ khoan (annular ring width)

Sau khi xác định kích thước lỗ khoan thì bước tiếp theo là xác định kích thước của Pad. Hiệu số giữa kích thước lỗ khoan và kích thước Pad là kích thước vòng khuyên. Đây chính là lớp đồng dùng để hàn linh kiện vào bo mạch. Kích thước Pad càng lớn thì mối hàn càng lớn nhưng kích thước Pad quá lớn sẽ không cần thiết vì như vậy nhiệt độ hàn phải cao. Kích thước Pad nhỏ sẽ tạo ra mối hàn không chắc chắn. Kích thước Pad được tính toán theo công thức:

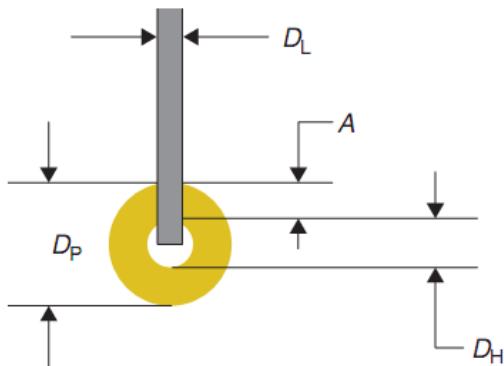
$$D_P = a + 2b + c \quad (5.3)$$

Trong đó:  $D_P$ : đường kính Pad

$a$ : kích thước lỗ khoan hoàn chỉnh  $a=D_H - 2T_P$

$b$ : kích thước vòng khuyên nhỏ nhất theo Bảng 5.12

$c$ : tiêu chuẩn sản xuất cho phép theo Bảng 5.13



Hình 5.15 Thông số thiết lập Pad cho linh kiện xuyên lỗ

Bảng 5.12 Kích thước nhỏ nhất của vòng khuyên

	Internal	External
Mils	1	2
Millimeters	0.025	0.05

Bảng 5.13 Tiêu chuẩn sản xuất cho phép

	Level A	Level B	Level C
Mils	16	10	8
Millimeters	0.40	0.25	0.20

## CÂU HỎI ÔN TẬP:

1. Hãy cho biết các phương pháp lắp ráp linh kiện?
2. Cách thức đóng gói linh kiện dán và linh kiện xuyên lỗ gồm những dạng nào?
3. Hãy cho biết tốc độ lắp ráp tự động của linh kiện dán và linh kiện xuyên lỗ là bao nhiêu?
4. Hãy trình bày các phương pháp hàn linh kiện và cho biết các phương pháp này thường được sử dụng trong các trường hợp nào?
5. Hãy nêu các chú ý cần thiết về vị trí và hướng đặt linh kiện trên bo mạch?
6. Hãy cho biết khoảng cách tối thiểu của các dạng linh kiện khi đặt trên bo mạch in?
7. Hãy cho biết cách xác định tỷ lệ giữa kích thước lỗ khoan và đường kính chân linh kiện?
8. Hãy trình bày cách xác định bề rộng của vòng khuyên đồng bao quanh lỗ khoan ?

# CHƯƠNG 6: THIẾT KẾ SƠ ĐỒ MẠCH NGUYÊN LÝ VỚI ORCAD CAPTURE

## 6.1 Công cụ vẽ sơ đồ mạch nguyên lý

Để thiết kế sơ đồ mạch nguyên lý chúng ta sử dụng các công cụ như trong Hình 6.1



Hình 6.1 Các công cụ vẽ sơ đồ mạch nguyên lý

Chúng ta cần tạo một project mới như đã trình bày trong mục 2.2.1 để có thể thực hành các công cụ này trên cửa sổ Schematic Page [2].

### 6.1.1 Select



Hình 6.2 Công cụ Select

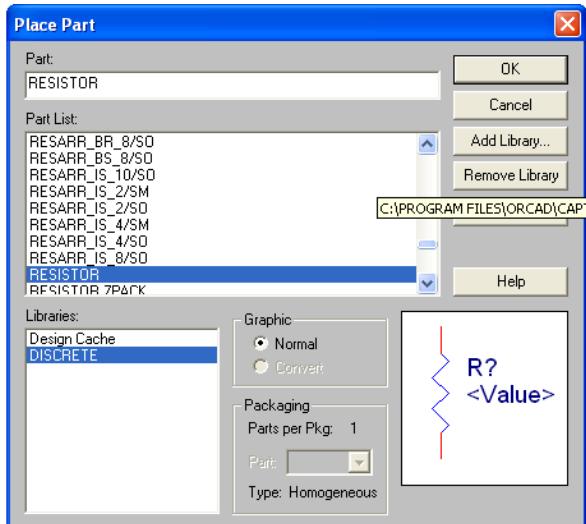
Công cụ Select dùng để tác động lên các đối tượng trong sơ đồ mạch nguyên lý như chọn, di chuyển, copy, chỉnh sửa, thay đổi thuộc tính và xóa.

### 6.1.2 Place part

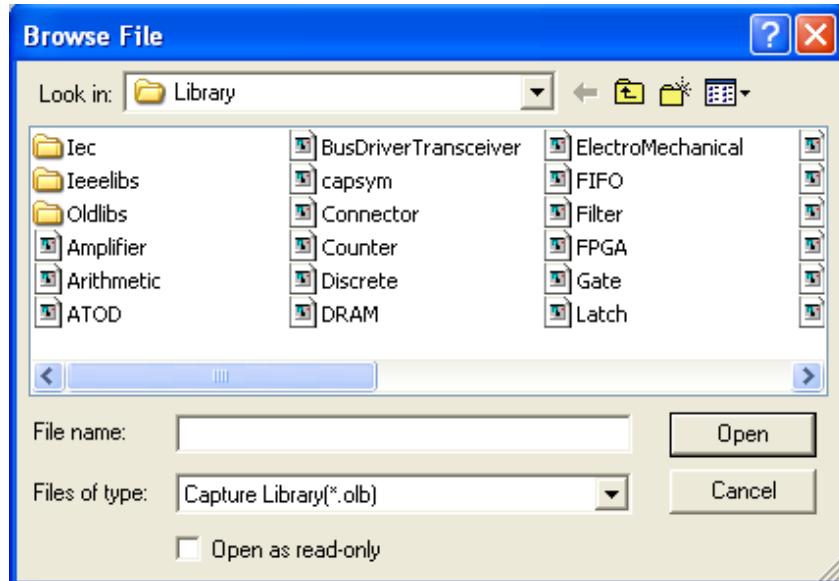


Hình 6.3 Công cụ Place part

Công cụ Place Part dùng để lấy linh kiện từ thư viện ra cửa sổ trang vẽ. Khi chúng ta click vào công cụ này hoặc nhấn phím “P” thì hộp thoại Place part xuất hiện như Hình 6.4. Để chọn linh kiện chúng ta có thể nhập tên linh kiện cần tìm (bằng tiếng anh) vào mục Part. Nếu có linh kiện tương ứng thì hình linh kiện đó sẽ xuất hiện ở cửa sổ bên dưới và thư viện chứa linh kiện cũng được chỉ ra ở mục Part list. Để tăng khả năng tìm linh kiện chúng ta cần thêm thư viện linh kiện vào mục Libraries bằng cách click chuột vào nút Add Library, hộp thoại Browse file xuất hiện như trong Hình 6.5 cho phép chúng ta chọn các thư viện linh kiện cần thêm vào. Tên và ký hiệu của một số linh kiện cơ bản được trình bày trong Bảng 6.1.



Hình 6.4 Hộp thoại Place part



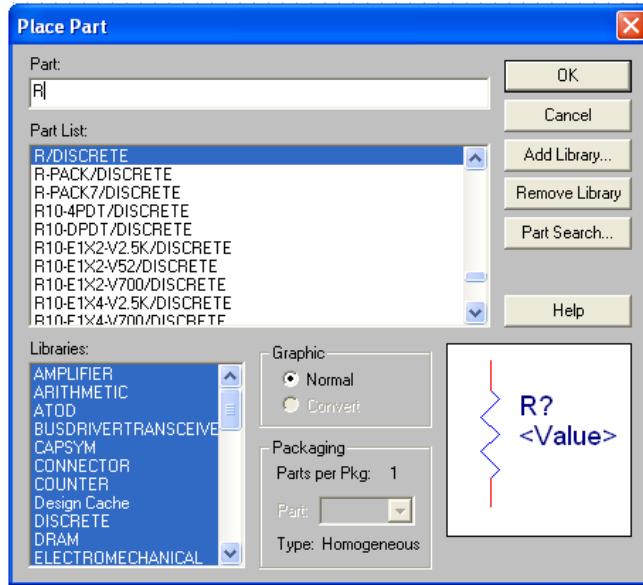
Hình 6.5 Hộp thoại Browse file

### Chú ý:

Chúng ta có thể chọn một thư viện bằng cách click chuột vào tên thư viện rồi nhấn Open hoặc chọn tất cả các thư viện bằng cách nhấn phím Ctrl+A.

Để tăng khả năng tìm kiếm linh kiện chúng ta cần chọn tất cả thư viện trong cửa sổ Libraries sau đó nhập tên linh kiện cần tìm vào mục Part, linh kiện cần tìm sẽ xuất hiện trong cửa sổ Preview như trong Hình 6.6.

Một số linh kiện khi lấy ra trang vẽ cần chỉnh sửa lại cho phù hợp với yêu cầu sử dụng. Cách thức để thay đổi về hình dạng, số chân, thuộc tính chân... sẽ được trình bày trong mục 6.2.



Hình 6.6 Cửa sổ Preview

### 6.1.3 Place wire

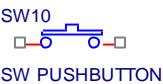
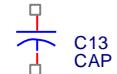
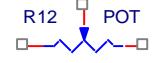
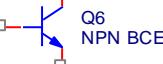
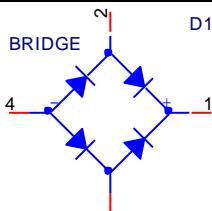
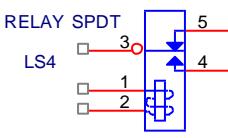
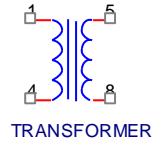
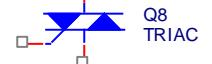
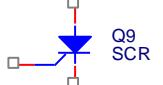
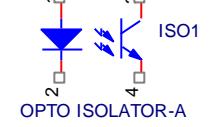
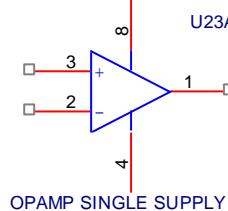


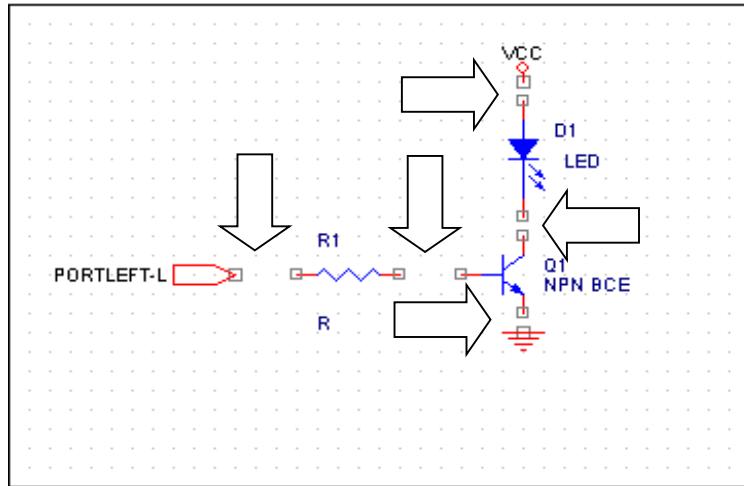
Hình 6.7 Công cụ Place wire

Công cụ Place wire được sử dụng để vẽ kết nối nguyên lý giữa các linh kiện. Vị trí kết nối được ký hiệu là các hình vuông ở đầu chân linh kiện như trong Hình 6.8. Khi các linh kiện được lấy ra cửa sổ trang vẽ thì các linh kiện này chưa được kết nối với nhau. Để vẽ đường kết nối giữa các chân linh kiện chúng ta chọn công cụ Place wire hoặc phím “W” sau đó di chuyển con trỏ đến vị trí kết nối của linh kiện, click chuột để bắt đầu nối dây. Thả chuột tự do và di chuyển con trỏ đến vị trí kết nối của linh kiện tiếp theo click chuột để tạo kết nối. Click phải chuột chọn End Mode hoặc nhấn phím Escape để thoát khỏi chức năng nối dây.

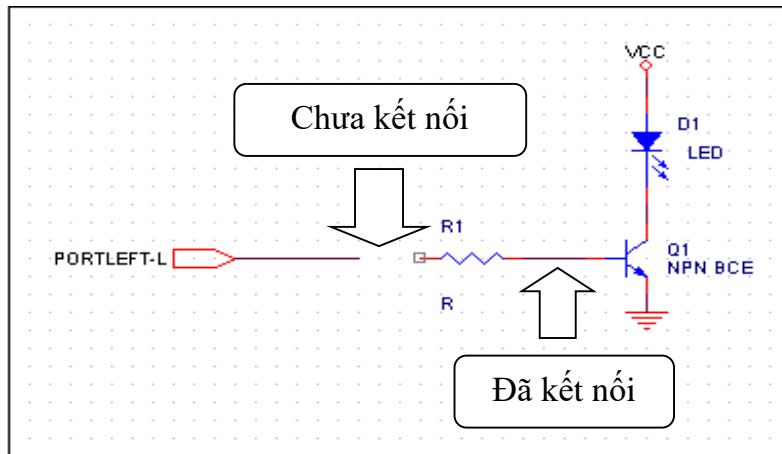
**Chú ý:** Trước khi thực hiện việc kết nối các linh kiện chúng ta nên sắp xếp các linh kiện cho hợp lý.

Bảng 6.1 Ký hiệu và tên một số linh kiện cơ bản

Ký hiệu	Tên linh kiện	Ký hiệu	Tên linh kiện
	Điện trở	 SW PUSHBUTTON	Nút nhấn
	Tụ phân cực	 SW MAG-SPDT	Công tắc
	Tụ không phân cực	 POT	Biến trở
	Diode	 Q6 NPN BCE	Transistor NPN
	LED	 Q7 PNP BCE	Transistor PNP
	Diode cầu	 RELAY SPDT LS4	Rờ le
	Cuộn dây	 TRANSFORMER	Biến thế
	Diac	 Q9 SCR	Triac
	Opto	 U23A OPAMP SINGLE SUPPLY	Op-Amp

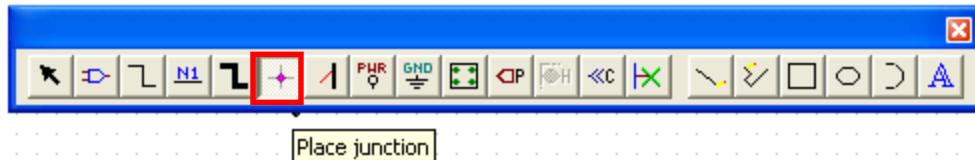


Hình 6.8 Vị trí kết nối của các linh kiện



Hình 6.9 Chưa thực hiện nối dây và nối dây thành công

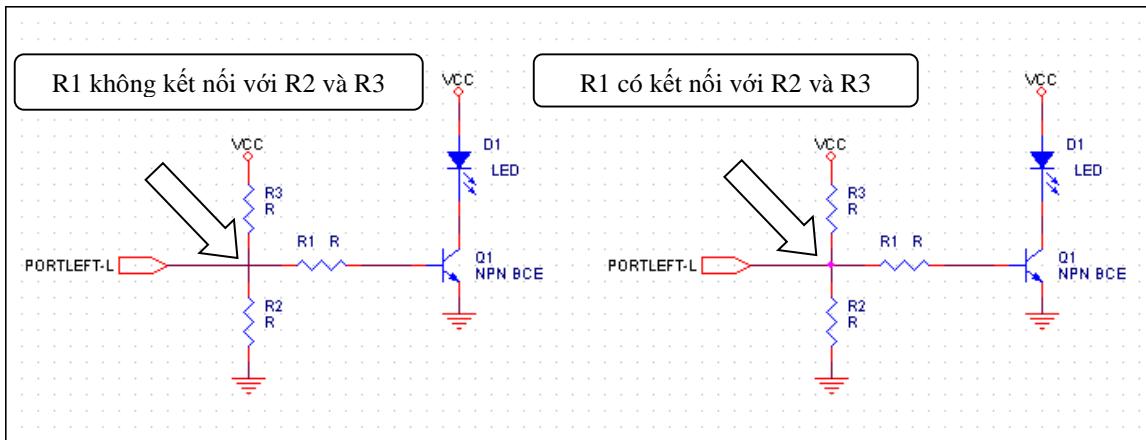
#### 6.1.4 Place junction



Hình 6.10 Công cụ Place junction

Trong vẽ mạch nguyên lý những đường mạch giao nhau mà không có ký hiệu “junction” thì các đường kết nối này độc lập với nhau.

Để tạo hoặc bỏ kết nối giữa những đường mạch giao nhau chúng ta sử dụng công cụ Place junction. Sau khi chọn công cụ này chúng ta click chuột vào vị trí cần tạo kết nối hoặc bỏ kết nối như trong Hình 6.11.



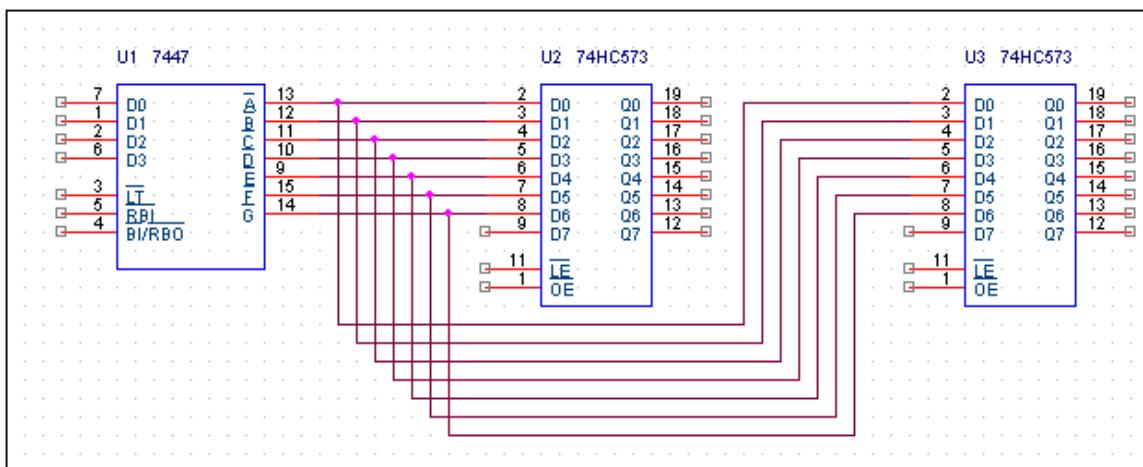
Hình 6.11 Chức năng của công cụ Place junction

### 6.1.5 Place Bus

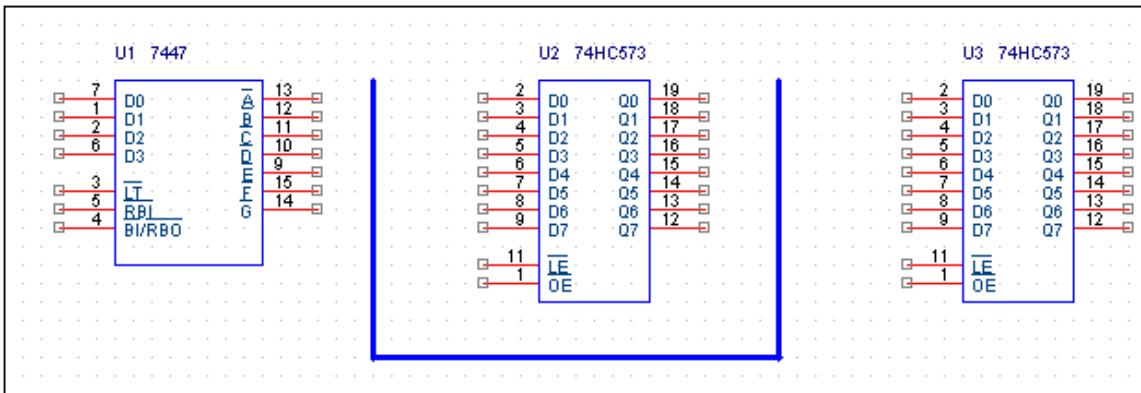


Hình 6.12 Công cụ Place bus

Theo sơ đồ mạch nguyên lý ở Hình 6.13, chân 13 của IC U1 7447 đồng thời được nối vào chân 2 của IC U2 74HC573 và chân 2 của IC U3 74HC573, các chân còn lại như 12, 11, 10, 9, 15, 14 của IC U1 cũng được kết nối tương tự. Như vậy sẽ gây ra khó khăn và dễ nhầm lẫn khi đọc sơ đồ mạch nguyên lý. Để đơn giản hóa mạch nguyên lý chúng ta có thể sử dụng công cụ này để vẽ đường bus thay thế cho các đường kết nối song song nhau như Hình 6.14.



Hình 6.13 Các linh kiện được kết nối bằng công cụ Place wire tạo ra nhiều đường kết nối song song gây khó khăn cho việc kiểm tra sơ đồ mạch nguyên lý

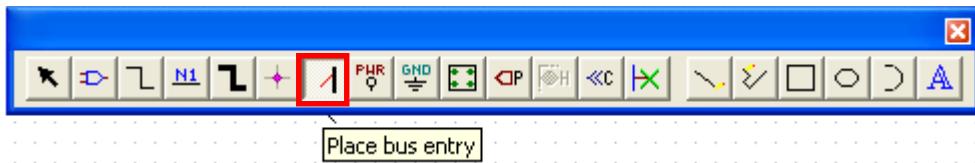


Hình 6.14 Đường bus thay thế các đường kết nối song song

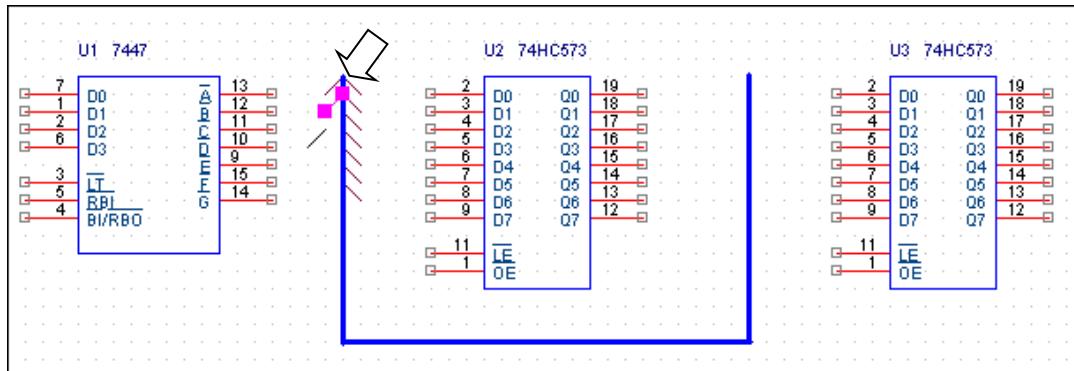
Công cụ Place bus được sử dụng giống như công cụ Place wire, sau khi chọn công cụ chúng ta click chuột để xác định vị trí bắt đầu của đường bus, thả chuột tự do và di chuyển chuột đến các vị trí cần thiết sau đó click chuột lần nữa để tạo các đường gấp khúc theo yêu cầu.

Tiếp theo ta phải sử dụng công cụ Place bus entry để tạo các nhánh kết nối vào bus như Hình 6.16.

### 6.1.6 Place bus entry



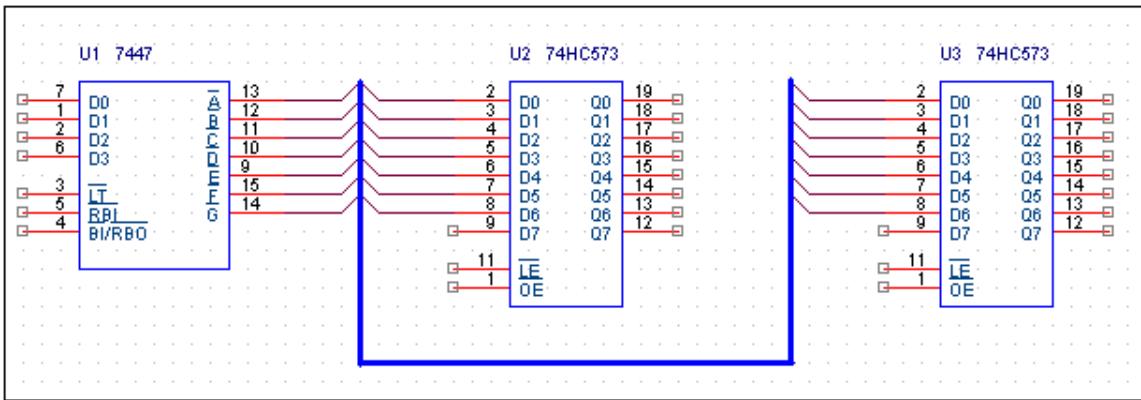
Hình 6.15 Công cụ Place bus entry



Hình 6.16 Nhánh kết nối các dây dẫn vào bus

Để xoay các nhánh kết nối lên bus cho phù hợp chúng ta click chuột phải chọn Rotate hoặc sử dụng phím tắt “R” trên bàn phím.

Tiếp theo chúng ta sử dụng công cụ Place wire để nối các nhánh vào chân các IC như Hình 6.17.



Hình 6.17 Công cụ Place wire được sử dụng để nối các chân linh kiện vào bus

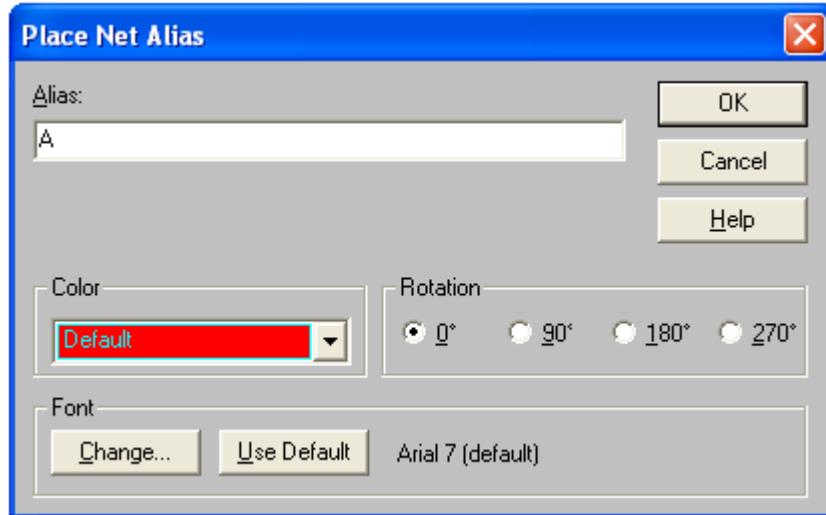
Để xác định chính xác các chân nào được nối với nhau chúng ta phải đặt tên các nhánh kết nối bằng công cụ Place net alias.

### 6.1.7 Place net alias



Hình 6.18 Công cụ Place net alias

Sau khi chọn công cụ thì hộp thoại Place net alias xuất hiện, chúng ta nhập tên vào cửa sổ Alias, chọn màu, chọn góc quay, chọn Font chữ, cỡ chữ phù hợp, sau đó chọn OK để trở lại cửa sổ vẽ mạch nguyên lý.



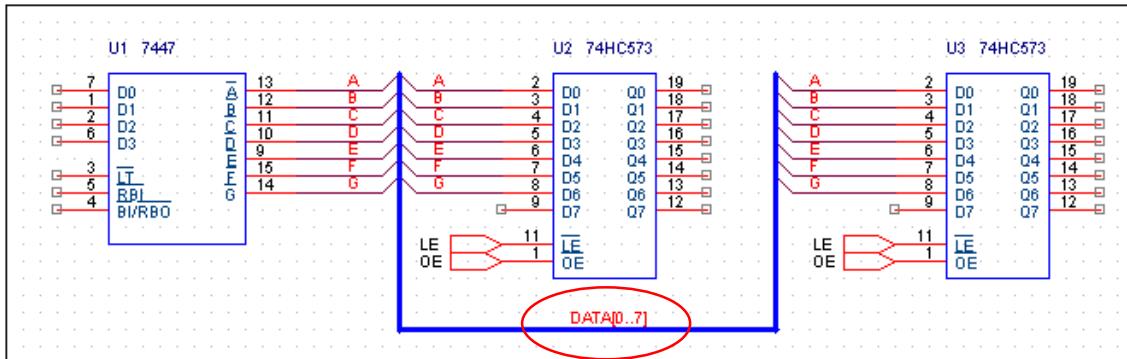
Hình 6.19 Hộp thoại Place net alias

Tiếp theo chúng ta di chuyển tên các nhánh đến vị trí thích hợp rồi click chuột để hoàn tất việc đặt tên cho nhánh. Các nhánh có tên trùng nhau thì được kết nối với nhau.

Sau khi đặt tên các nhánh chúng ta phải đặt tên bus, tương tự như trên ta cũng sử dụng công cụ Place net alias để đặt tên cho bus như Hình 6.20. Nếu không đặt tên thì khi kiểm tra phần mềm sẽ báo lỗi “Bus has no name”.

**Chú ý:** tên bus phải có dạng: name[x..y] hoặc name[x:y] hoặc name[x-y]

Ví dụ: DATA[0..7] ; ADD[0:7] ; CONTROL[0-7]



Hình 6.20 Đặt tên cho đường bus

### 6.1.8 Place power, Place ground



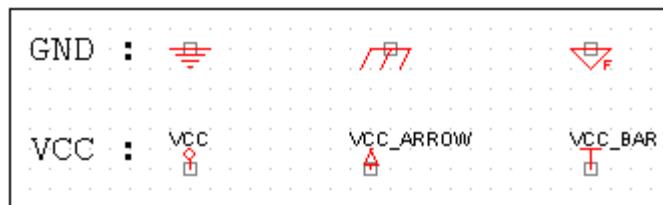
Hình 6.21 Công cụ Place power



Hình 6.22 Công cụ Place ground

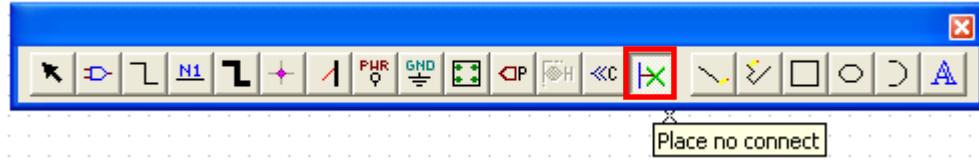
Công cụ Place power, Place ground dùng để chọn ký hiệu nguồn và mass như Hình 6.23. Để có đầy đủ các ký hiệu nguồn và mass sau khi chọn hai công cụ này chúng ta phải thêm thư viện CAPSYM vào phần mềm.

**Chú ý:** Những ký hiệu giống nhau được hiểu là kết nối với nhau. Do đó trong sơ đồ mạch nguyên lý có thể có nhiều loại ký hiệu nguồn và mass khác nhau.



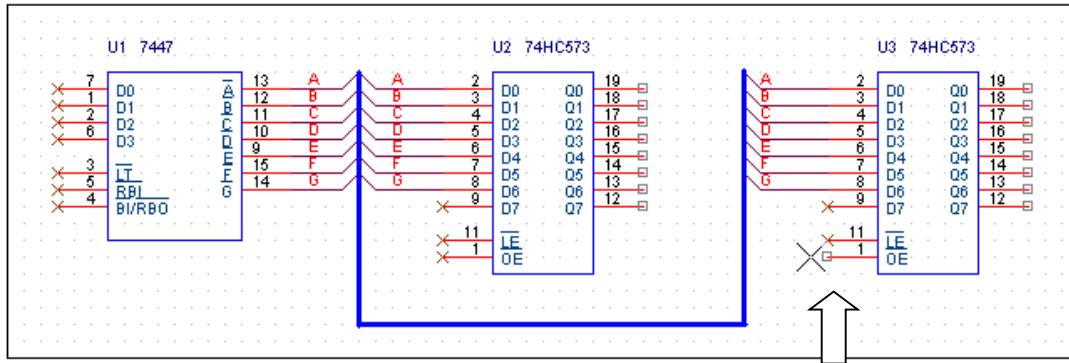
Hình 6.23 Các ký hiệu nguồn và mass

### 6.1.9 Place no connect



Hình 6.24 Công cụ Place no connect

Công cụ này dùng để đánh dấu loại bỏ các chân không kết nối. Sau khi chọn Place no connect chúng ta click chuột vào vị trí các chân loại bỏ hoặc click chuột vào các chân đã loại bỏ để cho phép kết nối trở lại như Hình 6.25.

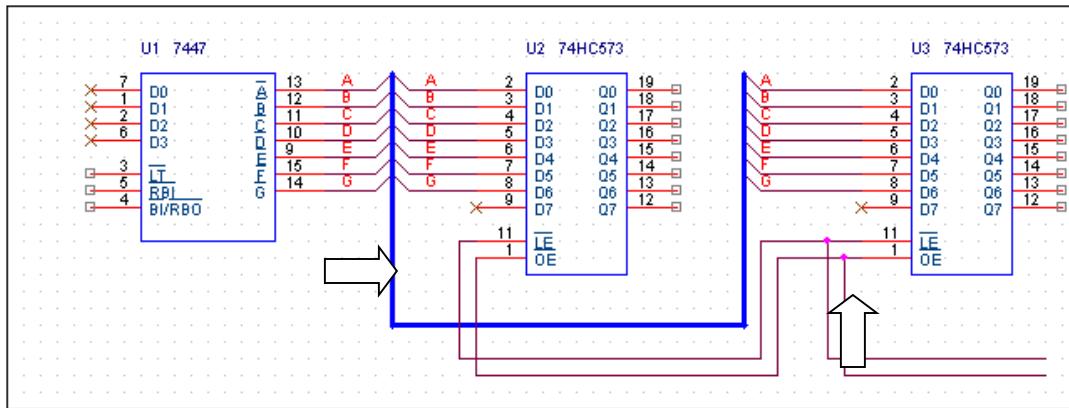


Hình 6.25 Đánh dấu các chân không sử dụng bằng công cụ Place no connect

### 6.1.10 Place port



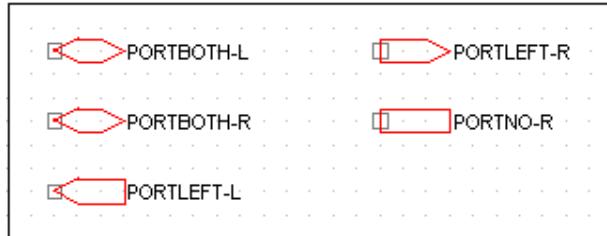
Hình 6.26 Công cụ Place port



Hình 6.27 Kết nối các chân sử dụng công cụ Place wire

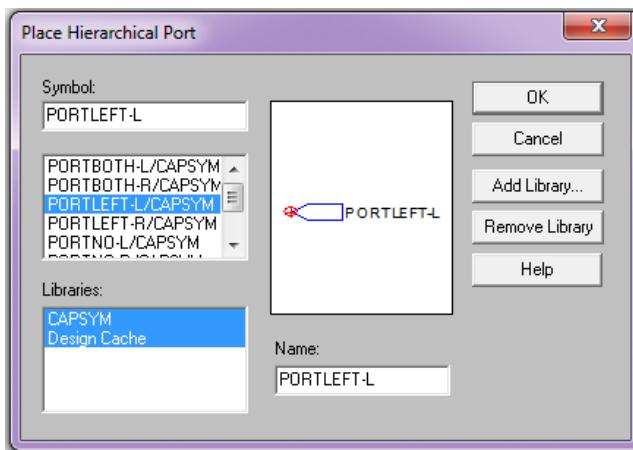
Ở sơ đồ mạch nguyên lý như Hình 6.27 chúng ta thấy khi kết nối các chân LE, OE của các IC 74HC573 với nhau ta sử dụng công cụ Place wire để kết nối. Như vậy sẽ gây

khó khăn trong việc kiểm tra mạch nguyên lý nếu các linh kiện này đặt cách xa nhau, chúng ta có thể dùng công cụ Place port để vẽ các kết nối này một cách đơn giản hơn.



Hình 6.28 Các ký hiệu Place port

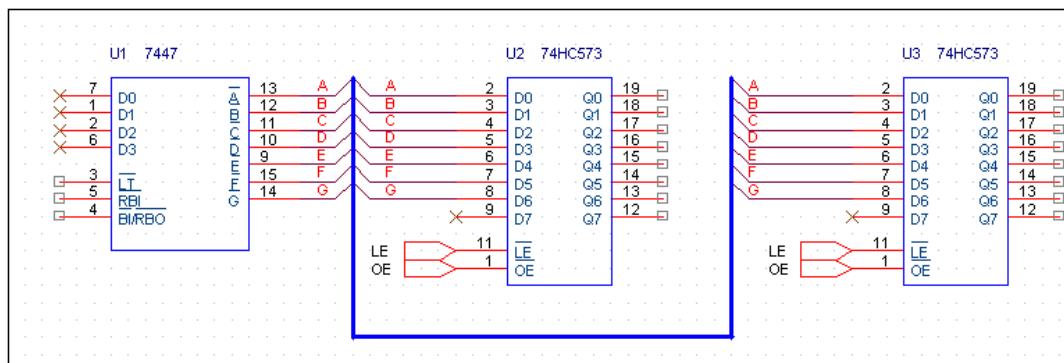
Sau khi chọn công cụ Place port thì hộp thoại Place hierarchical port xuất hiện, chúng ta có thể chọn loại port thích hợp trong thư viện CAPSYM như Hình 6.29.



Hình 6.29 Hộp thoại Place hierarchical port

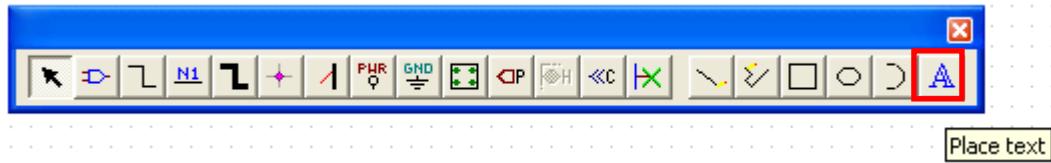
Để đặt tên port chúng ta double click vào phần chữ của port, sau đó nhập tên port vào cửa sổ Value, chọn OK để kết thúc. Ngoài ra chúng ta còn có thể thay đổi cỡ chữ, font chữ, màu sắc tùy ý.

**Chú ý:** Hai ký hiệu port có thể khác nhau nhưng phần tên của port giống nhau thì được hiểu là kết nối với nhau.



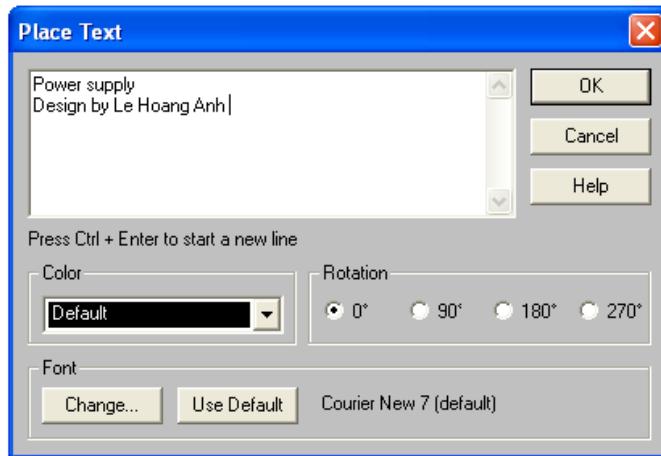
Hình 6.30 Sử dụng công cụ Place port để kết nối các chân linh kiện

### 6.1.11 Place text



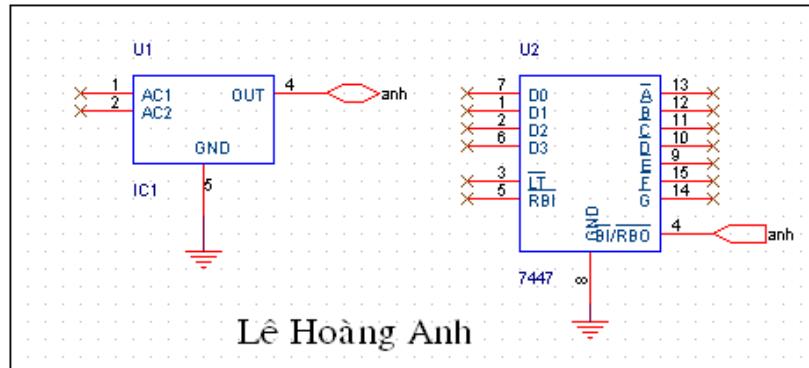
Hình 6.31 Công cụ Place text

Công cụ Place text dùng để chèn một đoạn văn bản vào sơ đồ mạch nguyên lý.



Hình 6.32 Hộp thoại Place text

Sau khi chọn công cụ hộp thoại Place text xuất hiện như Hình 6.32, chúng ta nhập nội dung đoạn văn bản cần chèn vào cửa sổ Place text, ngoài ra chúng ta có thể thay đổi font chữ, góc quay và có thể gõ đoạn văn bản bằng tiếng Việt như Hình 6.33



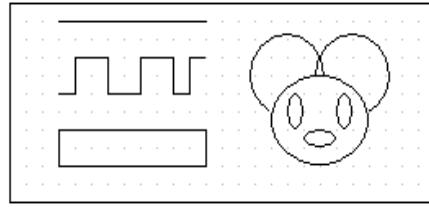
Hình 6.33 Chèn đoạn văn bản vào trang vẽ

### 6.1.12 Place line, Place polyline, Place rectangle, Place ellipse, Place arc



Hình 6.34 Các công cụ đồ họa

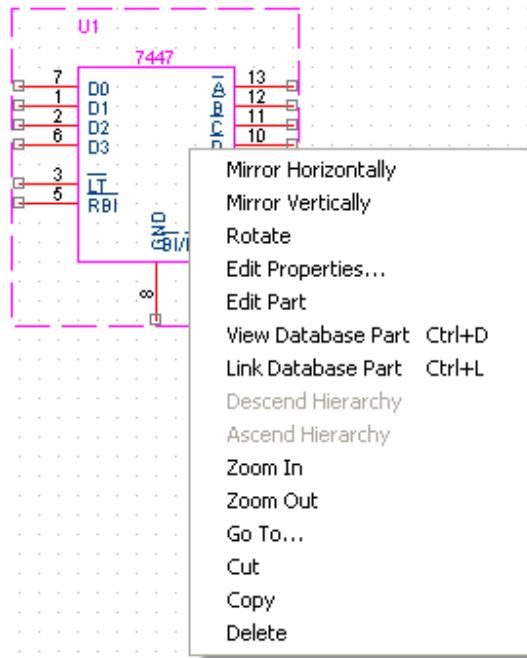
Đây là các công cụ có chức năng đồ họa giúp chúng ta tạo ra các hình vẽ như đường thẳng, đường gấp khúc, hình chữ nhật, hình tròn và đường cong như trong Hình 6.35.



Hình 6.35 Các hình vẽ được tạo bởi công cụ đồ họa

## 6.2 Chính sửa linh kiện

Để chỉnh sửa linh kiện chúng ta sử dụng công cụ Select chọn linh kiện cần chỉnh sửa, click chuột phải chọn một trong các chức năng như trong Hình 6.36 [2].



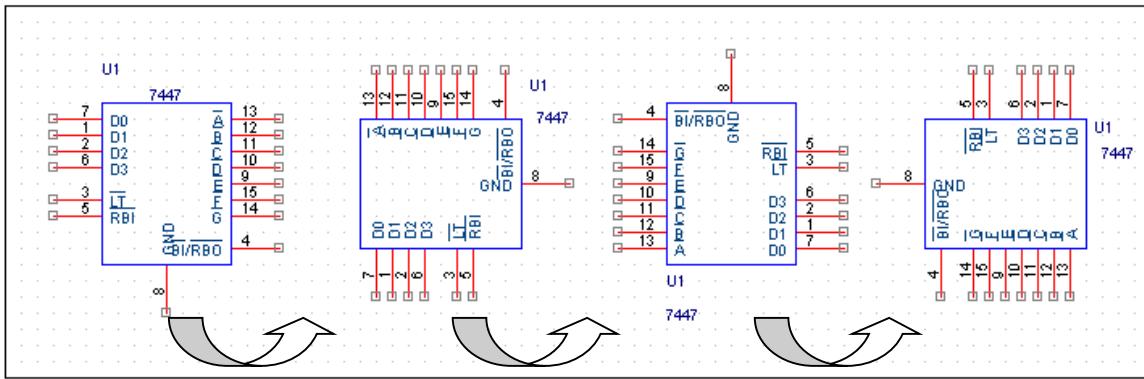
Hình 6.36 Các chức năng chỉnh sửa linh kiện

### 6.2.1 Xoay linh kiện (Rotate)

Chọn kiêm cần chỉnh sửa, click chuột phải chọn Rotate hoặc sử dụng phím “R” để xoay linh kiện theo hướng cần thiết như trong Hình 6.37. Mỗi lần tác động linh kiện sẽ xoay một góc 90°.

### 6.2.2 Lấy đối xứng linh kiện theo phương ngang (Mirror Horizontally)

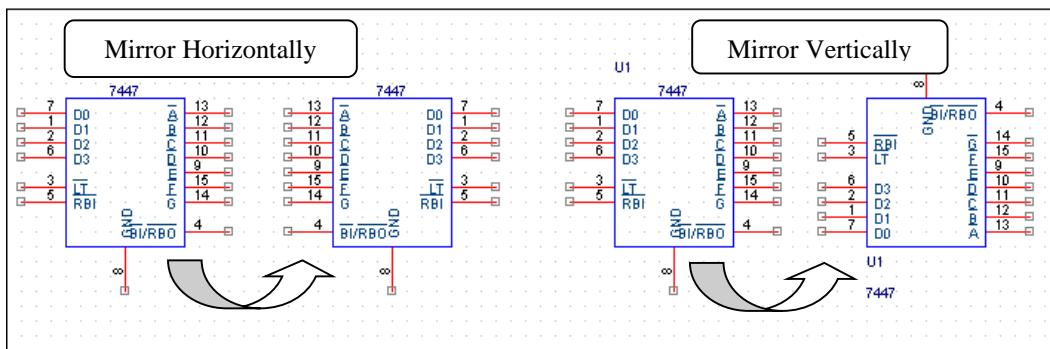
Chức năng Mirror Horizontally được sử dụng để lấy đối xứng linh kiện theo chiều ngang như trong Hình 6.38.



Hình 6.37 Xoay linh kiện

### 6.2.3 Lấy đối xứng linh kiện theo phương dọc (Mirror Vertically)

Chức năng Mirror Vertically được sử dụng để lấy đối xứng linh kiện theo chiều dọc như trong Hình 6.38.



Hình 6.38 Chức năng Mirror Horizontally và Mirror Vertically

### 6.2.4 Chính sửa chân linh kiện (Edit part)

Trong thiết kế để người đọc có thể dễ dàng kiểm tra sơ đồ mạch nguyên lý thì các linh kiện được sắp xếp hoặc thay đổi vị trí cũng như thuộc tính của các chân khi kết nối với các linh kiện khác. Để chỉnh sửa chân linh kiện chúng ta chọn mục Edit part, lúc này cửa sổ chỉnh sửa linh kiện được mở ra với các công cụ như Hình 6.39.

#### 6.2.4.1 Select

Để tác động lên các chân ta chọn công cụ Select.

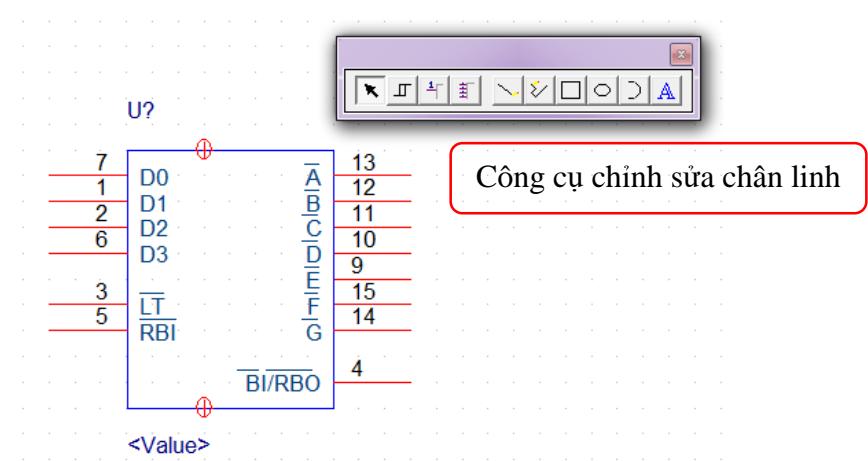
#### 6.2.4.2 Place IEEE symbol

Đây là công cụ dùng để thêm các ký hiệu chân theo tiêu chuẩn của tổ chức IEEE.

#### 6.2.4.3 Place pin, Place pin array

Để thêm từng chân chúng ta sử dụng công cụ Place pin hoặc Place pin array để thêm một dãy chân vào linh kiện.

Các công cụ còn lại có chức năng đồ họa như đã giới thiệu ở phần 6.1.3.

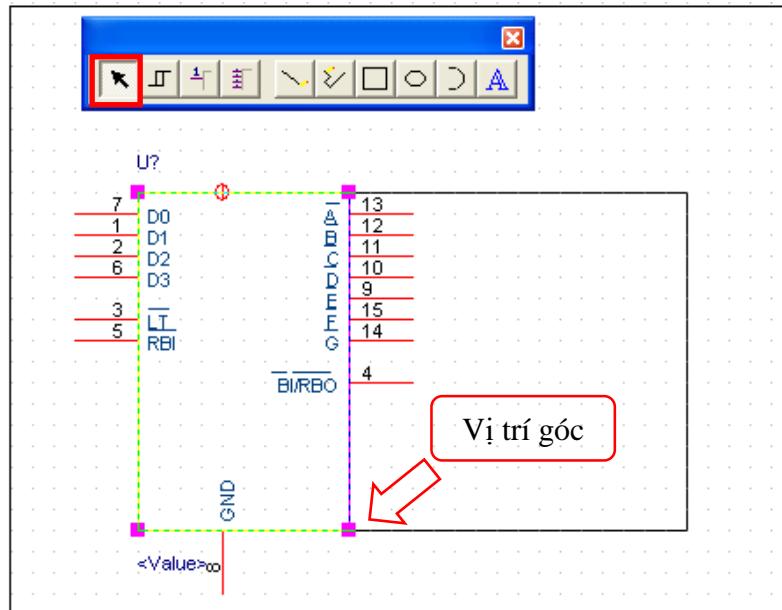


Hình 6.39 Cửa sổ chỉnh sửa linh kiện

#### 6.2.4.4 Chỉnh sửa linh kiện

##### a. Thay đổi kích thước đường bao và vị trí chân linh kiện

Sử dụng công cụ Select, chọn đường bao linh kiện, click chuột vào vị trí các góc của đường bao, giữ và rê chuột để mở rộng hoặc thu nhỏ kích thước linh kiện như Hình 6.40.

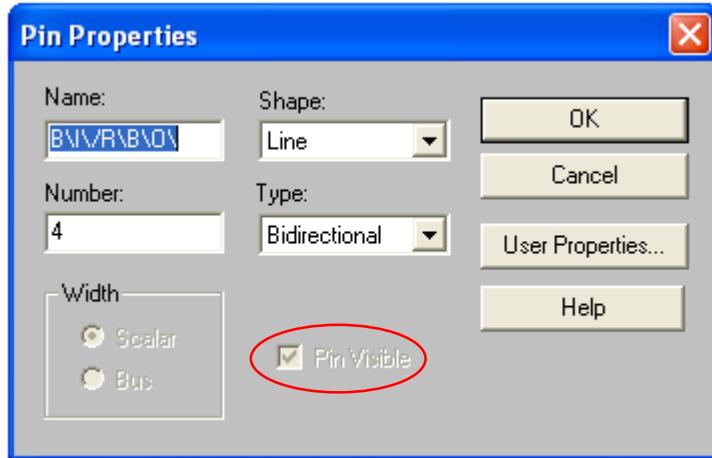


Hình 6.40 Thay đổi kích thước đường bao linh kiện

Tương tự như trên để thay đổi vị trí các chân chúng ta click và giữ chuột vào chân linh kiện cần thay đổi sau đó di chuyển đến vị trí mới rồi thả chuột.

## b. Thay đổi thuộc tính chân linh kiện

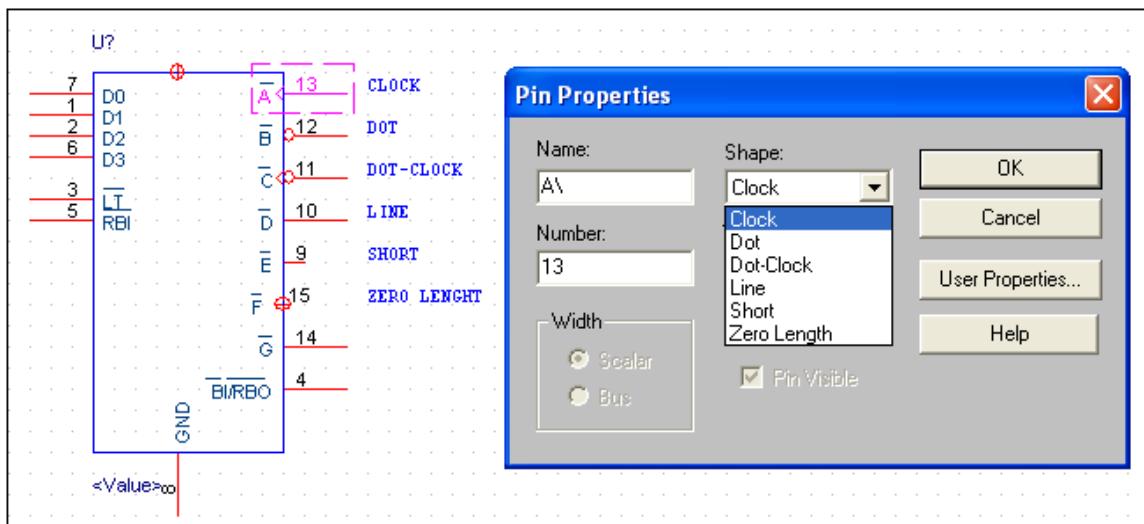
Double click vào chân linh kiện cần thay đổi, khi đó hộp thoại Pin properties xuất hiện như Hình 6.41.



Hình 6.41 Hộp thoại Pin properties

Để thay đổi tên và số thứ tự chân linh kiện chúng ta nhập tên mới và số thứ tự chân vào mục Name và Number.

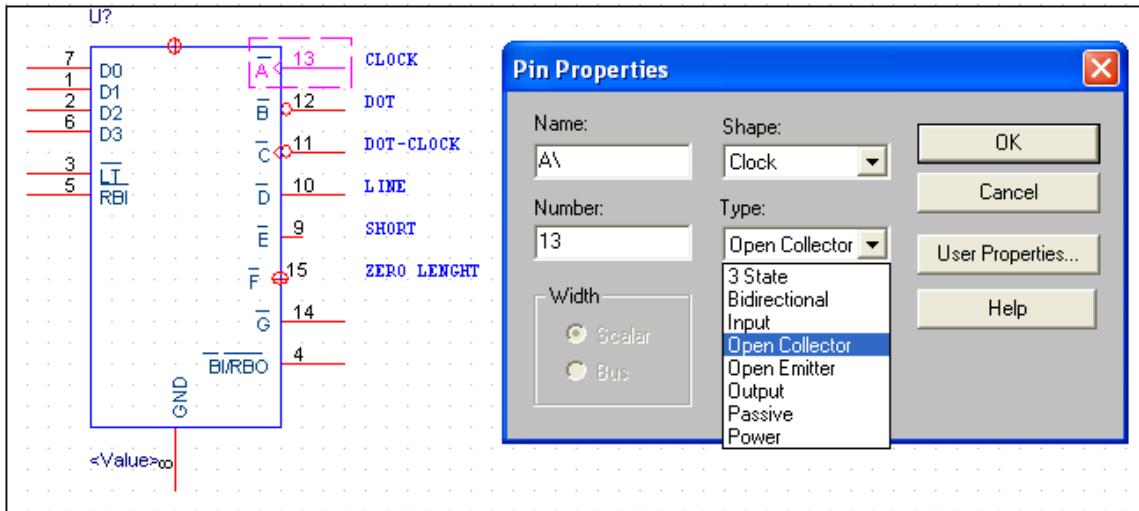
**Chú ý:** để tạo ra ký hiệu “đảo” giống chân số 3 ( $\overline{LT}$ ) như trong Hình 6.42 chúng ta phải thêm dấu “\” sau mỗi ký tự.



Hình 6.42 Hình dạng các loại chân theo tiêu chuẩn IEEE

Để thay đổi hình dạng chân linh kiện, chúng ta vào mục Shape và chọn các hình dạng chân thích hợp như Hình 6.42.

Tương tự như trên để chọn đặc tính điện cho chân linh kiện chúng ta vào mục Type và chọn một trong số các loại thuộc tính cho chân linh kiện như chân dạng 3 trạng thái (3 state), ngõ vào (input), ngõ ra (output), cực thu đê hở (open collector), nguồn (power)... như trong Hình 6.43.



Hình 6.43 Các thuộc tính điện của chân linh kiện

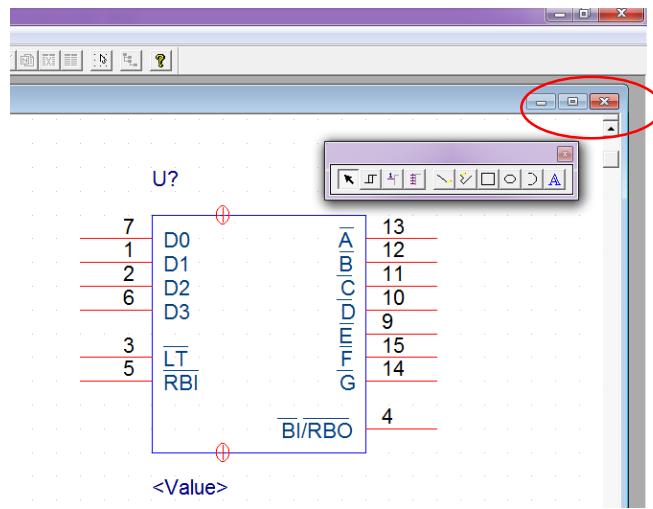
**Chú ý:** Sau khi thay đổi chúng ta phải chọn vào mục Pin visible như ở Hình 6.41 để có thể nhìn thấy sự thay đổi thuộc tính các chân khi kết thúc việc chỉnh sửa.

Sau khi chỉnh sửa linh kiện xong, chúng ta đóng cửa sổ Edit part lại như Hình 6.44, hộp thoại Save part instance xuất hiện như trong Hình 6.45. Chúng ta sẽ có 3 lựa chọn chính.

- Chọn Update current nếu chúng ta muốn thay đổi duy nhất một linh kiện đang chỉnh sửa.
- Chọn Update all nếu chúng ta muốn thay đổi linh kiện đang chỉnh sửa và cả những linh kiện cùng loại khác. Ví dụ như trong mạch chúng ta có 5 con IC 7447 chúng ta chỉ cần chỉnh sửa một con sau đó chọn Update all để lưu thay đổi cho tất cả 5 IC này mà không cần lặp lại việc chỉnh sửa.
- Chọn Discard nếu bạn muốn bỏ qua phần chỉnh sửa linh kiện.

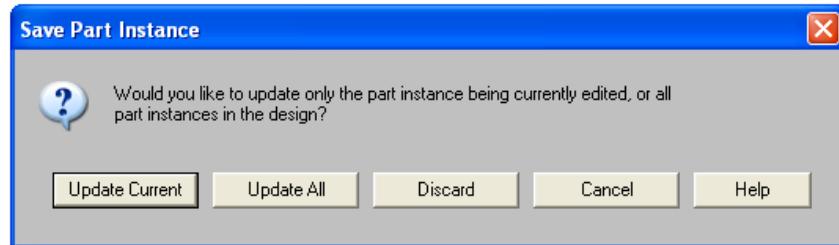
### 6.3 Thay đổi kích thước trang vẽ mạch nguyên lý

Để thay đổi kích thước trang vẽ mạch nguyên lý chúng chọn công cụ *Option>Schematic Page Properties>Page size*, sau đó chọn kích thước trang vẽ thích hợp như trong Hình 6.45 với các kích thước tương ứng A-A<sub>4</sub>, B-A<sub>3</sub>, C-A<sub>2</sub>, D-A<sub>1</sub>, E-A<sub>0</sub> [2].

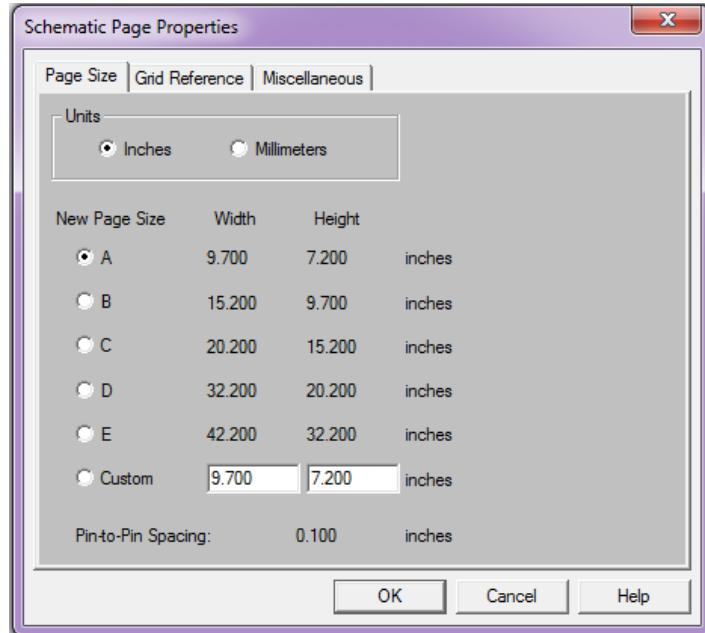


Vị trí đóng  
cửa sổ  
Edit part

Hình 6.44 Cửa sổ Edit part



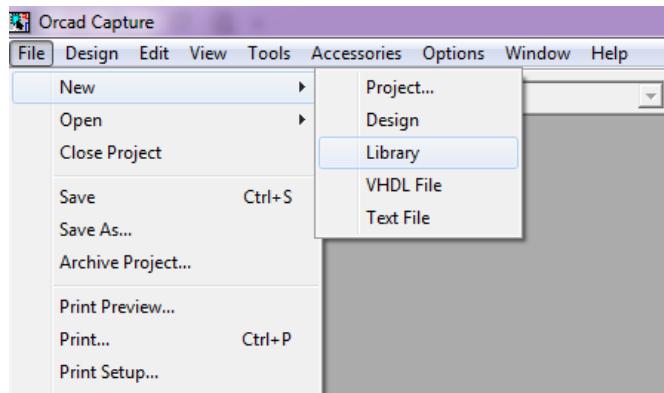
Hình 6.45 Hộp thoại Save part instance



Hình 6.46 Hộp thoại thay đổi kích thước trang vẽ

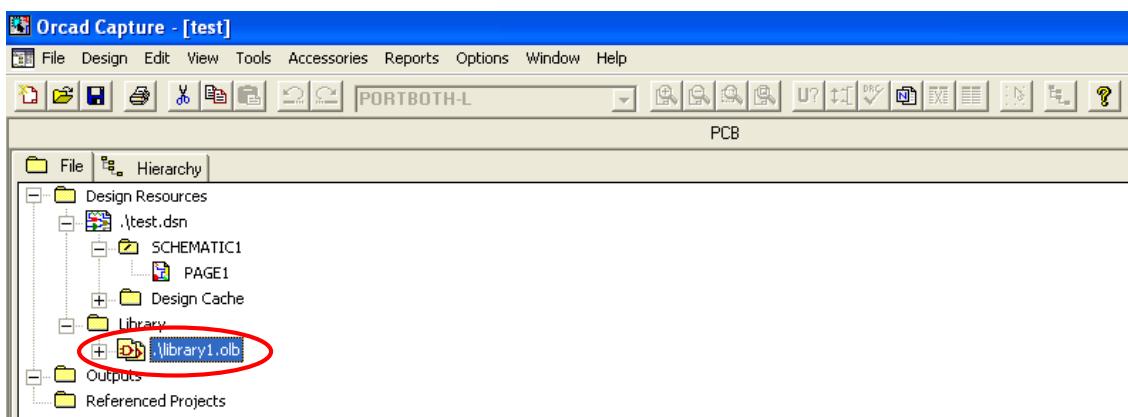
#### 6.4 Tạo linh kiện mới

Số lượng linh kiện trong các thư viện có sẵn của phần mềm là giới hạn do đó trong quá trình thiết kế chúng ta sẽ phải tự tạo ra các linh kiện mới. Từ cửa sổ Project manager chọn *File>New>Library* như Hình 6.47 [2].



Hình 6.47 Tạo thư viện chứa linh kiện mới

Tại thư mục Library trong cửa sổ Project manager xuất hiện thư mục con Library1.olb như trong Hình 6.48.



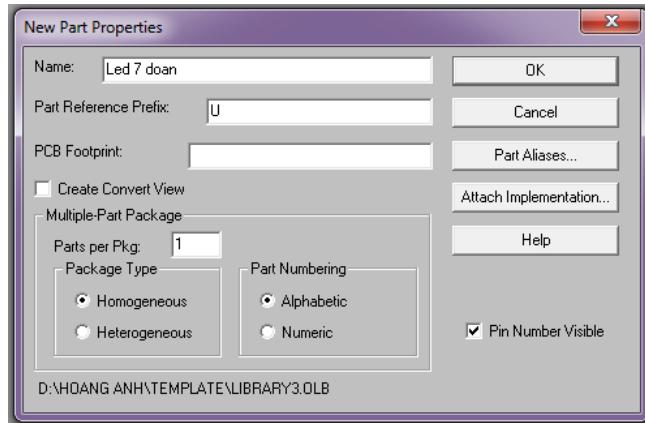
Hình 6.48 Thư viện chứa linh kiện tạo mới

Chọn thư viện Library.olb, click chuột phải chọn New part. Hộp thoại New part properties xuất hiện, chúng ta nhập tên linh kiện cần tạo tại mục Name như Hình 6.49 và chọn OK.

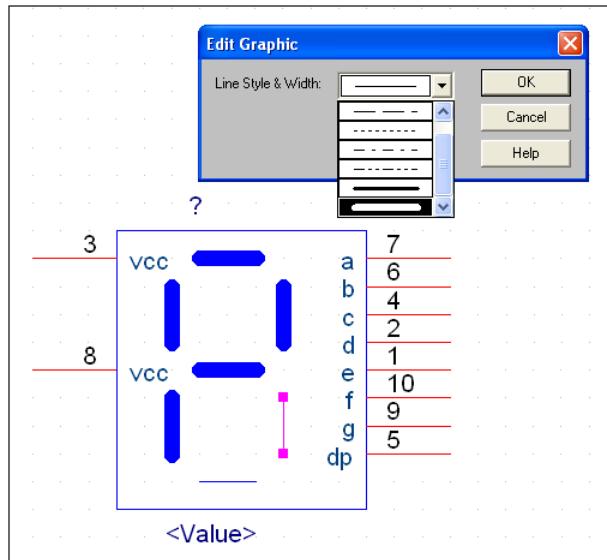
Cửa sổ tạo linh kiện mới xuất hiện với các công cụ tạo linh kiện đã được giới thiệu như ở phần chỉnh sửa linh kiện mục 6.2.5.5.

Ví dụ: Tạo mới linh kiện LED 7 đoạn

Chúng ta sử dụng công cụ Place rectangle để vẽ đường bao linh kiện, công cụ Place line để tạo ra các đoạn, tạo chân bằng công cụ Place pin hoặc Place pin array. Để thay đổi thuộc tính các đối tượng chúng ta chọn đối tượng, click chuột phải chọn Edit properties hoặc double click vào đối tượng và chọn các thuộc tính thích hợp như tên, số thứ tự, hình dạng và loại chân như đã trình bày trong phần chỉnh sửa linh kiện mục 6.2.5.5.



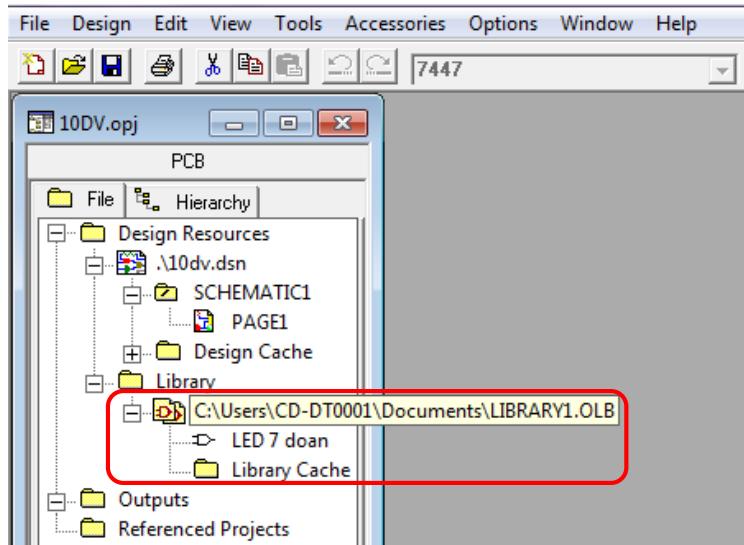
Hình 6.49 Hộp thoại New part properties



Hình 6.50 Tạo LED 7 đoạn

Sau khi tạo linh kiện xong chúng ta đóng cửa sổ tạo linh kiện và lưu linh kiện mới tạo vào thư viện. Nếu thành công tại thư mục Library chúng ta sẽ nhìn thấy linh kiện vừa tạo trong thư viện LIBRARY1.OLB. Nếu thư viện LIBRARY1.OLB không lưu tại thư mục cài đặt chương trình (C:\Program Files\Orcad\Capture\Library) mà lưu tại một thư mục khác thì đường dẫn lưu trữ thư viện sẽ hiển thị trong cửa sổ Project manager. Chúng ta có thể quan sát được các linh kiện mới tạo trong thư viện LIBRARY1.OLB như Hình 6.51.

**Chú ý:** Chúng ta cần biết đường dẫn lưu trữ thư viện chứa linh kiện vừa tạo để có thể thêm thư viện này khi sử dụng công cụ Place part thì mới có thể lấy linh kiện vừa tạo ra trang vẽ nguyên lý.



Hình 6.51 Đường dẫn lưu trữ thư viện chứa linh kiện vừa tạo

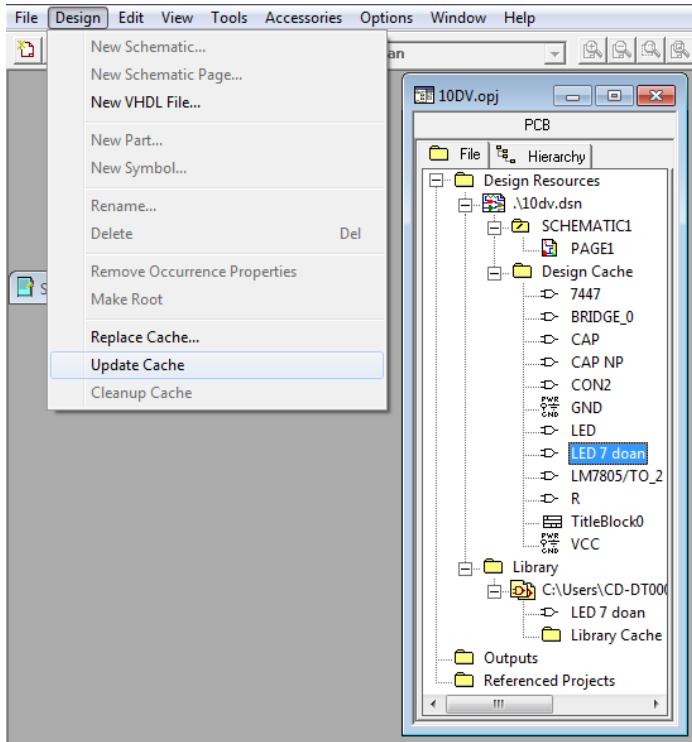
Nếu các linh kiện tạo mới này không phù hợp và chúng ta muốn chỉnh sửa trong thư viện đã lưu (LIBRARY1.OLB) chúng ta có thể double click vào tên linh kiện này trong thư mục Library như trong Hình 6.51 để quay lại cửa sổ tạo mới linh kiện và chỉnh sửa lại cho phù hợp hơn.

Nhưng vấn đề xảy ra là khi trở lại và lấy linh kiện này ra trang vẽ thì linh kiện lại không thay đổi mặc dù trong thư viện đã chỉnh sửa thành công. Do các linh kiện được lấy ra trang vẽ sẽ được lưu trữ trong thư mục Design Cache, nếu chúng ta sử dụng những linh kiện đã lấy ra trang vẽ lần thứ hai thì phần mềm sẽ tự động lấy linh kiện từ thư mục Design Cache. Để giải quyết vấn đề trên chúng ta cần cập nhật sự thay đổi của các linh kiện trong thư mục Design Cache bằng cách chọn linh kiện cần cập nhật sau đó vào menu Design chọn Update Cache như trong Hình 6.52.

## 6.5 Các bước thiết lập chuẩn bị cho việc thiết kế mạch in trên Layout

Sau khi hoàn thành tất cả các kết nối, tiếp theo là các bước chuẩn bị để tạo file nestlist [1]:

- Gán footprint cho tất cả linh kiện
- Tạo nhóm cho các linh kiện có liên hệ với nhau
- Ghi chú
- Kiểm tra lỗi
- Tạo file netlist



Hình 6.52 Update Cache

### 6.5.1 Gán footprint cho linh kiện trong Capture

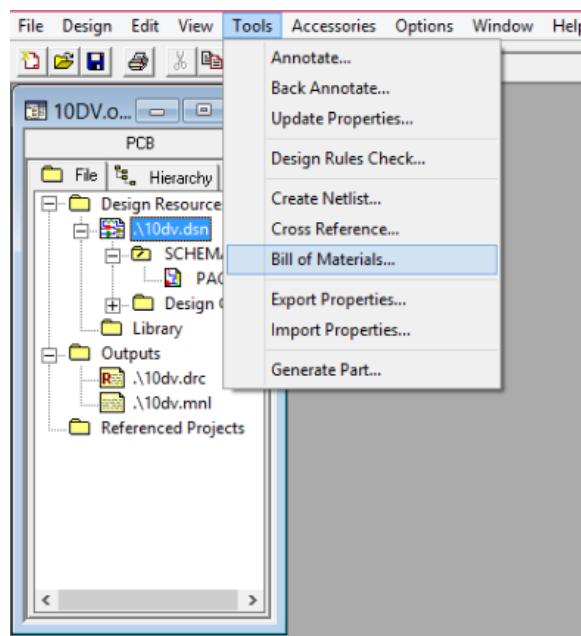
Chúng ta gán footprint cho linh kiện bằng cách double click vào linh kiện cần gán để mở cửa sổ Properties spreadsheet, tiếp theo kéo thanh trượt để tìm mục PCB footprint như Hình 6.53. Chúng ta có thể gán footprint cho tất cả linh kiện cùng một lúc bằng cách chọn tất cả linh kiện trong trang vẽ (click và giữ chuột để tạo ô hình vuông bao tất cả các linh kiện), sau đó click phải chuột chọn Edit Properties. Để có thể chuyển chế độ quan sát bảng thuộc tính của linh kiện theo chiều ngang hoặc theo chiều dọc chúng ta click chuột phải vào góc bên trái phía trên, sau đó chọn Pivot.

Thay đổi bảng thuộc tính linh kiện là cách đơn giản và nhanh chóng với các thiết kế nhỏ nhưng sẽ không hiệu quả đối với các thiết kế lớn. Đối với các thiết kế lớn thì phương pháp hiệu quả hơn đó là tạo ra file BOM (Bill of Materials), file này liệt kê tất cả các footprint vào trong bảng Excel. Bảng này được in và sử dụng để tham khảo trong quá trình tìm footprint thích hợp cho linh kiện từ thư viện footprint của phần mềm Layout.

	Pivot	TIC1 : PAGE1
Class		
Description		
Group		0.Normal
Display...		
Implementation		
Implementation Path		
Implementation Type	<none>	
Location X-Coordinate	200	
Location Y-Coordinate	150	
Name	I00025	
Part Reference	D1	
PCB Footprint		
Power Pins Visible		
Primitive	DEFAULT	
Reference	D1	
Source Library	E:\HOANG ANH\TEMP	
Source Package	BRIDGE_0	
Source Part	BRIDGE_0.Normal	
Value	BRIDGE	

Hình 6.53 Cửa sổ Properties spreadsheet của linh kiện

Để tạo file BOM chúng ta vào cửa sổ Project Manager, chọn biểu tượng Design sau đó vào menu Tools trên thanh Tool bar chọn Bill of Materials như trong Hình 6.54. Trong hộp thoại Bill of Materials thêm đoạn văn bản “\tFootprint” vào mục Header và thêm đoạn “\t{PCB Footprint}” vào mục Combined property string để hiện thị thêm mục Footprint trong file BOM. Chọn mục Open in Excel đối với các phần mềm Orcad phiên bản cao hơn (ví dụ OrCAD 10.0 trở lên). Chúng ta có thể đặt tên và chọn đường dẫn lưu trữ file BOM bằng cách click chuột vào mục Browse... và chọn OK để kết thúc việc thiết lập.



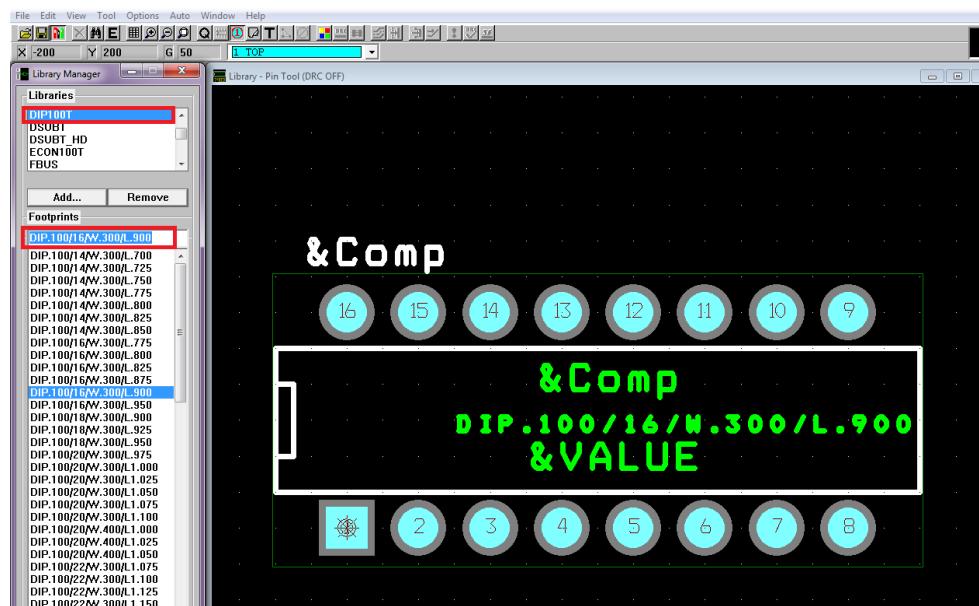
Hình 6.54 Tạo file BOM

Bill of materials				
Reference	Value	Capture part	Default footprint	Layout library: footprint
J1	3-pin	CON5		BCON100T: BLKCON.100/VH/TM1SQS/W.100/5
C1, C2	0.1uF	CAP POL		TM_RAD: RAD/.100X.100/LS.100/.031
C3, C4	0.1uF	CAP NP		SM.LLB: SMIC_1206
U1	x741	uA741	DIP.100/8/W.300/L.450	SOG.LLB: SOG.050/8/WG.244/L200
R1-R4	1k	R		SM.LLB: SM/R_1210

Hình 6.55 Ví dụ về một file BOM

Để tìm footprint cho linh kiện trong thư viện footprint chúng ta mở phần mềm Layout sau đó chọn Library Manager từ menu Tools. Chọn thư viện chứa footprint, chọn footprint cần gán cho linh kiện, copy (Ctrl+C) tên footprint này sau đó quay lại phần mềm Capture. Để gán footprint cho linh kiện chúng ta chọn linh kiện trên trang vẽ, click phải chuột chọn Edit Properties... để mở bảng thuộc thuộc tính của linh kiện. Trong mục PCB Footprint chúng ta dán (Ctrl+V) tên footprint cần gán cho linh kiện mà chúng ta đã copy trong Library Manager như Hình 6.57. Chúng ta cũng có thể gán footprint cho nhiều linh kiện có footprint giống nhau như các điện trở, các tụ điện... cùng lúc bằng cách giữ phím Ctrl và chọn các linh kiện này sau đó click chuột phải và chọn Edit Properties và copy tên footprint cần gán cho linh kiện.

Sau khi gán footprint cho các linh kiện chúng ta có thể tạo file BOM khác để kiểm tra xem có linh kiện nào chưa được gán footprint hay không.



Hình 6.56 Copy tên footprint cần gán cho linh kiện

A SCHEMATIC1 : PAGE1	
Color	Default
Designator	
Graphic	74LS138.Normal
ID	
Implementation	
Implementation Path	
Implementation Type	<none>
Location X-Coordinate	340
Location Y-Coordinate	300
Name	INS1895
Part Reference	U5
PCB Footprint	DIP.100/18/W.300/L.900
Power Pins Visible	
Primitive	DEFAULT
Reference	U5
Source Library	C:\ICADENCE\SPB_16...
Source Package	74LS138
Source Part	74LS138.Normal
Value	74LS138

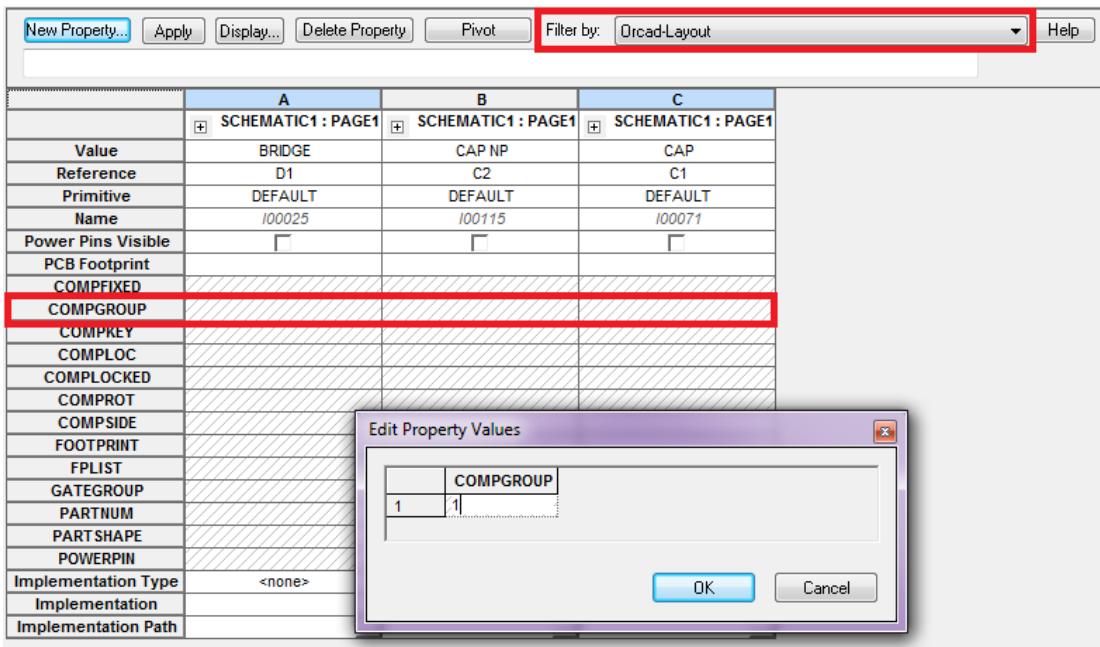
Hình 6.57 Gán footprint cho linh kiện trong Capture

### 6.5.2 Tạo nhóm cho các linh kiện có liên hệ với nhau

Việc nhóm các linh kiện có liên hệ với nhau trong sơ đồ mạch nguyên lý có thể làm cho việc sắp xếp footprint của các linh kiện dễ dàng hơn trong Layout. Nếu không tạo các nhóm thì sau khi chọn footprint ở phần AutoECO xong các linh kiện cùng loại sẽ được sắp xếp gần nhau trong trang vẽ. Cách thức sắp xếp như vậy sẽ gây khó khăn cho việc vẽ các đường mạch in. Các linh kiện được nhóm lại với nhau trong Capture và thông tin về nhóm được xuất qua phần mềm Layout thông qua file .MNL trong quá trình AutoECO.

Để thêm các linh kiện vào nhóm chúng ta chọn các linh kiện cần thêm, click chuột phải chọn Edit Properties. Trong bảng thuộc tính linh kiện tại mục Filter by chúng ta chọn Orcad Layout. Tiếp theo trong mục COMPGROUP chúng ta click chuột phải chọn Edit và trong hộp thoại Edit Property Values chúng ta nhập số thứ tự nhóm cần tạo. Sau đó chọn OK để kết thúc việc tạo nhóm cho các linh kiện.

Chúng ta có thể thêm thông tin nhóm của các linh kiện trong file BOM bằng cách thêm đoạn văn bản “\tCOMPGROUP” vào trong mục Header và “\t{COMPGROUP}” vào mục Combined Property String.

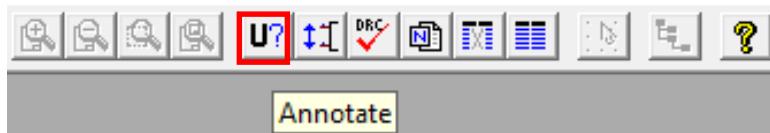


Hình 6.58 Tạo nhóm cho các linh kiện

### 6.5.3 Ghi chú (Annotate)

Trong quá trình vẽ mạch nguyên lý để tiết kiệm thời gian chúng ta thường copy những linh kiện sẵn có trên trang vẽ, như vậy sẽ có nhiều linh kiện trùng tên điều này gây khó khăn trong việc kiểm tra mạch và tạo ra lỗi nếu chúng ta sử dụng công cụ kiểm tra lỗi tự động (DRC:Design rules check). Để sắp xếp thứ tự các linh kiện tăng dần (R1, R2...; C1, C2...) chúng ta sử dụng công cụ Annotate.

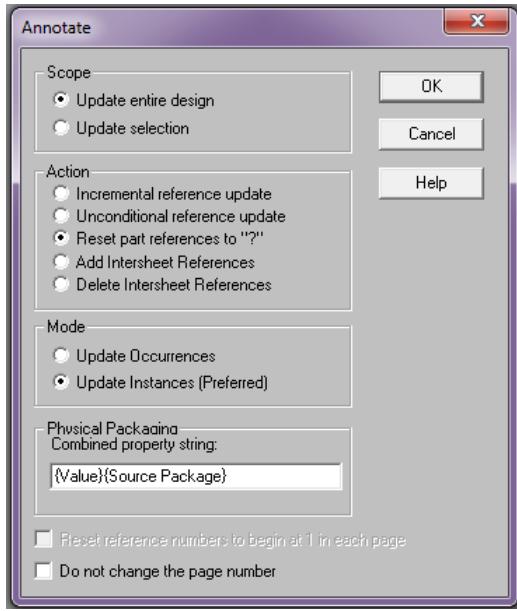
Từ cửa sổ Project manager chúng ta chọn trang vẽ cần ghi chú thứ tự linh kiện, sau đó chọn công cụ Annotate như Hình 6.59.



Hình 6.59 Công cụ tạo ghi chú Annotate

Hộp thoại Annotate xuất hiện, trong mục Action chúng ta chọn Reset part references to "?" như trong Hình 6.60, tiếp theo chọn OK để đổi thứ tự các linh kiện về dạng "R?", "C?", "U?"... Thông báo yêu cầu ghi chú cho linh kiện và lưu thiết kế lại hay không xuất hiện, chúng ta chọn OK để tiếp tục.

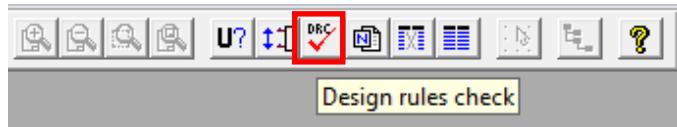
Tiếp theo chúng ta chọn công cụ Annotate một lần nữa, sau đó chọn Incremental reference update ở mục Action và chọn OK để hoàn tất việc tự động ghi chú các linh kiện trong trang vẽ theo thứ tự chỉ số tăng dần từ trái sang phải và từ trên xuống dưới.



Hình 6.60 Hộp thoại Annotate

#### 6.5.4 Kiểm tra lỗi (Design rules check)

Để kiểm tra lỗi trên mạch nguyên lý ta sử dụng công cụ DRC (Design rules check). Từ cửa sổ Project manager chúng ta chọn trang vẽ cần kiểm tra lỗi, chọn công cụ Design rules check như trong Hình 6.61.



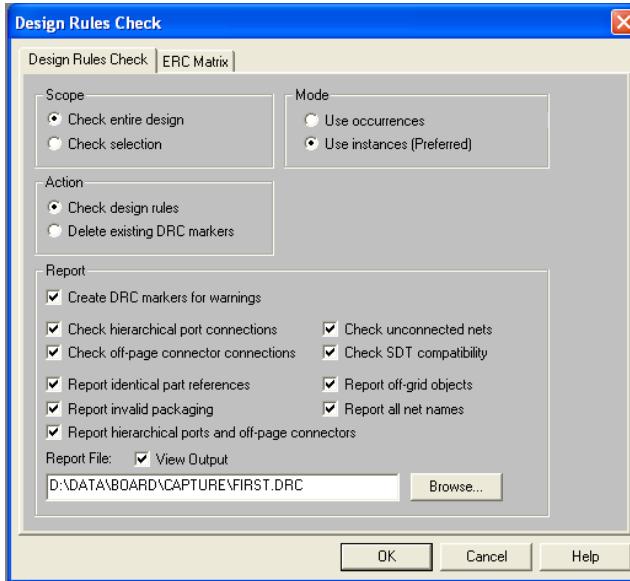
Hình 6.61 Công cụ kiểm tra lỗi

Hộp thoại Design rules check xuất hiện gồm hai Tab chính đó là Design rules check và ERC matrix.

Trong Tab Design rules check ở mục Scope (phạm vi kiểm tra lỗi) chúng ta chọn Check entire design (kiểm tra toàn bộ thiết kế), mục Action chọn Check design rules để kiểm tra lỗi hoặc chọn Delete existing DRC marker để xóa các cảnh báo lỗi trong trang vẽ. Ở mục Report chúng ta có thể chọn chức năng tạo đánh dấu cho các cảnh báo (Create DRC markers for warnings), kiểm tra kết nối sử dụng công cụ Place port (Check hierarchical port connections), kiểm tra kết nối qua trang (Check off-page connector connections), xem file báo lỗi (View output)... và chọn đường dẫn chứa file kiểm tra lỗi trong mục Browse.

Tab ERC matrix cho phép chúng ta thiết lập bằng tay hoặc thiết lập theo mặc định các quy ước về lỗi và cảnh báo khi kết nối giữa các chân của linh kiện có thuộc tính khác nhau. Ví dụ chúng ta có thể quy ước nếu chân loại Output mà kết nối với Power là lỗi thì chúng ta click chuột vào ma trận chọn E (Error) hoặc nếu chân loại Open collector mà kết nối với

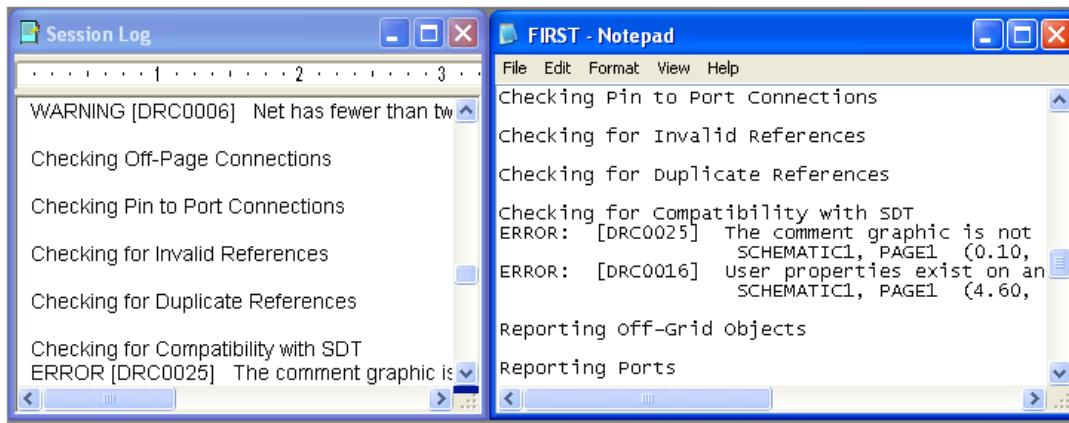
chân Output là cảnh báo thì click chuột vào ma trận chọn W (Warning) như Hình 6.63 hoặc sử dụng các quy ước mặc định bằng cách chọn Restore defaults.



Hình 6.62 Hộp thoại Design rules check

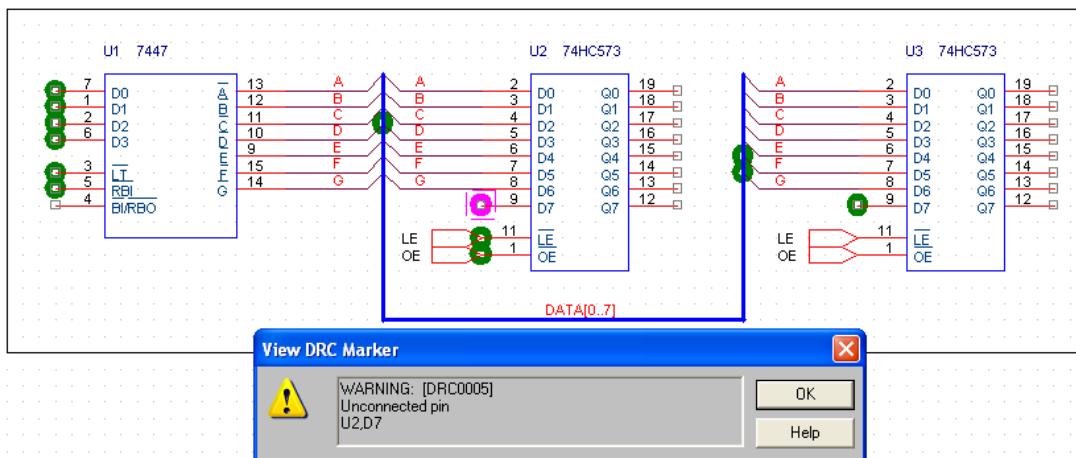
Hình 6.63 Tab ERC matrix

Sau khi kiểm tra xong các lỗi và các cảnh báo sẽ xuất hiện ở cửa sổ Session log hoặc xuất hiện dưới dạng file Notepad nếu ta chọn mục View Output như Hình 6.64



Hình 6.64 Bảng liệt kê lỗi

Đồng thời trên trang vẽ nguyên lý xuất hiện các vị trí đánh dấu lỗi (DRC marker), chúng ta có thể double click vào các vị trí lỗi này để xem thông tin chi tiết các lỗi như Hình 6.65.

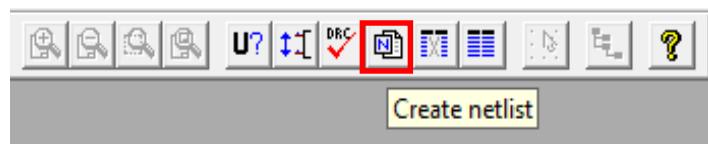


Hình 6.65 Thông tin chi tiết về vị trí lỗi

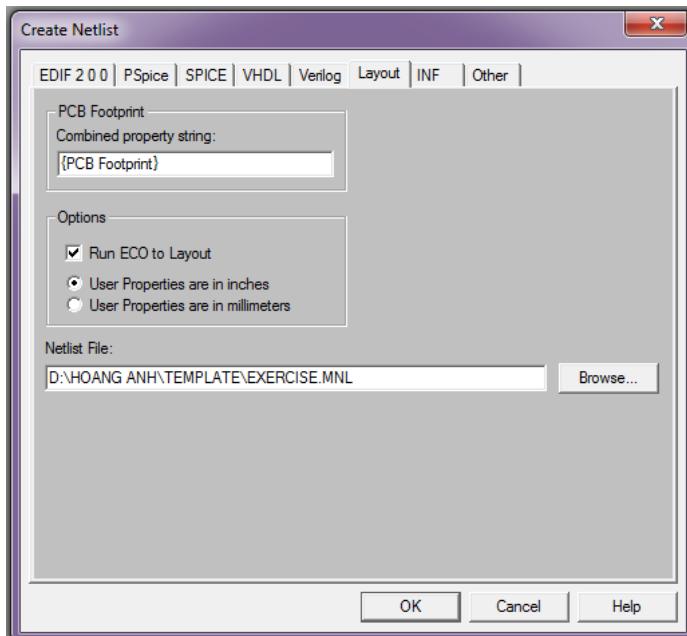
### 6.5.5 Tạo file Netlist

Để có thể liên kết file mạch nguyên lý đã thực hiện ở phần Capture sang Layout cho việc thiết kế mạch in chúng ta phải tạo file Netlist bằng cách chọn công cụ Create netlist trên thanh Tool bar như Hình 6.66.

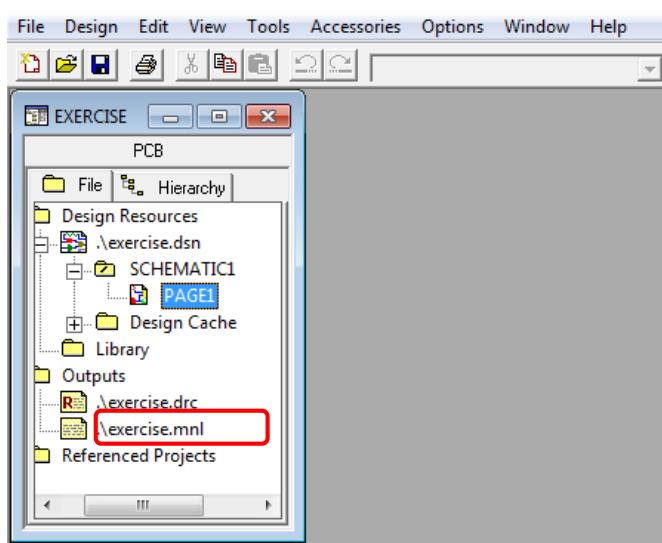
Hộp thoại Create Netlist xuất hiện, chúng ta chọn Tab Layout, chọn Run ECO to Layout, tiếp theo chọn đơn vị đo là inch hoặc milimet cho phù hợp với đơn vị được sử dụng trong Layout, chọn đường dẫn chứa file Netlist và chọn OK. Nếu mạch nguyên lý không có lỗi thì file Netlist sẽ xuất hiện ở cửa sổ Project manager như Hình 6.68.



Hình 6.66 Công cụ tạo file Netlist



Hình 6.67 Hộp thoại tạo file Netlist



Hình 6.68 Tạo file Netlist thành công

### CÂU HỎI ÔN TẬP:

Hãy sử dụng phần mềm OrCAD Capture để vẽ các sơ đồ mạch nguyên lý tham khảo trong phần phụ lục B với các yêu cầu sau:

1. Kích thước trang vẽ theo khổ A (A4).
2. Sắp xếp khoảng cách giữa các linh kiện hợp lý.
3. Tạo ghi chú chỉ số các linh kiện.
4. Kiểm tra lỗi tự động.
5. Tạo file netlist.

## CHƯƠNG 7: THIẾT KẾ SƠ ĐỒ MẠCH IN VỚI ORCAD LAYOUT

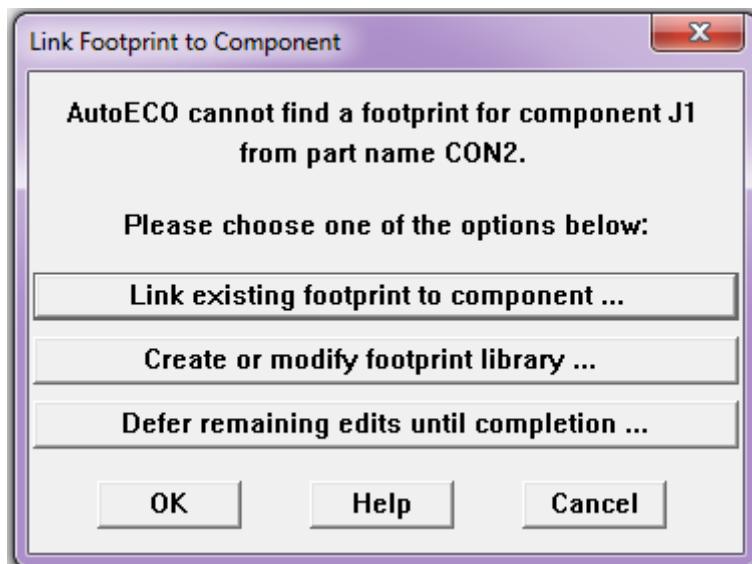
### 7.1 Tạo file Layout mới

Sau khi mở phần mềm Layout chúng ta chọn menu *File>New*. Cửa sổ Layout (unnamed) và hộp thoại Load Template File xuất hiện yêu cầu chọn file định dạng công nghệ chế tạo như đã trình bày trong mục 2.3.1, tại mục Look in chúng ta chọn file định dạng công nghệ DEFAULT.TCH, file này thường được lưu tại thư mục cài đặt phần mềm (C:\Program files\Orcad\Layout\Data\DEFAULT.TCH), tiếp theo chọn Open.

Hộp thoại Load Netlist Source xuất hiện chúng ta nhập đường dẫn thư mục chứa file Netlist được tạo ở phần Orcad Capture.

Sau khi chọn file Netlist hộp thoại Save as file xuất hiện, chúng ta nhập đường dẫn và tên file Layout cần lưu.

Cửa sổ Automatic ECO Utility và hộp thoại Link footprint component xuất hiện, tên linh kiện cần gán footprint được chỉ ra trong hộp thoại Linh footprint component như Hình 7.1 [2]. Tại hộp thoại Link footprint component chúng ta có ba lựa chọn như đã trình bày ở Chương 2 mục 2.3.1.



Hình 7.1 Hộp thoại Link footprint to component

#### 7.1.1 Thư viện footprint trong Layout

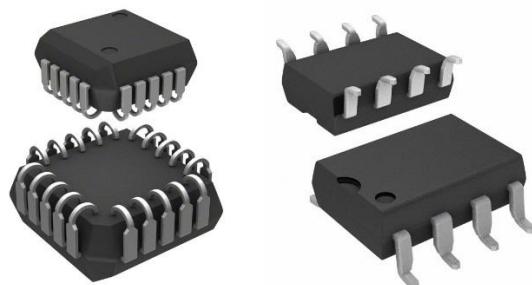
Phần mềm Layout sắp xếp footprint của các linh kiện theo công nghệ đóng gói linh kiện, loại chân và hình dạng linh kiện. Có trên 50 thư viện với hơn 6000 footprint trong phần mềm do đó sẽ rất khó để tìm thấy footprint mong muốn. Để việc tìm kiếm này có hiệu quả chúng ta cần trả lời được 3 câu hỏi quan trọng sau:

1. Linh kiện này thuộc loại nào? (linh kiện rời (discrete), IC hoặc đây là các đầu kết nối (connector))
2. Linh kiện này được gắn lên bo như thế nào? (xuyên lỗ (through-hole), dán (solder mount))
3. Các chân của linh kiện này được đóng gói theo dạng nào? (dạng “J”, xuyên trực (axial) hay hình trụ (radial))

Bảng 7.1 mô tả 50 thư viện footprint trong phần mềm Layout được phân loại theo đóng gói (package) và cách thức hàn linh kiện lên bo mạch. Bằng việc trả lời câu hỏi thứ nhất chúng ta có thể giới hạn việc tìm kiếm ở phạm vi 1 trong 4 hàng của Bảng 7.1. Sau đó trả lời câu hỏi thứ 2 để giới hạn việc tìm kiếm trong 1 cột. Chúng ta có thể tìm thấy thư viện footprint của linh kiện chính là giao điểm giữa hàng và cột trong bảng, một số trường hợp chúng ta cần trả lời câu hỏi thứ 3 để có thể tìm thư viện chính xác hơn.

Ví dụ như IC Op-Amp LM741 có ở cả hai dạng đóng gói, dạng 8 chân xuyên lỗ DIP (dual inline package) và dạng 8 chân dán SOIC (small outline integrated circuit). Chúng ta có thể tìm thấy footprint của linh kiện này trong thư viện DIP100T (DIP.100/8/W.300/L.400) nhưng chúng ta sẽ không tìm thấy thư viện hoặc footprint có tên là SOIC. Phần mềm Layout chứa footprint của các linh kiện SOIC chân cắm có hình dạng cánh chim (gull-wing-type) trong thư viện SOG (small outline gull-wing lead) đó là (SOG.050/8/WG.244/L.200).

*Bảng 7.1*



*Hình 7.2 Linh kiện chân cắm dạng “J” và dạng gull-wing*

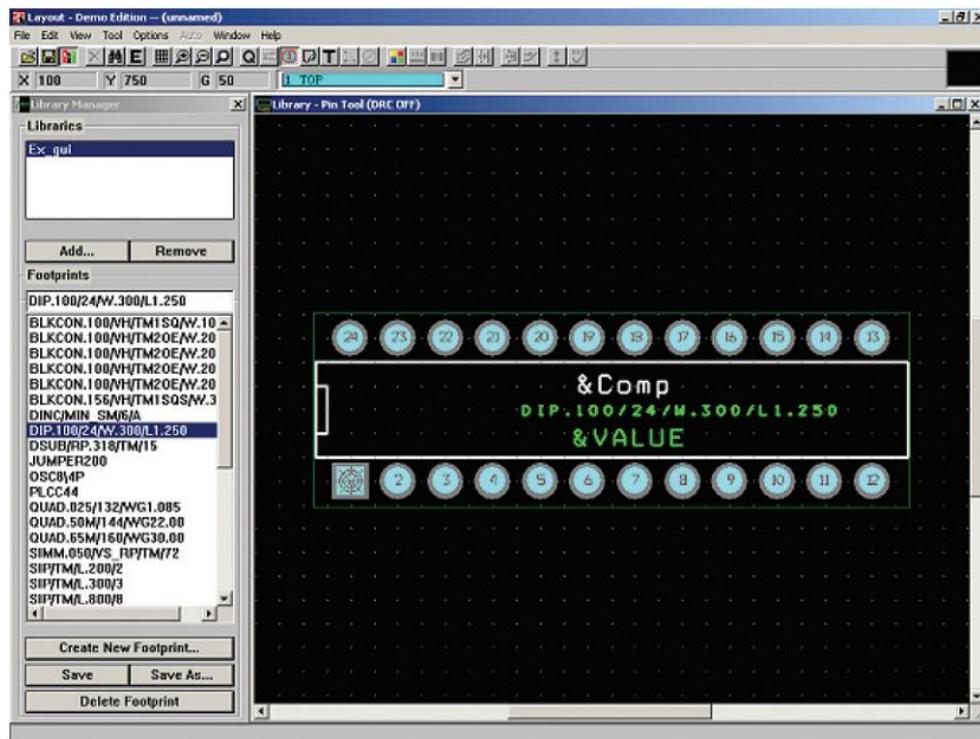
Bảng 7.1 Phân loại thư viện footprint [1]

Method of attachment to board						
Package type	Surface mount	Mixed: surface mount and through-hole	Through-hole	Mixed: through-hole and copper area	Copper area	
Discrete components	SM.LLB	RELAY.LLB	TM_AXIAL.LLB			
		SIP.LLB	TM_CAP_P.LLB			
		TO.LLB	TM_CYLND.LLB			
		VRES.LLB	TM_DIODE.LLB			
			TM_DISC.LLB			
Integrated circuits	BGA.LLB DIP100B.LLB SOG.LLB SOJ.LLB	CLCC.LLB	DIP100T.LLB			
		PLCC.LLB	PGA.LLB			
		QUAD.LLB				
		QUADB.LLB				
Connectors	TELE.LLB		BCON100T.LLB	DIN.LLB	DIMM050F.LLB	
			BCON156T.LLB	PCI.LLB	ISA.LLB	
			DCON050T.LLB	XT.LLB	SIMM050F.LLB	
			DCON085T.LLB		SIMM100F.LLB	
			DSUBT.LLB			
			ECON100T.LLB			
			FBUS.LLB			
			LCON100T.LLB			
			PC104.LLB			
			PCON100T.LLB			
			PCON156T.LLB			
			RF.LLB			
			SBUS.LLB			
			SIMM050T.LLB			
Other			SIMM100T.LLB			
			WCON100T.LLB			
			ZIGZAG.LLB			
		JUMPER.LLB				
		TRAINING.LLB				

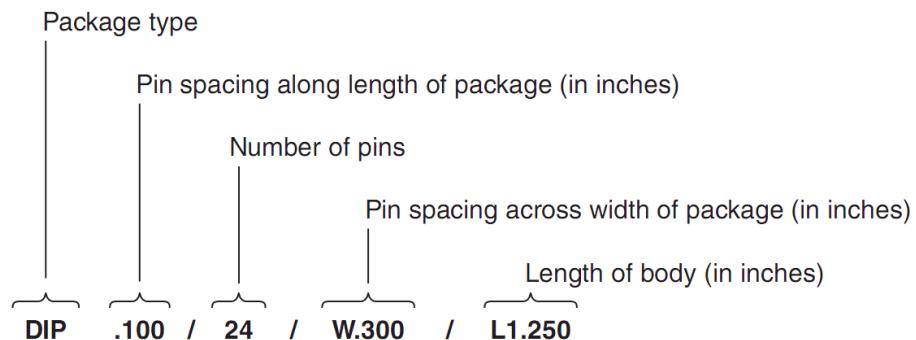
### 7.1.2 Quy ước đặt tên thư viện footprint

Sau khi đã tìm thấy thư viện chứa footprint, bước tiếp theo là chúng ta phải xác định được chính xác footprint cần tìm cho linh kiện với các thông số như số lượng chân, khoảng cách giữa các chân... Quy ước đặt tên thường được viết tắt theo tên của các tổ chức tiêu chuẩn như IPC, JEDEC hoặc EIA. Phần mềm Layout sử dụng một định dạng giống nhau để đặt tên cho các footprint. Để biết thêm thông tin chi tiết về các dạng đóng gói của linh kiện chúng ta có thể tham khảo ở phần phụ lục A.

Ví dụ như footprint của linh kiện 24 chân có đóng gói dạng DIP, có hình dạng như Hình 7.3 là DIP.100/24/W.300/L1.250 được mô tả chi tiết như trong Hình 7.4 và 7.5.

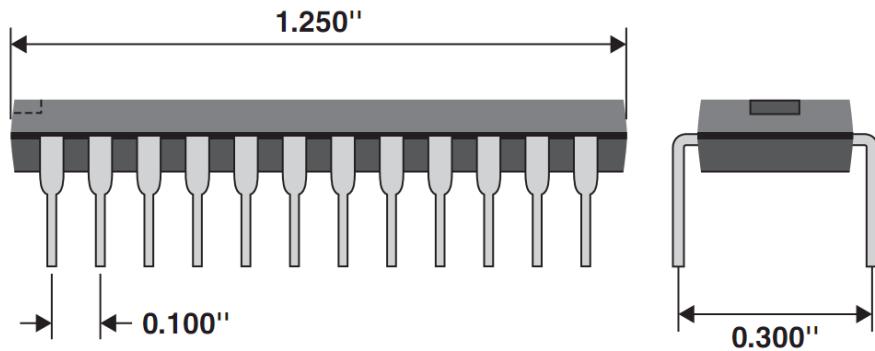


Hình 7.3 Footprint của linh kiện 24 chân đóng gói dạng DIP [1]



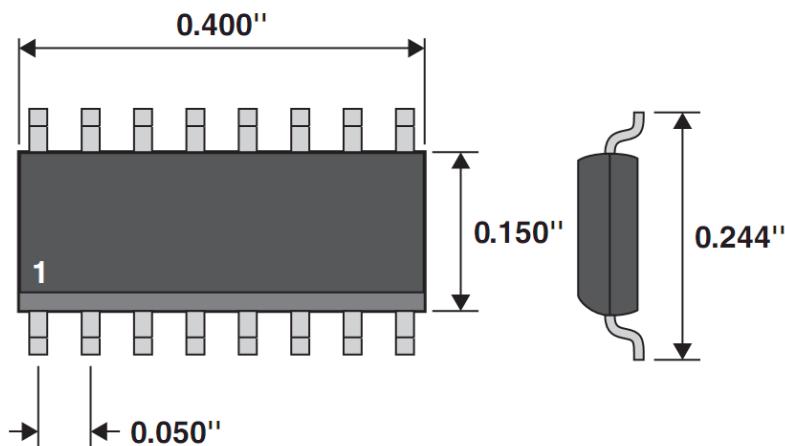
Hình 7.4 Quy ước đặt tên footprint [1]

- Package type: dạng đóng gói (DIP, SOG...)
- Pin spacing along length of package: khoảng cách giữa hai chân liên tiếp nhau theo chiều dài của linh kiện (inch)
- Number of pins: số lượng chân
- Pin spacing across width of package: khoảng cách giữa hai chân theo chiều rộng của linh kiện (inch)
- Length of body: chiều dài linh kiện (inch)

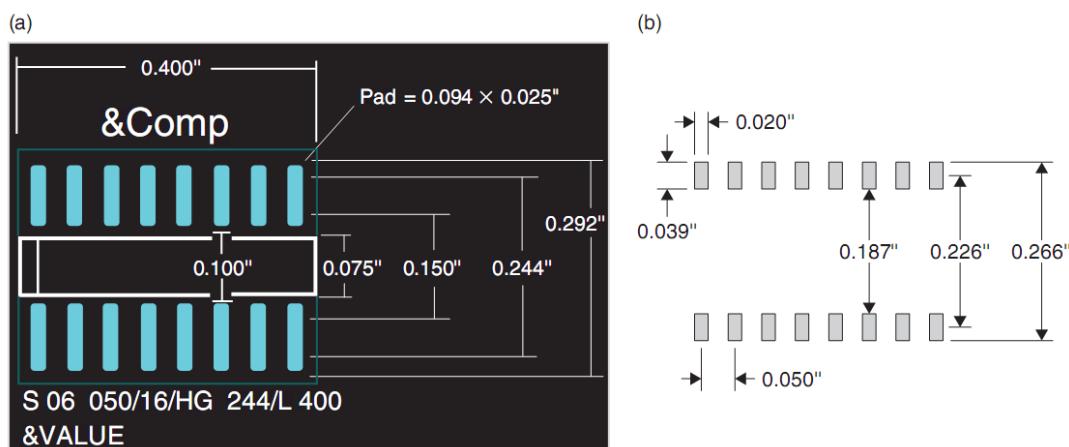


Hình 7.5 Kích thước linh kiện 24 chân có dạng đóng gói DIP [1]

Ví dụ tiếp theo là footprint của linh kiện có đóng gói dạng SOIC được đặt tên là SOG.050/16/WG.244/L.400 có kích thước thực tế và hình dạng footprint như mô tả trong Hình 7.6 và 7.7.



Hình 7.6 Kích thước thực tế của linh kiện 16 chân đóng gói SOIC



Hình 7.7 (a) Footprint của linh kiện 16 chân dạng SOIC - (b) Giới hạn các kích thước tối thiểu [1]

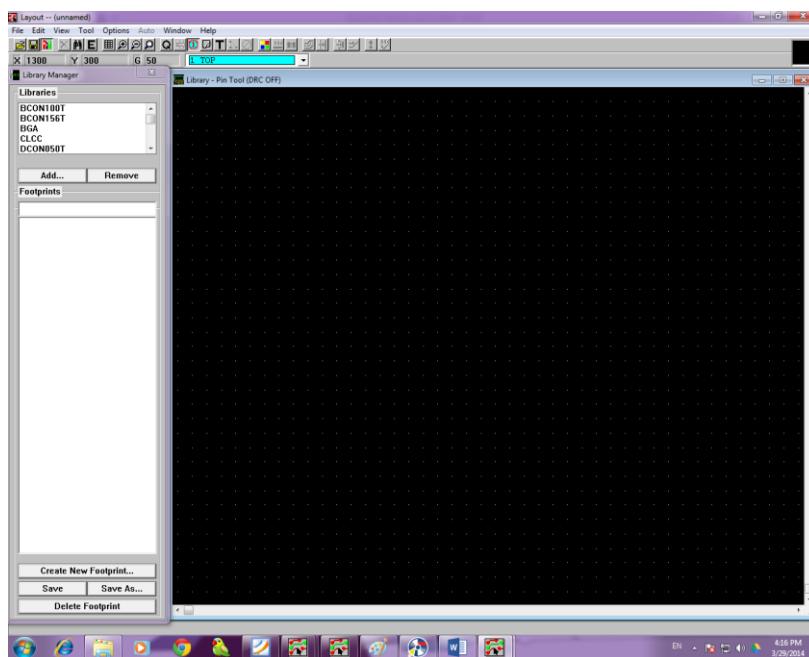
Không phải tất cả footprint của linh kiện trong thư viện đều được đặt tên theo quy ước như trên. Các linh kiện rời thường được đặt theo tên và chức năng của linh kiện. Ví dụ như các điện trở dán được đặt trong thư viện SM.LLB như SM/R\_0805 hoặc SM/R\_1206... tụ dán như SM/C\_0805 hoặc SM/C\_1206... Các transistor dạng dán cũng được đặt trong thư viện SM.LLB với tên footprint có dạng SM/SOT23\_XXX, trong đó XXX vị trí vật lý của các chân như ECB, BCE..., các transistor dạng xuyên lõi thì được đặt trong thư viện TO.LLB và được đặt tên theo hình dạng đóng gói.

## 7.2 Chỉnh sửa footprint

Khi hộp thoại Link footprint to component xuất hiện như trong Hình 7.1 nếu chúng ta chọn mục 2 “Create or modify footprint library” thì cửa sổ Library Manager xuất hiện như Hình 7.9. Cửa sổ này cũng có thể mở bằng công cụ Library Manager trên thanh Tool bar như trong Hình 7.8 [2].



Hình 7.8 Công cụ Library Manager

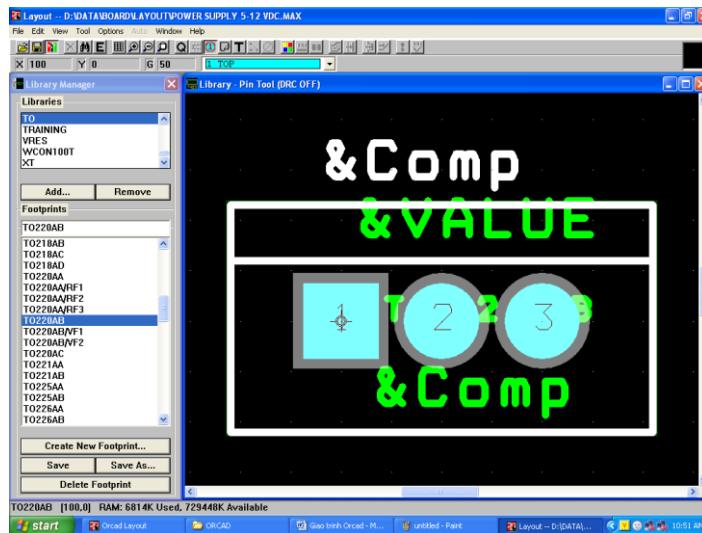


Hình 7.9 Cửa sổ Library Manager

Ở cửa sổ Library Manager chúng ta có thể chọn các footprint sẵn có trong các thư viện sau đó chỉnh sửa cho phù hợp với linh kiện thực mà chúng ta đã chọn trong thiết kế mạch nguyên lý.

**Chú ý:** Chúng ta cần biết hình dạng, kích thước, thứ tự chân và khoảng cách giữa các chân để chỉnh sửa hoặc tạo footprint với kích thước chính xác thuận lợi cho việc sắp xếp footprint của linh kiện trên bảng mạch và lắp ráp linh kiện sau khi gia công mạch in.

Ví dụ để chỉnh sửa một footprint sẵn có cho IC ổn áp LM7805 chúng ta chọn thư viện TO và footprint TO 220AB như Hình 7.10 vì footprint này gần giống với footprint thực tế của IC. Sử dụng các công cụ được trình bày trong phần tiếp theo để chỉnh sửa footprint này cho phù hợp với yêu cầu.



Hình 7.10 Chỉnh sửa footprint sẵn có trong thư viện

### 7.2.1 Công cụ Text tool



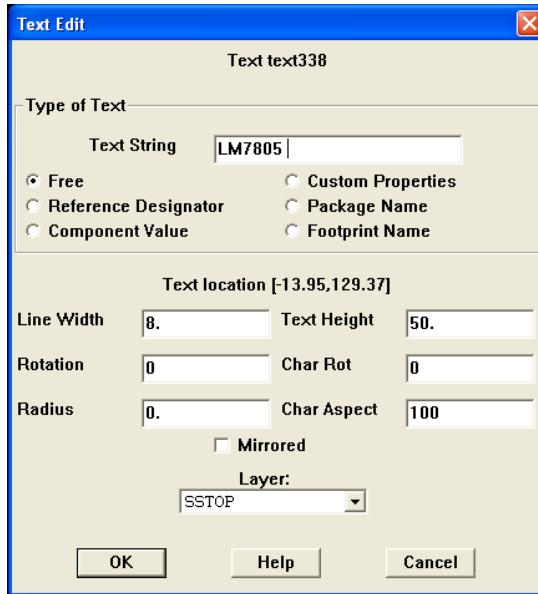
Hình 7.11 Công cụ Text

Để thay đổi tên hoặc phần chữ của footprint chúng ta chọn công cụ Text tool, sau đó double click vào phần text cần chỉnh sửa thì hộp thoại Text edit xuất hiện, chọn mục Free và nhập đoạn text mới vào mục Text string như Hình 7.12.

Chúng ta có thể thay đổi độ rộng (line width), chiều cao (text high), góc quay đoạn text (rotation), góc quay từng ký tự trong đoạn text (char rot)... có thể lật ngược (mirrored) và chọn lớp mạch in (layer) cho đoạn text ở các mục bên dưới.

**Chú ý:** Chúng ta không nên chọn lớp của đoạn text trùng với lớp của đường mạch in (TOP, BOTTOM...) vì như vậy sẽ gây cản trở cho việc vẽ các đường mạch in sau này thông thường chúng ta chọn lớp cho đoạn text là SSTOP hoặc SSBOT.

Để quan sát linh kiện tốt hơn trên màn hình chúng ta có thể sử dụng công cụ Zoom trên thanh Tool bar hoặc sử dụng phím tắt I (Zoom in), O (Zoom out), C (Zoom center) ...



Hình 7.12 Hộp thoại Text Edit

### 7.2.2 Công cụ Pin Tool

Để chỉnh sửa vị trí chân linh kiện chúng ta sử dụng công cụ Pin tool như trong Hình 7.13. Click chuột vào chân cần thay đổi sau đó di chuyển chuột đến vị trí mới và click chuột lần nữa để cố định vị trí. Tại vị trí chân số 1 chúng ta thấy ký hiệu gốc tọa độ, phần mềm Orcad hỗ trợ việc định vị, khi chúng ta di chuyển chuột thì tọa độ x, y sẽ thay đổi theo và hai thông số này được hiển thị ở bên dưới góc trái của màn hình như được mô tả trong Hình 7.14.



Hình 7.13 Công cụ Pin tool

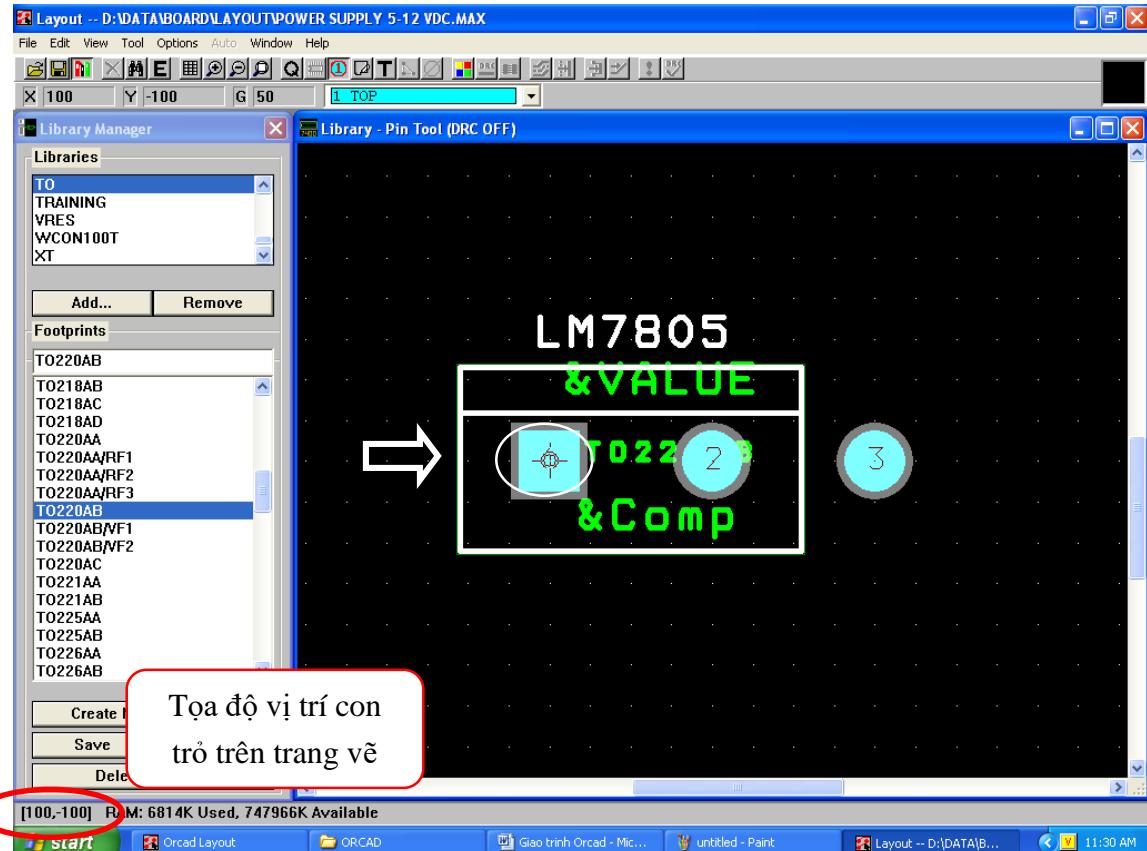
Với hệ đơn vị đo mặc định là Mils thì một bước di chuyển trên màn hình là 100 Mils (= 0.1 inch) thông thường khoảng cách giữa các chân linh kiện, kích thước của linh kiện... là bội số của 100 (Mils).

### 7.2.3 Công cụ Obstacle Tool

Tiếp theo chúng ta sử dụng chọn công cụ Obstacle tool như trong Hình 7.15 để chỉnh sửa đường bao linh kiện bằng cách click chuột vào đường bao sau đó di chuyển đường bao đến vị trí cần thiết click chuột lần nữa để cố định đường bao theo các góc mong muốn.

Trong quá trình vẽ mạch in màn hình thường xuyên bị mất nét để khắc phục chúng ta có thể dùng công cụ Refresh all, Zoom in, Zoom out hoặc phím F5 để làm rõ màn hình.

Sau khi chỉnh sửa linh kiện phù hợp chúng ta chọn Save hoặc Save As trong cửa sổ Library Manager nếu muốn lưu lại với tên và thư viện khác, để hoàn thành việc chỉnh sửa linh kiện.



Hình 7.14 Góc tọa độ được đặt tại chân số 1 và tọa độ vị trí con trỏ được hiển thị trên màn hình



Hình 7.15 Công cụ Obstacle tool

### 7.3 Thay đổi hệ đơn vị đo và kích thước lưới trang vẽ

Để thay đổi hệ đơn vị đo chúng ta vào *Menu Option>System settings*, hộp thoại System settings xuất hiện chúng ta có thể chọn đơn vị đo trong mục Display Units (Mils, Inch, Microns, Milimeters, Centimeters) [2].

Chúng ta có thể thay đổi kích thước lưới trang vẽ bằng cách nhập các giá trị tùy ý vào mục Grids như thay đổi kích thước lưới đặt linh kiện (Place grid), lưới vẽ đường mạch in (Routing grid) hoặc lưới cho Via (Via grid) như trong Hình 7.16.

**Chú ý:** Giá trị lưới thường là bội số hoặc ước số của khoảng cách giữa các chân linh kiện để thuận lợi cho việc sắp xếp các footprint và vẽ đường mạch in.



Hình 7.16 Hộp thoại System Settings

#### 7.4 Tạo footprint mới

Trong thiết kế thực tế footprint của một số linh kiện sẽ không có sẵn trong thư viện hoặc để chủ động chúng ta có thể tự tạo ra một thư viện footprint riêng cho các linh kiện thường sử dụng, như vậy chúng ta sẽ không phải mất thời gian trong việc tìm kiếm footprint cho linh kiện mà có thể chọn ngay trong thư viện footprint riêng của mình [2].

Chúng ta chọn công cụ Library Manager trên thanh Tool bar, ở cửa sổ Library Manager chọn mục Create New Footprint để tạo footprint mới.

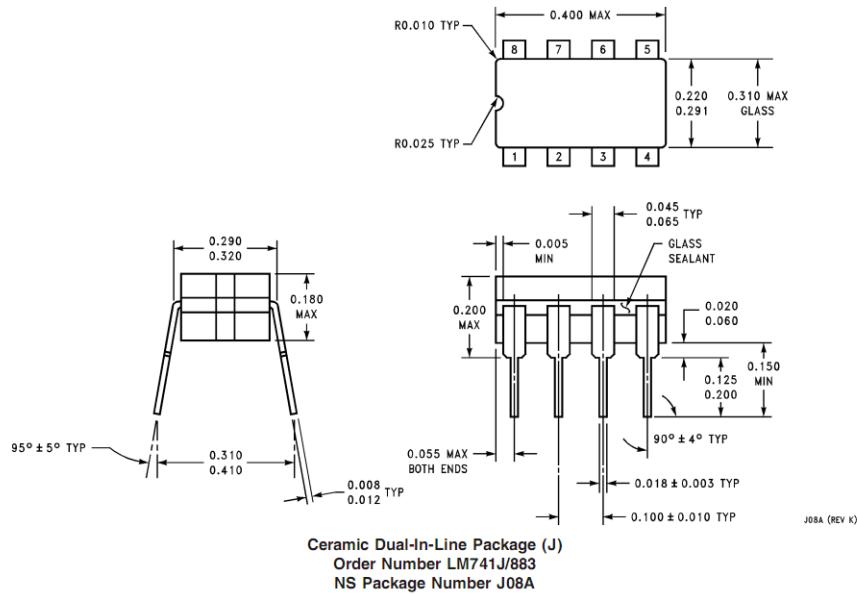


Hình 7.17 Hộp thoại Create New Footprint

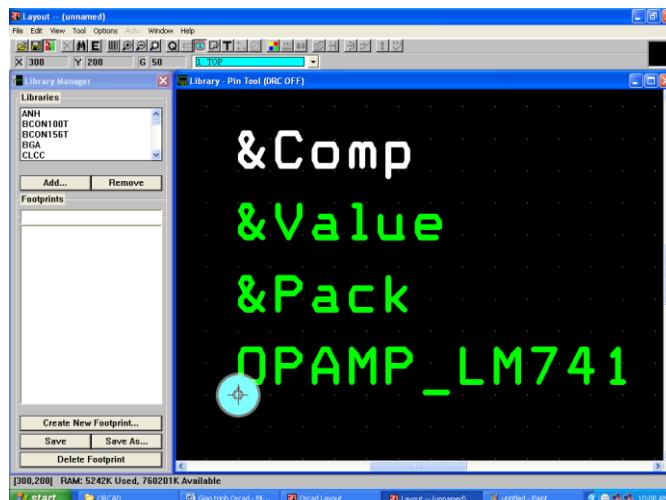
Hộp thoại Create New Footprint xuất hiện, nhập tên mới vào mục Name of Footprint và chọn OK. Ví dụ như chúng ta cần tạo footprint cho Op-Amp LM741.

Trên cửa sổ Library xuất hiện chân Pin số 1 và tên footprint, gốc tọa độ của footprint được mặc định tại chân số 1 như trong Hình 7.19. Footprint của Op-Amp LM741 gồm 8 chân, hai chân trên cùng một dãy cách nhau 100 (Mils), khoảng cách giữa hai dãy chân là 300 (Mils) như Hình 7.18.

**Physical Dimensions** inches (millimeters) unless otherwise noted (Continued)



Hình 7.18 Kích thước thực tế của Op-Amp LM741



Hình 7.19 Tạo footprint cho linh kiện Op-Amp LM741

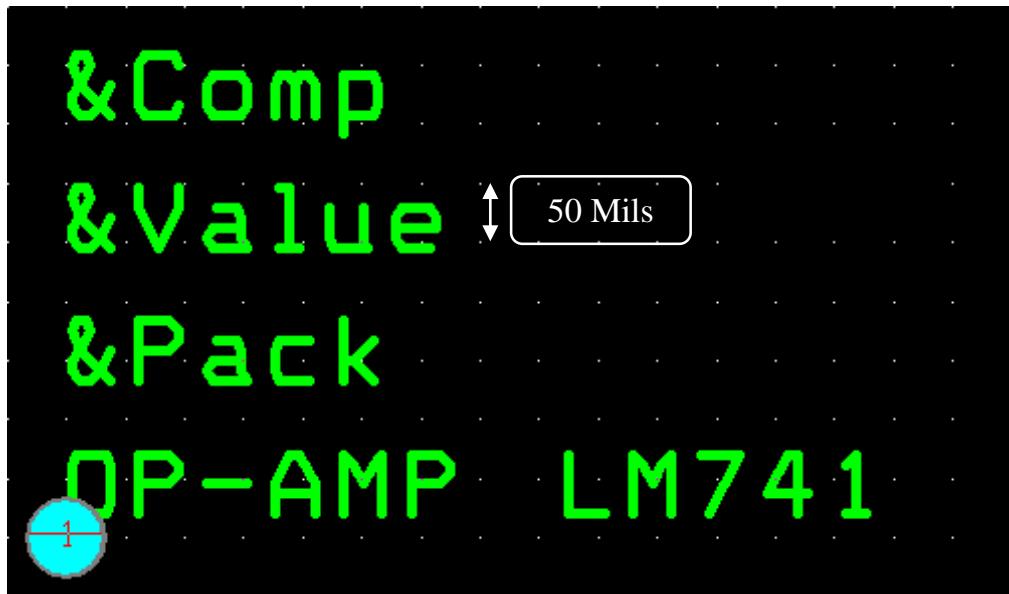
#### 7.4.1 Thêm chân Pin

Để thêm chân Pin chúng ta sử dụng cụ Pin tool sau đó di chuyển chuột vào cửa sổ Library, click chuột phải chọn New hoặc sử dụng phím Insert. Lúc này trên màn hình sẽ xuất hiện thêm một chân Pin và chân này được gắn vào vị trí con trỏ chuột, di chuyển chân Pin đến vị trí thích hợp rồi click chuột để cố định vị trí chân Pin này, số thứ tự chân Pin sẽ tự động tăng lên một đơn vị.

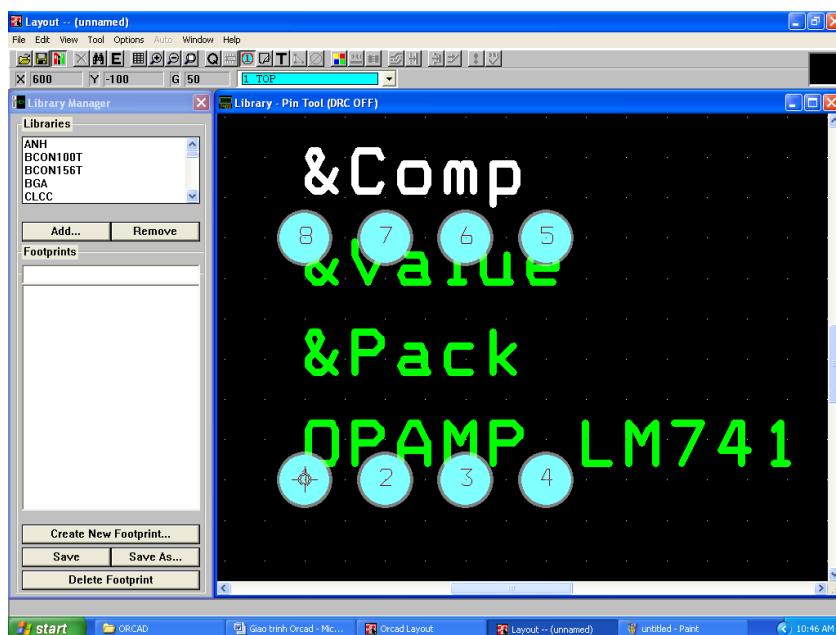
Dựa vào kích thước lưới trang vẽ (place grid) đã thiết lập trong phần System Settings, được trình bày trong mục 7.3 hoặc tọa độ ví trí con trỏ, chúng ta có thể đặt chân Pin của footprint này tại các vị trí chính xác theo kích thước thực tế. Ví dụ thông số Place grid

chúng ta thiết lập là 50 Mils thì 2 điểm măt lưới trên trang vẽ sẽ cách nhau là 50 Mils như Hình 7.20.

Chúng ta tiếp tục đặt các chân Pin còn lại của linh kiện theo kích thước thực tế như trong Hình 7.21 để kết thúc việc sắp xếp vị trí các chân Pin.



Hình 7.20 Khoảng cách giữa các măt lưới được thiếp lập trong System Settings



Hình 7.21 Sắp xếp đầy đủ các chân Op-Amp LM741

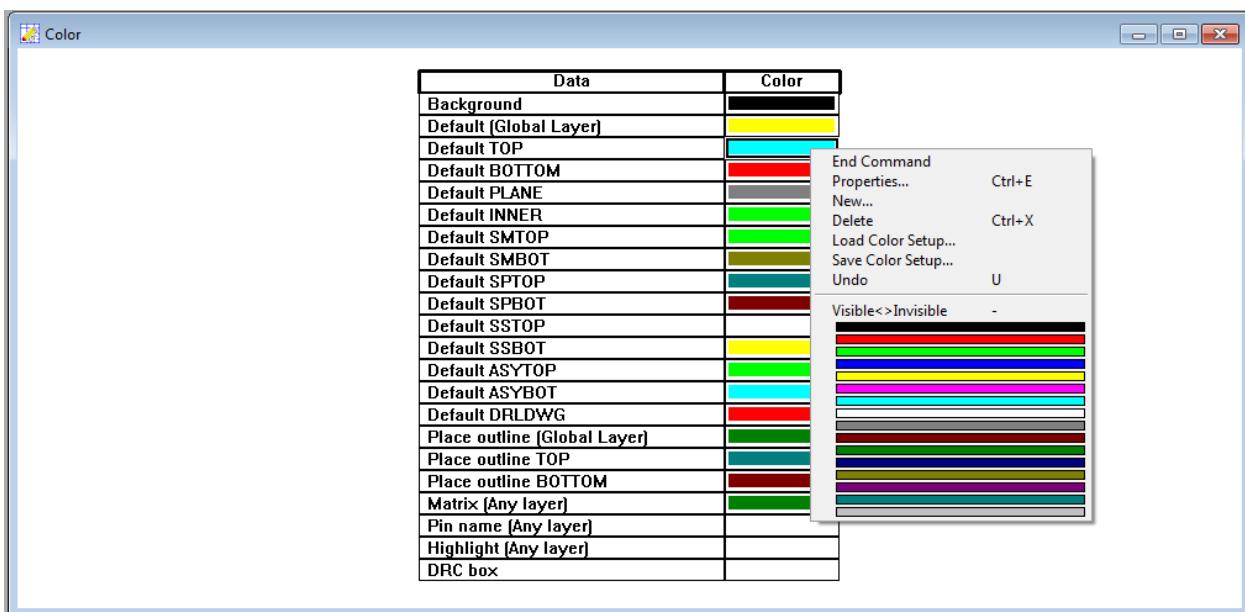
#### 7.4.2 Vẽ đường bao linh kiện

Tiếp theo chúng ta sử dụng công cụ Ostacle tool để vẽ đường bao linh kiện, chúng ta cần vẽ chính xác kích thước để có thể sắp xếp footprint của các linh kiện hợp lý trên bo mạch in mà không chồng lên nhau, thuận lợi cho việc lắp ráp linh kiện sau này.

**Chú ý:** Phần mềm Orcad Layout cho phép chúng ta thiết kế bo mạch với nhiều lớp, mỗi lớp mạch in được gán một màu sắc khác nhau. Do vậy chúng ta phải chọn màu chính xác cho đường bao linh kiện. Sau khi chọn công cụ Ostacle tool, chúng ta click chuột vào công cụ Color settings và chọn lớp SSTOP (lớp số 9, màu trắng) như Hình 7.22. Chúng ta cũng có thể thay đổi màu sắc cho các lớp tùy ý bằng cách chọn lớp, click chuột phải chọn màu thích hợp hoặc cho lớp đó ẩn đi bằng cách chọn mục Visible<>Invisible hoặc nhấn phím “-“ như mô tả trong Hình 7.23.

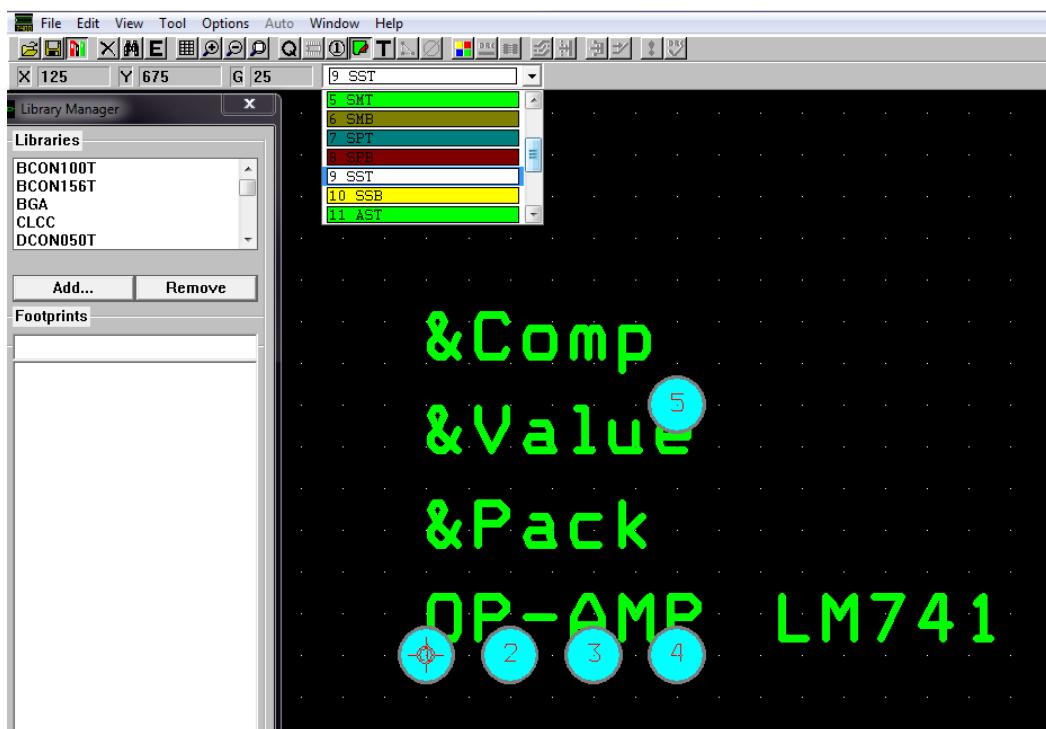


Hình 7.22 Công cụ Obstacle tool và Color settings



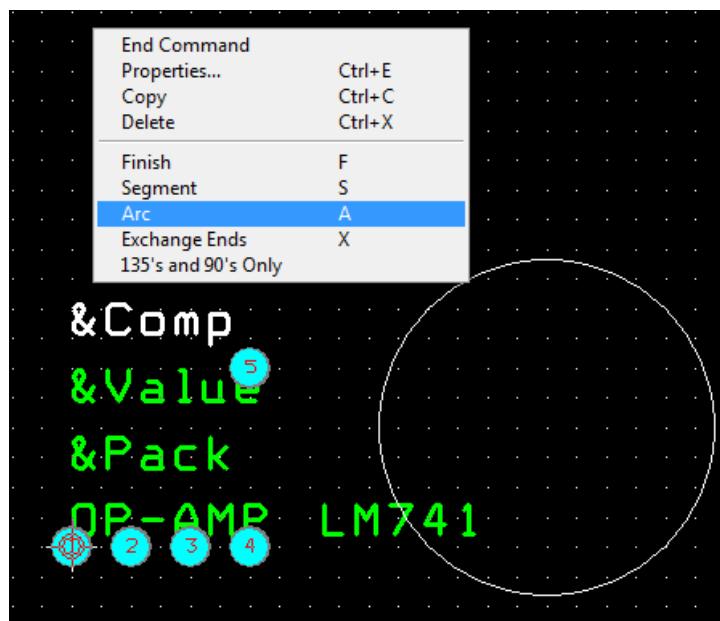
Hình 7.23 Bảng quy ước màu các lớp

Sau khi chúng ta chọn lớp cho việc vẽ đường bao linh kiện, thì các lớp khác trên cửa sổ Design sẽ bị ẩn đi chỉ có duy nhất lớp mà chúng ta đang thao tác SSTOP được nhìn thấy. Do vậy trong suốt quá trình vẽ để quan sát lớp nào chúng ta phải chọn để lớp đó ở trạng thái tích cực bằng cách click vào menu pull-down như Hình 7.24 để chọn lớp hoặc nhấn phím số thứ tự lớp (ví dụ: lớp TOP là phím 1, BOT phím 2...)

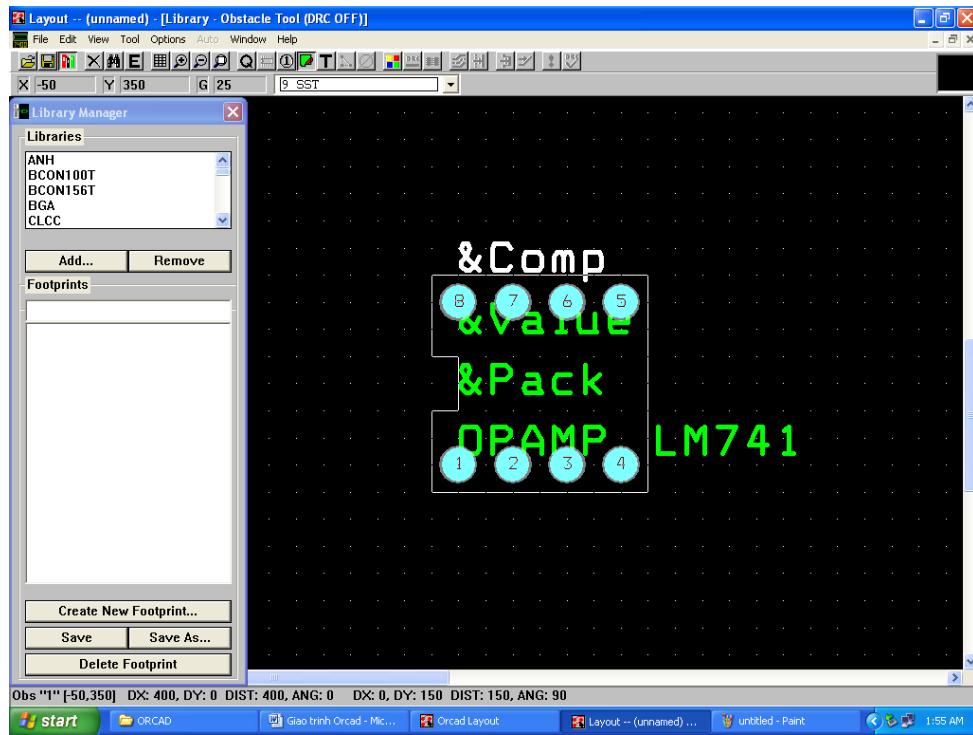


Hình 7.24 Chọn lớp vẽ đường bao linh kiện

Sau khi chọn công cụ Obstacle tool và chọn lớp SSTOP hoặc SSBOT chúng ta click chuột phải chọn New, click chuột phải lần nữa chọn mục Segment để vẽ các nét thẳng, Arc để vẽ đường bao dạng hình tròn ...như Hình 7.25. Sau đó di chuyển chuột để vẽ đường bao hoàn chỉnh cho linh kiện như Hình 7.26.



Hình 7.25 Thay đổi hình dạng đường bao



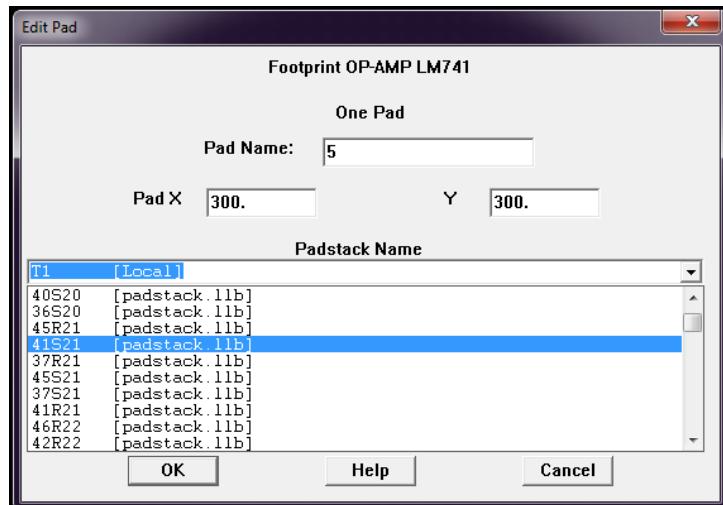
Hình 7.26 Đường bao linh kiện hoàn chỉnh

#### 7.4.3 Thay đổi hình dạng Padstacks

Pad trong Layout được gọi là Padstack. Để thay đổi hình dạng của một Pad chúng ta sử dụng công cụ Pin tool chọn chân pin cần thay đổi Pad, click chuột phải chọn Properties, cửa sổ Edit pad xuất hiện như trong Hình 7.27, chọn hình dạng Pad tại mục Padstack Name.

Ví dụ: 65R41: Pad hình tròn (Round), đường kính 65 mils.

40S24: Pad hình vuông (Square), kích thước 40 mils.



Hình 7.27 Hộp thoại Edit Pad

Để thay đổi hình dạng Pad cho tất cả các chân cùng lúc chúng ta vào công cụ View Spreadsheet chọn mục Padstacks như Hình 7.28.



Hình 7.28 Công cụ View Spreadsheet

Cửa sổ Padstacks xuất hiện với các thông số về hình dạng Pad, kích thước Pad của linh kiện theo từng lớp mạch in. Chúng ta phải tô đen cả 3 vùng (Pad shape, Pad width, Pad height) của lớp mạch in cần thay đổi thuộc tính Pad bằng cách giữ phím Ctrl+ click chuột để chọn nhiều lớp, sau đó click chuột phải chọn Properties, hộp thoại Edit Padstack xuất hiện, chọn hình dạng và nhập giá trị kích thước Pad sau đó chọn OK để kết thúc.

Tùy theo số lớp của bo mạch và loại linh kiện mà chúng ta sẽ thay đổi thuộc tính của Pad theo số lớp. Ví dụ chúng ta vẽ bo mạch 2 lớp và linh kiện là loại xuyên lỗ thì chúng ta chọn lớp TOP và BOT để thay đổi thuộc tính của Pad như Hình 7.29. Nếu linh kiện là loại dán thì chúng ta chỉ chọn một lớp.

#### 7.4.4 Thay đổi kích thước lỗ khoan

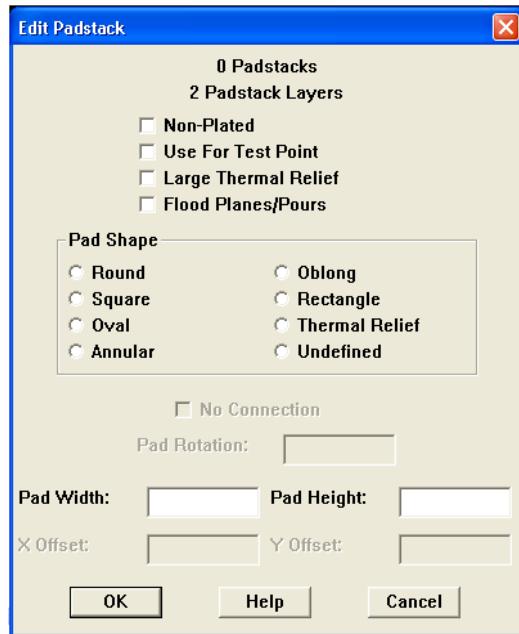
Tương tự như trên để thay đổi kích thước lỗ khoan chúng ta tô đen mục DRILL, click chuột phải chọn Properties, nhập kích thước lỗ khoan và chọn OK để kết thúc. Chú ý đơn vị đo hiện tại đang thiết lập là Mils, chúng ta có thể thay đổi hệ đơn vị theo Milimet cho phù hợp với kích thước tiêu chuẩn của lỗ khoan.

Việc thiết lập chính xác kích thước lỗ khoan khi tạo footprint mới đóng vai trò quan trọng khi chúng ta xuất file Gerber cho nhà sản xuất, nếu kích thước lỗ khoan không đúng thì chúng ta không thể ráp linh kiện lên bo mạch.

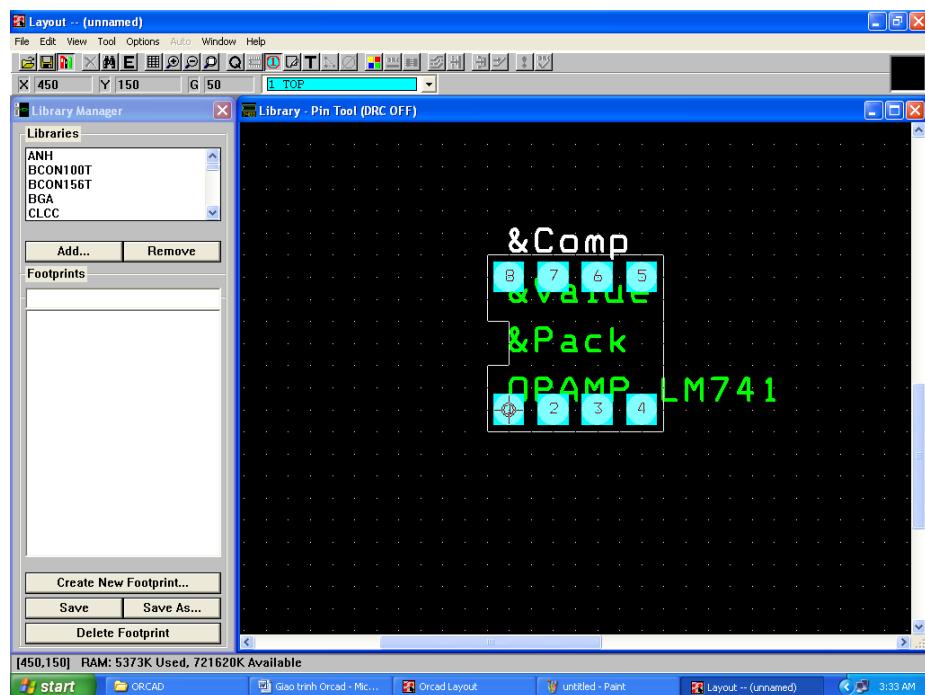
Đối với các loại linh kiện dán do các Pad không khoan lỗ nên trong mục DRILL này sau khi mở hộp thoại Edit padstack, tại mục Pad shape chúng ta phải chọn Undefined.

Padstack or Layer Name	Pad Shape	Pad Width	Pad Height	X Offset	Y Offset
T1					
TOP	Round	62	62	0	0
BOTTOM	Round	62	62	0	0
PLANE	Round	70	70	0	0
INNER	Round	62	62	0	0
SMTOP	Round	67	67	0	0
SMBOT	Round	67	67	0	0
SPTOP	Undefined	0	0	0	0
SPBOT	Undefined	0	0	0	0
SSTOP	Undefined	0	0	0	0
SSBOT	Undefined	0	0	0	0
ASYTOP	Undefined	0	0	0	0
ASYBOT	Undefined	0	0	0	0
DRLDWG	Round	38	38	0	0
DRILL	Round	38	38	0	0
COMMENT LAYER	Round	38	38	0	0
SPARE2	Round	38	38	0	0
SPARE3	Round	38	38	0	0
T2					
TOP	Square	62	62	0	0

Hình 7.29 Cửa sổ Padstacks



Hình 7.30 Hộp thoại Edit padstacks

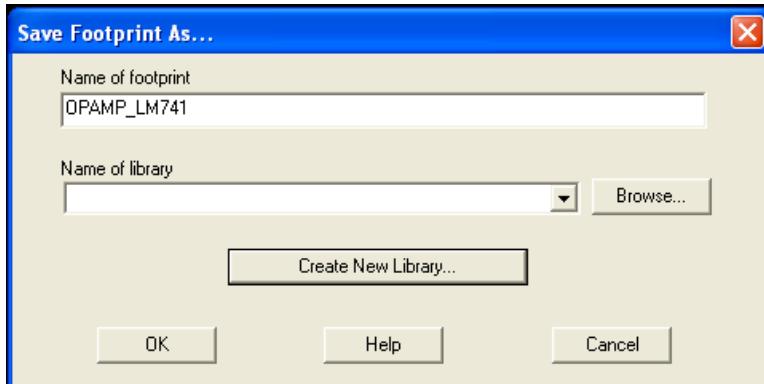


Hình 7.31 Footprint của linh kiện sau khi đã thay đổi hình dạng và kích thước Pad

#### 7.4.5 Lưu footprint vừa tạo

Sau khi hoàn thành các bước tạo footprint như đã trình bày ở phần trên. Tại cửa sổ Library Manager chọn mục Save As, hộp thoại Save footprint As xuất hiện, chúng ta nhập đường dẫn chứa thư viện cần lưu footprint vừa tạo tại mục Browse và chọn OK.

Chúng ta có thể tạo một thư viện riêng bằng cách chọn mục Create New Library và lưu footprint này vào thư viện vừa tạo như trong Hình 7.32. Chúng ta cần nhớ đường dẫn chứa thư viện vừa tạo để thuận tiện cho việc thêm thư viện này khi sử dụng.



Hình 7.32 Hộp thoại Save Footprint As

## 7.5 Vẽ đường mạch in

Có 4 yếu tố quan trọng khi tiến hành vẽ đường mạch in cho PCB đó là sắp xếp linh kiện, sắp xếp các lớp bo mạch in, tụ bypass, độ rộng và khoảng cách giữa các đường mạch in [1].

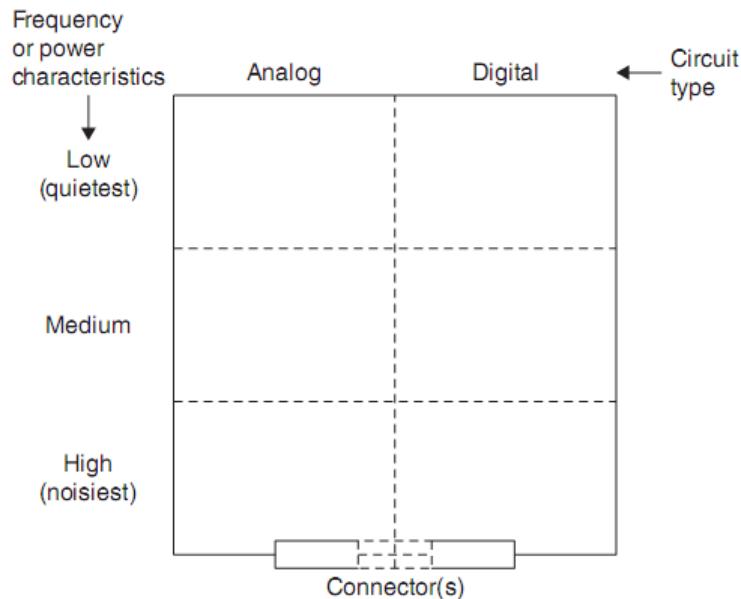
### 7.5.1 Những chú ý về điện khi sắp xếp linh kiện trên PCB

Việc sắp xếp linh kiện phải thỏa mãn cả yêu cầu về khả năng lắp ráp linh kiện và yêu cầu về kỹ thuật điện. Thông thường thì hai vấn đề này hỗ trợ cho nhau nhưng đôi khi hai yêu cầu này lại xung đột nhau. Khi có sự xung đột xảy ra thì yêu cầu về kỹ thuật điện luôn được ưu tiên hơn.

Chú ý đầu tiên khi sắp xếp linh kiện trên bo để thỏa yêu cầu về kỹ thuật điện đó là chức năng của mạch. Đặc biệt là đối với các bo mạch dạng tương tự (analog), tín hiệu sẽ đi vào bo mạch, tiếp tục di chuyển trong mạch qua nhiều nhánh đơn và cuối cùng ra khỏi bo mạch. Các bo mạch analog rất nhạy với nhiễu do đó mục tiêu của việc sắp xếp linh kiện đối với loại bo này là làm sao giảm suy hao tín hiệu nhỏ nhất có thể bằng cách sắp xếp các linh kiện gần nhau để chiều dài các đường mạch in là ngắn nhất (tránh tạo ra các đường mạch zigzag từ cạnh bên này đến cạnh bên kia của bo mạch). Tuy nhiên cách sắp xếp này có thể làm tăng kích thước của bo mạch.

Mạch điện tín hiệu dạng số (digital) cũng yêu cầu các linh kiện sắp xếp gần nhau và các đường mạch in phải ngắn nhưng do mạch tín hiệu số thường có các đường mạch song song nhau, đường rẽ nhánh và các đường bus dữ liệu do đó việc sắp xếp các linh kiện gần nhau là không thể. Đôi khi cách thức sắp xếp tốt nhất là đặt các linh kiện có chức năng liên quan ở gần nhau hoặc đặt các linh kiện gần nhau để giảm chiều dài giữa các đường tín hiệu.

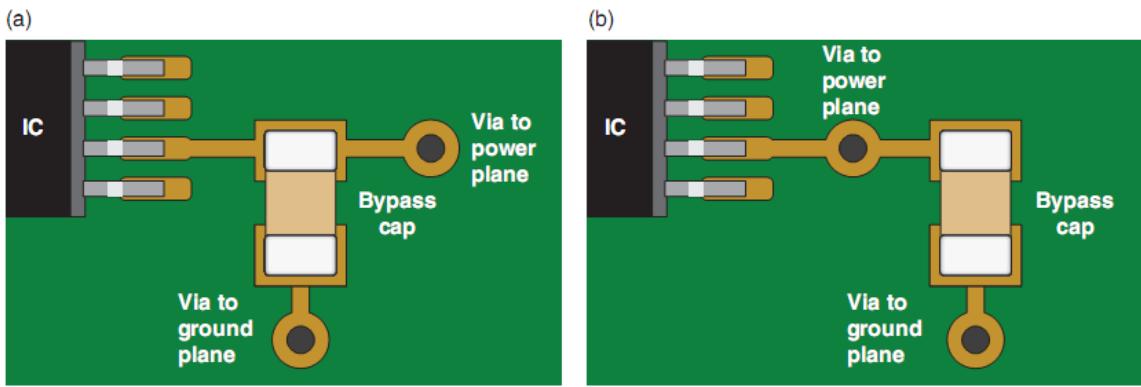
Việc sắp xếp lỗn lộn giữa mạch tín hiệu analog, digital và mạch công suất cao trên cùng một bo mạch là một thử thách lớn. Đối với trường hợp này thì bo mạch phải chia thành nhiều vùng như trong Hình 7.33. Cấu trúc của bo có thể thay đổi nhưng lý tưởng nhất là đặt khối mạch công suất cao và nhiễu càng gần khói kết nối (connector) càng tốt. Mạch analog và mạch digital cũng nên sắp xếp riêng biệt nhau để giảm ảnh hưởng của tín hiệu nhiễu chuyển mạch lên mạch analog. Khi phân chia bo mạch theo các vùng riêng biệt chúng ta cần tạo ra các mặt phẳng nguồn và mass cách ly.



Hình 7.33 Phân chia bo mạch thành các vùng riêng biệt để chống nhiễu

### 7.5.2 Tụ Bypass và cách kết nối

Tụ Bypass được sử dụng cho hai mục đích chính đó là nối tín hiệu nhiễu tần số cao xuống mass và đóng vai trò như là bộ tích trữ điện. Do đó có hai cách để kết nối tụ bypass với chân nguồn. Cách thứ nhất là vẽ đường mạch in kết nối chân nguồn với tụ bypass trước khi kết nối với via vào lớp mass như trong Hình 7.34 (a). Cách thứ hai là vẽ đường mạch in kết nối chân nguồn với lớp nguồn trước bằng cách tạo một via giữa chân nguồn và tụ bypass như trong Hình 7.34 (b). Có vẻ như không có gì khác nhau về mặt kỹ thuật điện nhưng sự khác biệt sẽ xảy ra khi mạch hoạt động ở tần số cao. Cách thức kết nối tụ bypass như trong Hình 7.34 (a) thường được sử dụng cho các mạch analog và Hình 7.34 (b) cho các mạch digital.



Hình 7.34 Cách thức kết nối tụ bypass

### 7.5.3 Độ rộng đường mạch in và khả chịu dòng

Khi dòng điện chạy trong dây dẫn sẽ làm dây dẫn nóng lên với công suất tiêu tán là  $I^2R$ . Độ rộng đường mạch in càng lớn thì giá trị điện trở càng nhỏ do đó công suất tiêu tán càng giảm. Để xác định được độ rộng đường mạch in chúng ta cần xác định được yêu cầu về dòng điện lớn nhất chạy trong đường mạch và độ dày lớp đồng. Độ rộng đường mạch in được tính theo phương trình sau:

$$w = \left( \frac{1}{1.4 \cdot h} \right) \left( \frac{I}{k \cdot \Delta T^{0.421}} \right)^{1.379} \quad (7.1)$$

Trong đó:

w: là độ rộng đường mạch in (mil)

h: độ dày lớp đồng (oz/ft<sup>2</sup>)

I: dòng điện chạy qua đường mạch (A)

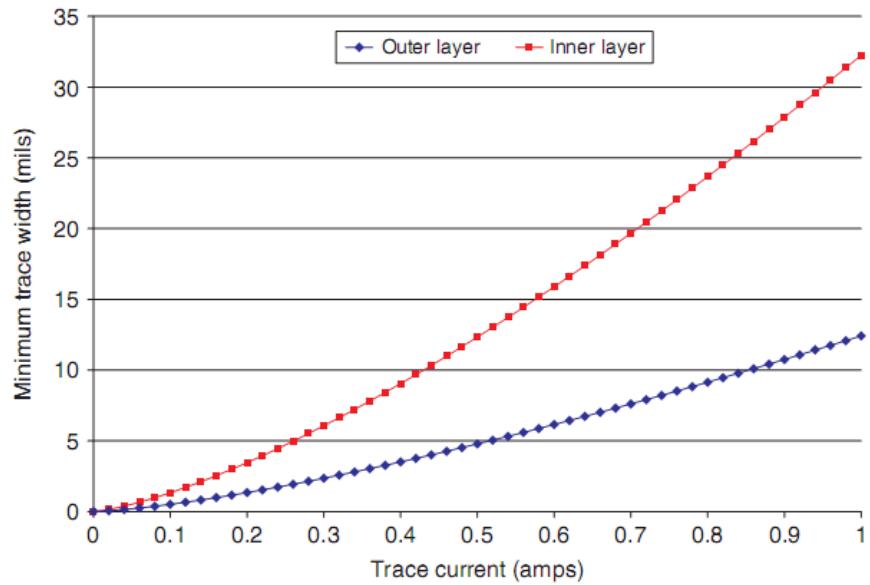
k=0,024 đối với các lớp trong, k=0,048 cho các lớp bên ngoài (Top và Bottom)

$\Delta T$ : Độ chênh lệch nhiệt độ lớn nhất của đường mạch in và nhiệt độ môi trường ( $^{\circ}\text{C}$ )

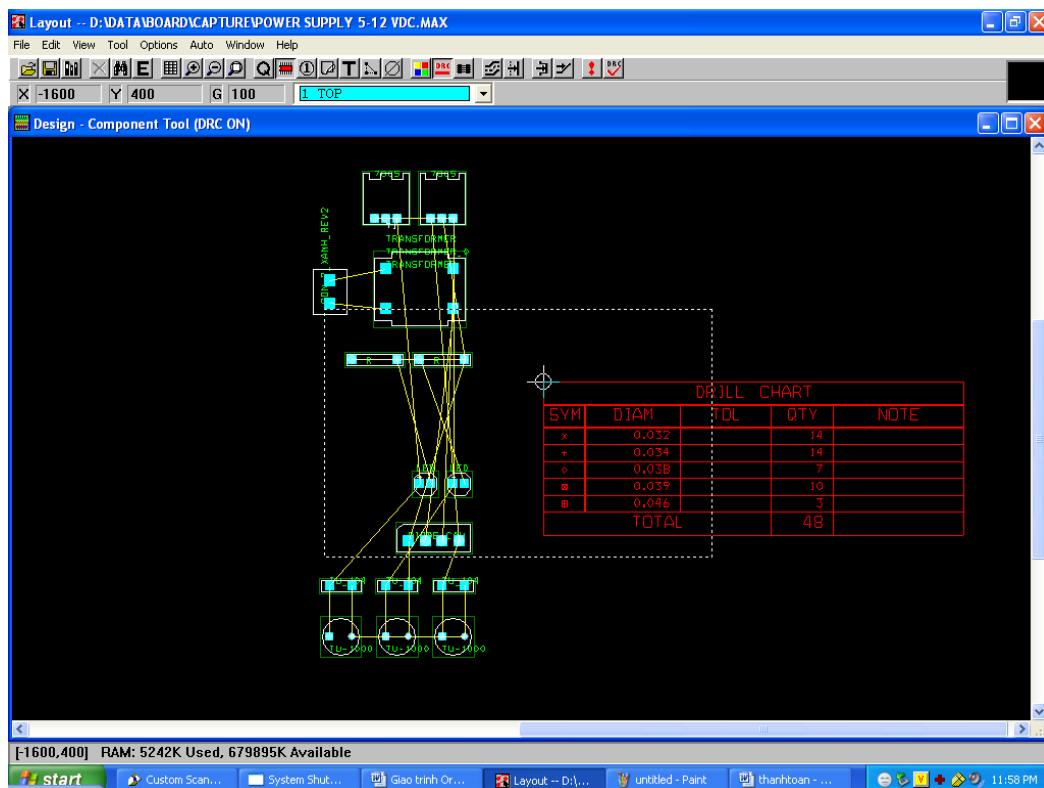
Chúng ta có thể sử dụng biểu đồ theo tiêu chuẩn IPC như trong Hình 7.35 và bất kỳ file tiêu chuẩn kỹ thuật nào trong Layout để thiết kế cho hầu hết các mạch ứng dụng tín hiệu nhỏ. Theo tiêu chuẩn IPC được trình bày như trong Hình 7.35 thì với độ rộng đường mạch in 6 mil có thể chịu được dòng điện khoảng 300 mA đối với các lớp bên trong và 600 mA đối với các lớp bên ngoài.

### 7.5.4 Các công cụ vẽ đường mạch in

Sau khi kết thúc việc tạo file Layout mới và chọn footprint cho các linh kiện trong hộp thoại Link footprint to component đã trình bày ở mục 7.1 bằng cách chọn footprint có sẵn trong thư viện hoặc tạo footprint mới như đã trình bày, lúc này cửa sổ Design xuất hiện với footprint của các linh kiện được sắp xếp trên trang vẽ như Hình 7.36.



Hình 7.35 Độ rộng đường mạch in nhỏ nhất đối với bo mạch có độ dày 1oz và độ lệch nhiệt độ là  $\Delta T = 10^\circ C$



Hình 7.36 Cửa sổ Design

Trong cửa sổ Design chúng ta có thể quan sát thấy các footprint, các đường nối mạch nguyên lý (lớp 0, Global layer, màu vàng), khung DRC (đường đứt nét) và bảng ký hiệu (SYM: Symbol), số lượng (QTY: Quantity), kích thước lỗ khoan (DIAM: Diameter) trong

bảng DRILL CHART. Chúng ta sử dụng các công cụ được trình bày trong phần tiếp theo để vẽ đường mạch in.

#### 7.5.4.1 Công cụ Component

Để có thể di chuyển các footprint chúng ta sử dụng công cụ Component tool, click chuột chọn footprint cần thay đổi vị trí, di chuyển footprint đến vị trí thích hợp rồi click chuột lần nữa để cố định vị trí footprint.



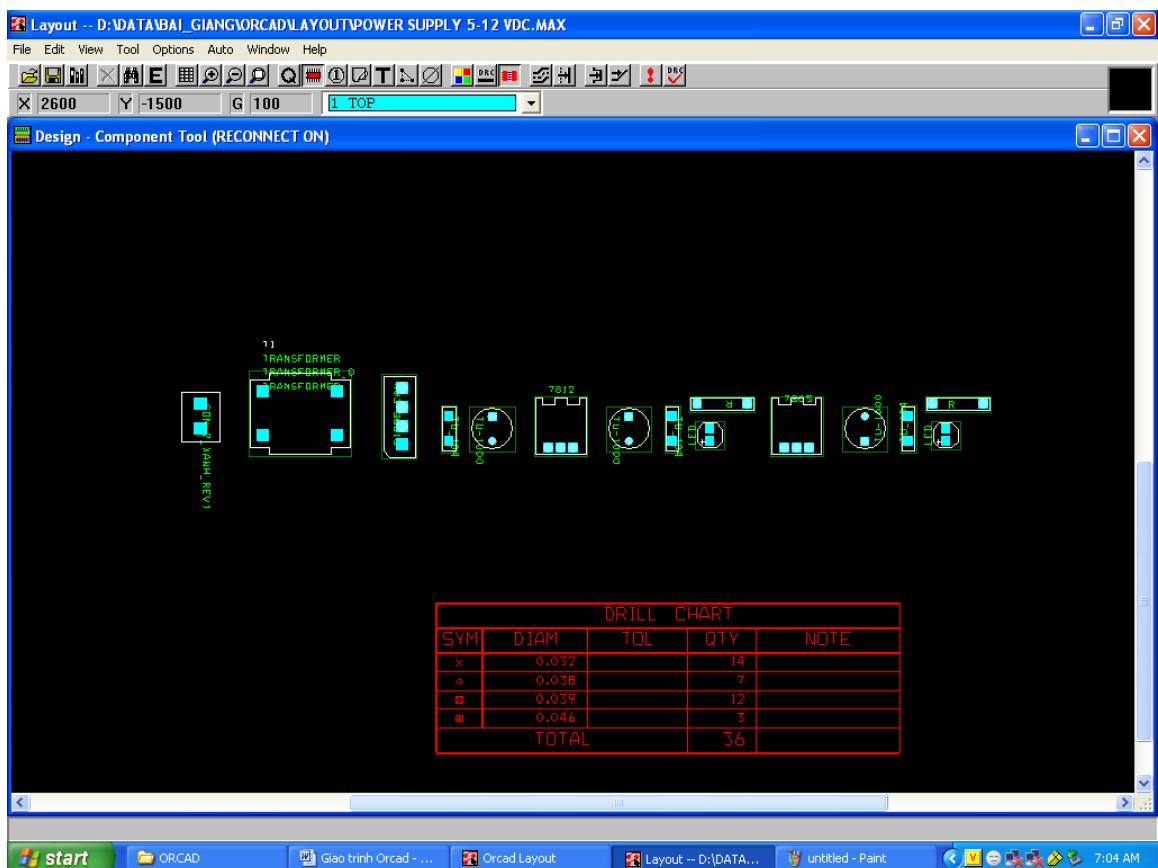
Hình 7.37 Công cụ Component tool

#### 7.5.4.2 Công cụ Online DRC

Chúng ta không thể di chuyển footprint ra khỏi khung DRC vì vậy chúng phải tắt khung DRC này bằng cách click chuột vào công cụ Online DRC như trong Hình 7.38.



Hình 7.38 Công cụ Online DRC



DRILL CHART				
SYM	DIAM	TOL	QTY	NOTE
X	0.032		14	
△	0.038		7	
□	0.039		12	
■	0.046		3	
TOTAL			36	

Hình 7.39 Sử dụng công cụ Component để sắp xếp footprint các linh kiện

### 7.5.4.3 Công cụ Reconnect Mode

Trong quá trình vẽ đường mạch in hoặc sắp xếp footprint các đường nối mạch nguyên lý (màu vàng, lớp 0, Global layer) thường chồng lên nhau gây khó khăn cho việc quan sát, chúng ta có thể ẩn đi bằng cách chọn công cụ Reconnect Mode. Để quan sát lại các đường kết nối mạch nguyên lý sau khi đã ẩn chúng ta click chuột chọn công cụ này một lần nữa.



Hình 7.40 Công cụ Reconnect Mode

### 7.5.4.4 Công cụ Edit Segment Mode

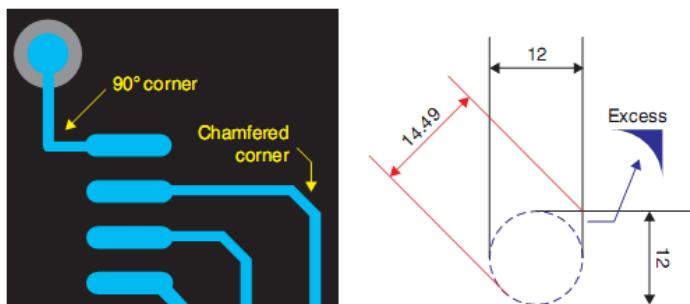
Sau khi sắp xếp vị trí footprint hợp lý chúng ta sử dụng công cụ Edit Segment Mode để vẽ đường mạch in. Click chuột vào đường mạch nguyên lý sau đó di chuyển chuột đến các vị trí cần thiết, click chuột để cố định đường mạch. Tiếp tục thực hiện cho đến khi kết thúc đường mạch in tại vị trí chân của linh kiện tiếp theo. Để xóa đường mạch in vừa vẽ ta click và giữ chuột để tạo khung bao phần đường mạch in cần xóa rồi chọn phím Delete.

Sau khi chúng ta chọn công cụ Edit Segment Mode, click chuột phải chọn 135 corners (góc 135°) hoặc 90 corners (góc 90°), curve corners (đường cong)... để có thể tạo ra các đường mạch in gấp khúc khác nhau.



Hình 7.41 Công cụ Edit Segment Mode

Đối với các mạch điện analog tần số cao (high frequency) hoặc mạch digital tốc độ cao (high speed) lớn hơn GHz cho đường mạch in có độ rộng 50 Mils và THz đối với đường mạch in có độ rộng 10 Mils, theo lý thuyết chúng ta không sử dụng các đường gấp khúc 90° mà thay vào đó là các đường gấp khúc 135° để có thể kiểm soát được trở kháng của các đường mạch in này.



Hình 7.42 Tránh sử dụng các đường mạch in gấp khúc 90° trong mạch tần số và tốc độ cao

### 7.5.5 Thay đổi độ rộng đường mạch in

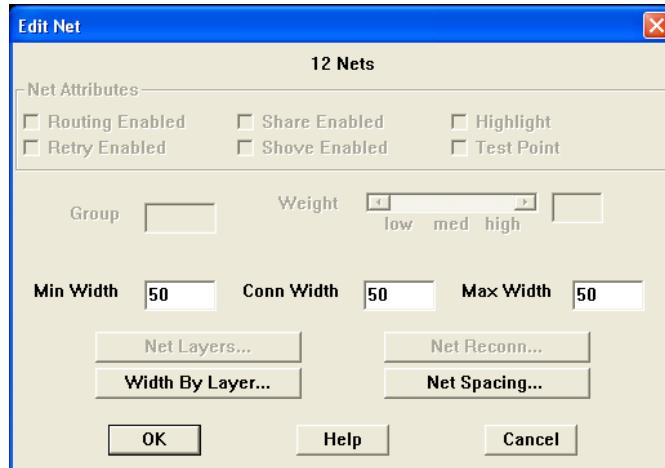
Để thiết lập độ rộng cho các đường mạch in chúng ta chọn công cụ View Spreadsheet>Nets, cửa sổ Nets xuất hiện như Hình 7.44 với giá trị kích thước độ rộng của các đường mạch in. Để thay đổi kích thước tất cả các đường mạch in chúng ta double click vào mục Width (Min Con Max), hộp thoại Edit Net xuất hiện, chúng ta nhập kích thước độ rộng vào 3 mục Min, Con và Max width, sau đó chọn OK. Chúng ta có thể chọn 3 giá trị này bằng nhau nếu như không muốn thay đổi kích thước đường mạch khi qua các vị trí bị giới hạn về độ rộng. Tiếp theo chúng ta quay lại cửa sổ Design và sử dụng công cụ Edit Segment Mode để vẽ đường mạch in.



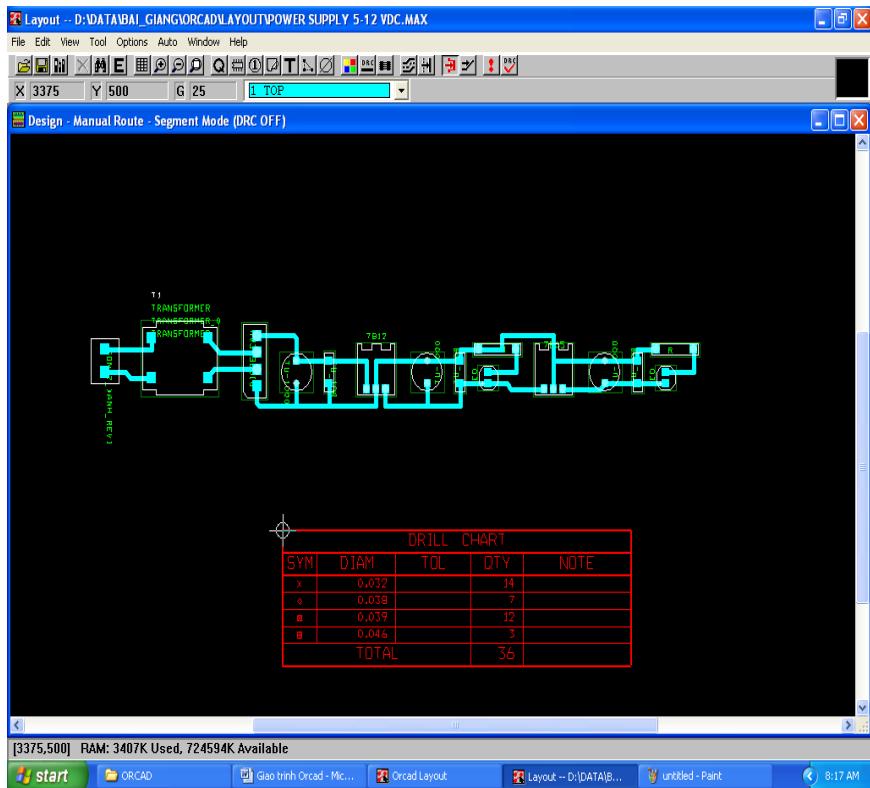
Hình 7.43 Công cụ View Spreadsheet

Net Name	Color	Width Min Con Max	Routing Enabled	Share	Weight	Reconn Rule
GND		12	Yes	Yes	50	Std
N01466		12	Yes	Yes	50	Std
N01486		12	Yes	Yes	50	Std
N01520		12	Yes	Yes	50	Std
N01559		12	Yes	Yes	50	Std
N01616		12	Yes	Yes	50	Std
N02988		12	Yes	Yes	50	Std
N03180		12	Yes	Yes	50	Std
NET_11		8	Yes	Yes	50	Std
NET_12		8	Yes	Yes	50	Std
VCC_5V		12	Yes	Yes	50	Std
VCC_12V		12	Yes	Yes	50	Std

Hình 7.44 Cửa sổ Nets



Hình 7.45 Hộp thoại Edit Net



Hình 7.46 Vẽ các đường mạch in với độ rộng 50 Mils

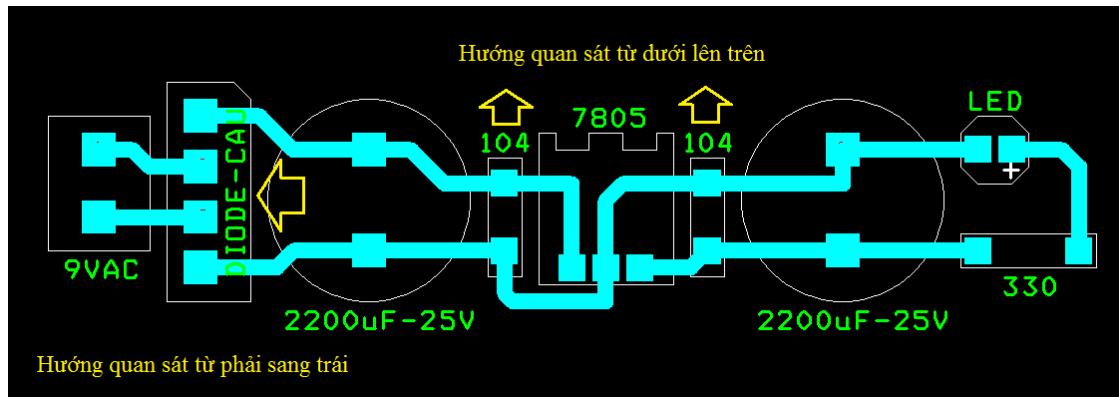
### 7.5.6 Chỉnh sửa, sắp xếp tên footprint

Chúng ta sử dụng công cụ Text tool để sắp xếp, chỉnh sửa, thêm tên footprint hoặc đoạn text vào bo mạch in. Sau khi chọn công cụ Text tool chúng ta click chuột chọn tên linh kiện cần chỉnh sửa, nhấn phím “R” để xoay, “Delete” để xóa. Để thay đổi nội dung chúng ta double click vào tên linh kiện hoặc để thêm mới một đoạn text thì click chuột phải chọn New. Sau đó nhập đoạn text vào và thay đổi các thuộc tính của đoạn text này như đã trình bày trong mục 7.2.1.



Hình 7.47 Công cụ Text tool

**Chú ý:** Sắp xếp tên linh kiện nhằm mục đích hỗ trợ việc lắp ráp linh kiện và tra cứu linh kiện trong quá trình sửa chữa bo mạch. Do đó tên của các linh kiện được sắp xếp trên bo phai tuân thủ quy ước về góc quan sát. Tên những linh kiện cùng loại phải được sắp xếp cùng hướng và cùng vị trí (ví dụ như tụ 104 trong Hình 7.48), trên một lớp thì tên linh kiện chỉ được sắp xếp tối đa là theo hai hướng quan sát.



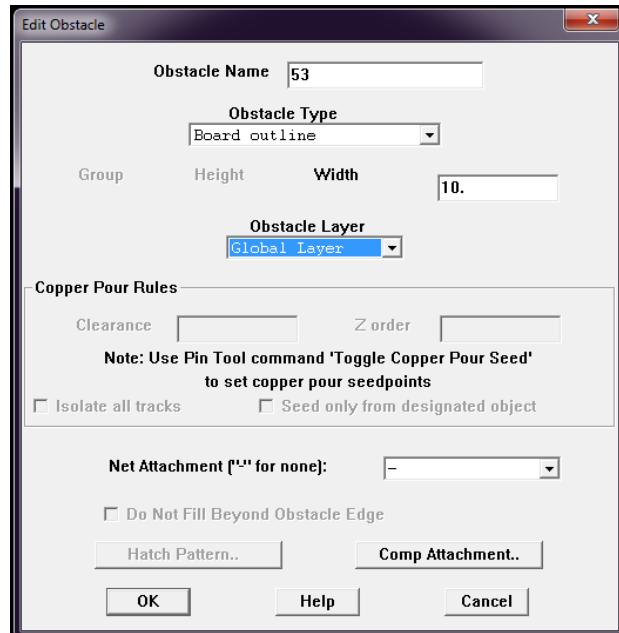
Hình 7.48 Sắp xếp tên linh kiện

### 7.5.7 Vẽ đường bao bo mạch in

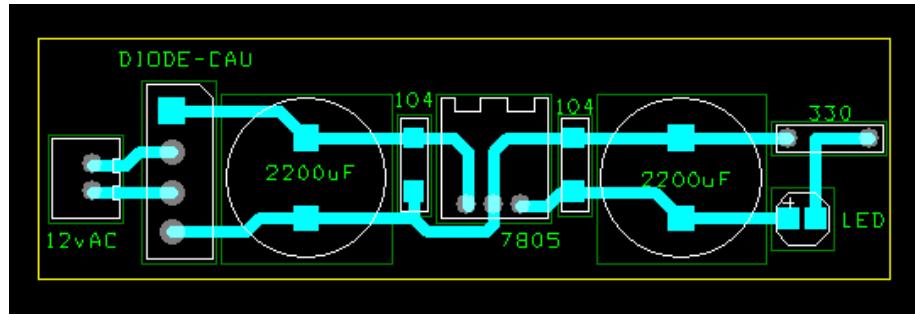
Chúng ta sử dụng công cụ Obstacle tool để vẽ đường bao bo mạch in hoặc phủ mass. Click chuột phải chọn New, click chuột phải một lần nữa chọn Properties, hộp thoại Edit Obstacle xuất hiện. Trong mục Obstacle Type chọn Board Outline, nhập kích thước độ rộng đường giới hạn bo mạch trong mục Width, chọn lớp Global layer và chọn OK để kết thúc việc thiết lập thuộc tính. Sau đó vẽ đường bao bo mạch bằng cách click chuột chọn điểm bắt đầu, thả chuột tự do, di chuyển chuột đến vị trí tùy ý, click chuột để tạo các đường gấp khúc như Hình 7.51.



Hình 7.49 Công cụ Obstacle tool



Hình 7.50 Hộp thoại Edit Obstacle



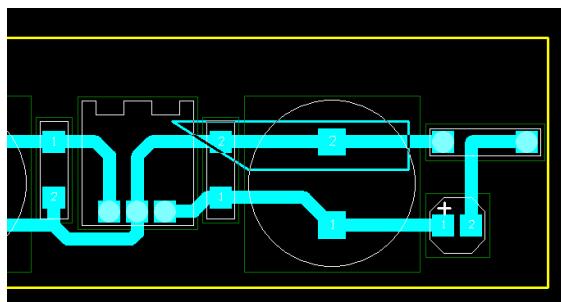
Hình 7.51 Đường bao bo mạch in

## 7.5.8 Phủ đồng, phủ mass

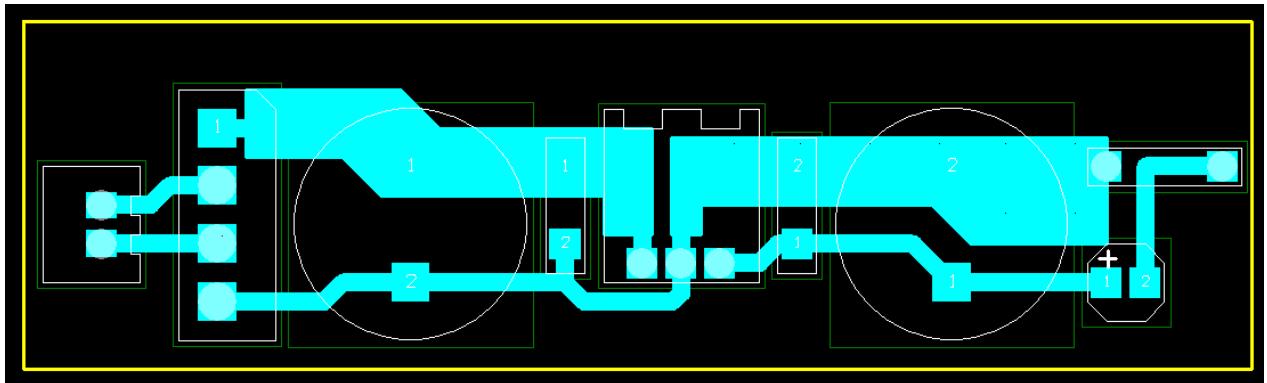
### 7.5.8.1 Tạo vùng phủ đồng

Để tạo ra các đường mạch có độ rộng lớn nhằm mục đích tăng khả năng chịu dòng của đường mạch in chúng ta có thể sử dụng công cụ Obstacle tool, sau đó mở hộp thoại Edit Obstacle, trong mục Obstacle Type chọn Copper area (vùng phủ đồng), nhập kích thước, chọn lớp TOP hoặc BOT tùy thuộc vào việc chúng ta muốn tạo ra vùng phủ đồng ở lớp nào, chọn tên đường mạch cần liên kết vào vùng phủ đồng trong mục Net Attachment, chọn OK để kết thúc việc thiết lập thuộc tính. Sau đó click chuột tại vị trí bắt đầu, di chuyển chuột để tạo ra đường bao vùng phủ đồng như Hình 7.52, sau đó nhấn phím ESC để tạo ra các vùng phủ đồng như trong Hình 7.53. Chúng ta có thể chỉnh sửa hình dạng đường bao của các vùng phủ đồng này bằng cách click chuột vào đường bao, di chuyển chuột đến vị trí cần thay đổi hình dạng, click chuột để cố định và nhấn phím ESC để hoàn tất việc chỉnh sửa.

**Chú ý:** Chức năng mặc định của công cụ Obstacle trong phần mềm Layout là vẽ đường bao bo mạch in (ví dụ: Obstacle type: Board Outline, Width:50, Obstacle layer: Global layer...). Để thay đổi thuộc tính hoặc chọn chức năng khác của công cụ này như phủ mass, vùng phủ đồng... chúng ta phải click chuột phải chọn New, sau đó click chuột phải một lần nữa chọn Properties, hộp thoại Edit Obstacle xuất hiện, lúc này chúng ta có thể chọn chức năng khác hoặc nhập các thông số cần thiết.



Hình 7.52 Vẽ đường bao vùng phủ đồng

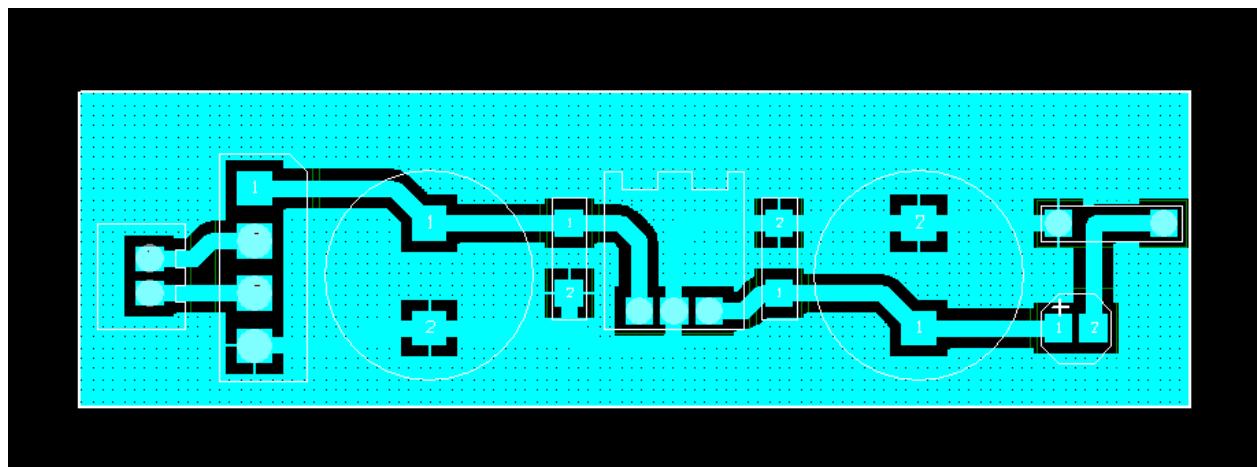


Hình 7.53 Tạo các vùng phủ đồng để tăng khả năng chịu dòng của đường mạch

### 7.5.8.2 Phủ mass

Để tạo ra vùng phủ đồng liên kết vào đường mass của hệ thống nhằm mục đích chống nhiễu chúng ta sử dụng chức năng phủ mass bằng cách chọn Copper pour trong mục Obstacle Type, chọn lớp TOP hoặc BOTTOM tùy thuộc vào lớp mà chúng ta muốn phủ mass, nhập kích thước độ rộng của đường bao vùng phủ mass trong mục Width, nhập giá trị khoảng cách giữa vùng phủ mass và footprint trong mục Clearance, nhập giá trị diện tích vùng phủ mass nhỏ nhất cho phép trong mục Zorder, chọn đường mạch in cần được liên kết vào vùng phủ mass ở mục Net Attachment (thông thường chúng ta chọn đường GND), chọn OK để kết thúc việc thiết lập và trở lại cửa sổ Design.

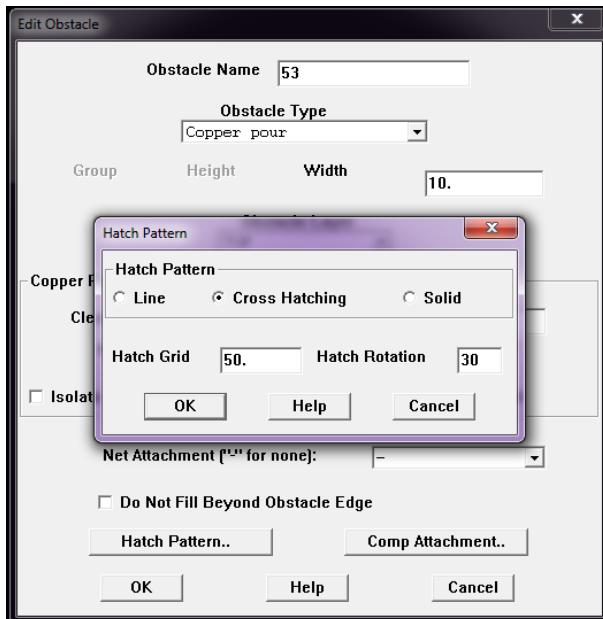
Click chuột chọn vị trí bắt đầu, giữ và di chuyển chuột để vẽ hình dạng đường bao vùng cần phủ mass, thông thường đường bao vùng phủ mass này sẽ trùng với đường bao của bo mạch.



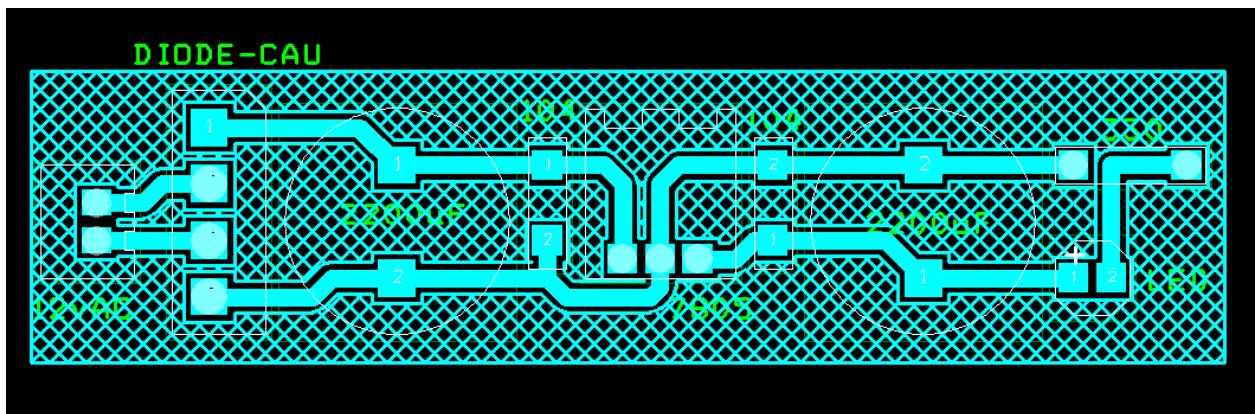
Hình 7.54 Phủ mass dạng Solid

**Chú ý:** Để xóa đường bao bo mạch in, vùng phủ đồng hoặc các vùng phủ mass chúng ta chọn công cụ Obstacle tool, click và giữ chuột tạo các ô vuông bao các vùng cần xóa sau đó nhấn phím Delete.

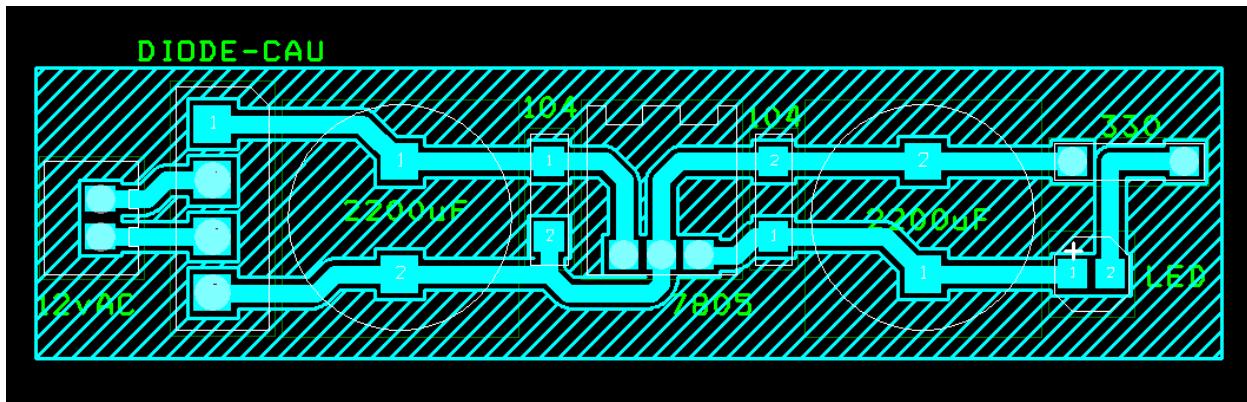
Để phủ mass dạng lưới hoặc dạng đường thẳng, sau khi chọn công cụ Obstacle tool, chúng ta click chuột phải chọn New, click chuột phải một lần nữa chọn Properties, chọn Copper pour, nhập độ rộng đường bao, chọn lớp, chọn đường mạch in cần liên kết thông thường chúng ta chọn đường GND. Tiếp theo click chuột chọn mục Hatch Pattern, hộp thoại Hatch Pattern xuất hiện như Hình 7.55. Để phủ mass dạng đường thẳng chúng ta chọn Line, phủ dạng lưới chọn Cross Hatching, phủ dạng mảng chọn Solid, sau đó nhập giá trị độ rộng lưới (Hatch Grid) và góc nghiêng (Hatch Rotation). Nếu nhập giá trị Width lớn mà Hatch Grid nhỏ thì chúng ta sẽ không thấy dạng phủ Line và Cross Hatching xuất hiện.



Hình 7.55 Hộp thoại Hatch Pattern



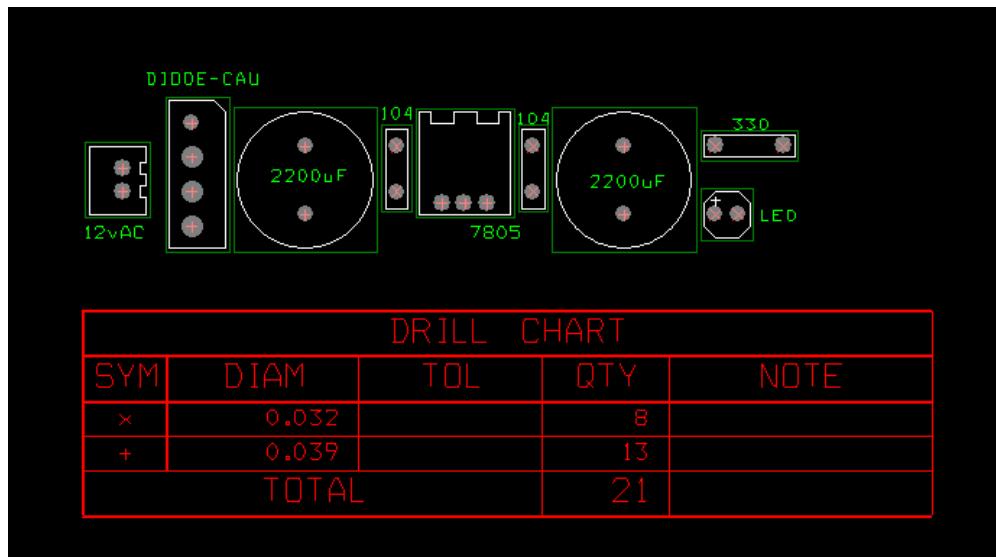
Hình 7.56 Phủ dạng lưới với Width=10 mil, Hatch Rotation=30°, Hatch Grid=50 mil



Hình 7.57 Phủ dạng đường thẳng với Width=10 mil, Hatch Rotation=30°, Hatch Grid=50 mil

### 7.5.9 Kích thước lỗ khoan (Drill chart)

Kích thước lỗ khoan của các chân được ký hiệu và thông kê số lượng trong bảng Drill chart như Hình 7.58. Để có thể quan sát kích thước lỗ khoan của footprint chúng ta chọn màu hiển thị số 25 DRD, dựa vào ký hiệu ở bảng Drill chart chúng ta có thể biết được kích thước lỗ khoan của các footprint. Chúng ta ấn lớp TOP đi để có thể quan sát tốt hơn bằng cách chọn lớp TOP (nhấn phím 1) tiếp theo nhấn phím “–“, lúc này lớp TOP sẽ tạm thời ẩn đi và thao tác tương tự để hiển thị lại.



Hình 7.58 Bảng kích thước lỗ khoan

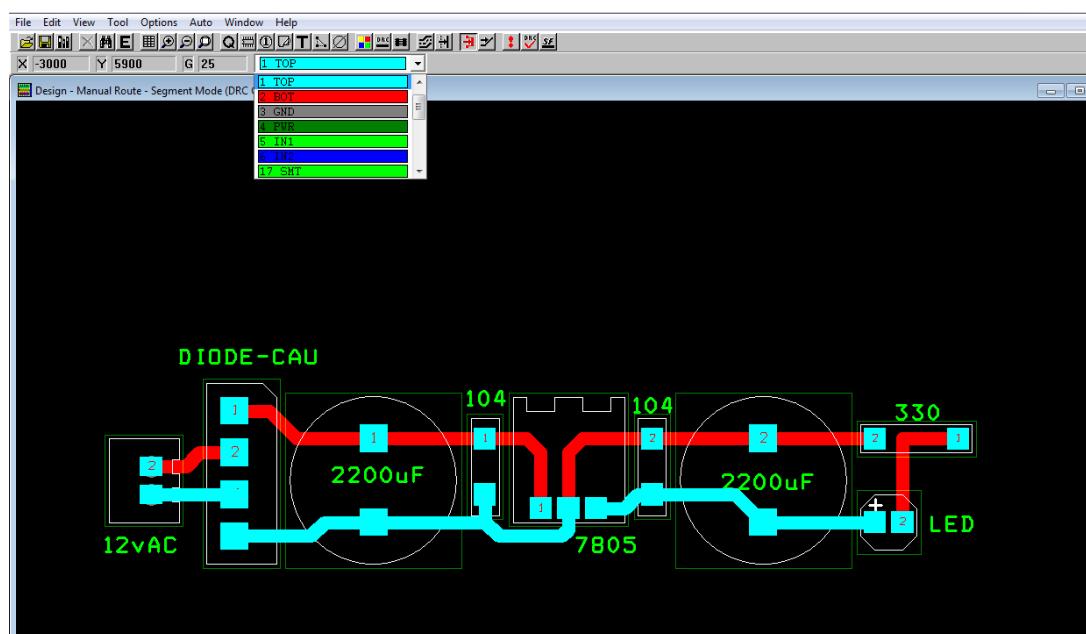
### 7.6 Thiết kế mạch in nhiều lớp

Trong thực tế tùy theo yêu cầu và độ phức tạp mà chúng ta chọn thiết kế mạch in một lớp hay nhiều lớp, do hạn chế về kỹ thuật của các cơ sở gia công mạch in nên hiện nay chúng ta chỉ có thể thiết kế mạch in hai lớp (TOP và BOTTOM). Như trong các ví dụ ở phần trên chúng ta chỉ vẽ đường mạch in trên một lớp (TOP) nhưng đối với những mạch

phức tạp do số lượng footprint lớn thì chúng ta phải vẽ mạch in hai lớp và sử dụng các jumper bằng cách thêm via. Để các đường mạch in không bị chồng chéo lên nhau chúng ta nên vẽ theo nguyên tắc những đường mạch in đi theo chiều dọc sẽ vẽ trên lớp TOP còn những đường theo chiều ngang sẽ vẽ trên lớp BOTTOM hoặc ngược lại.

### 7.6.1 Chọn lớp mạch in

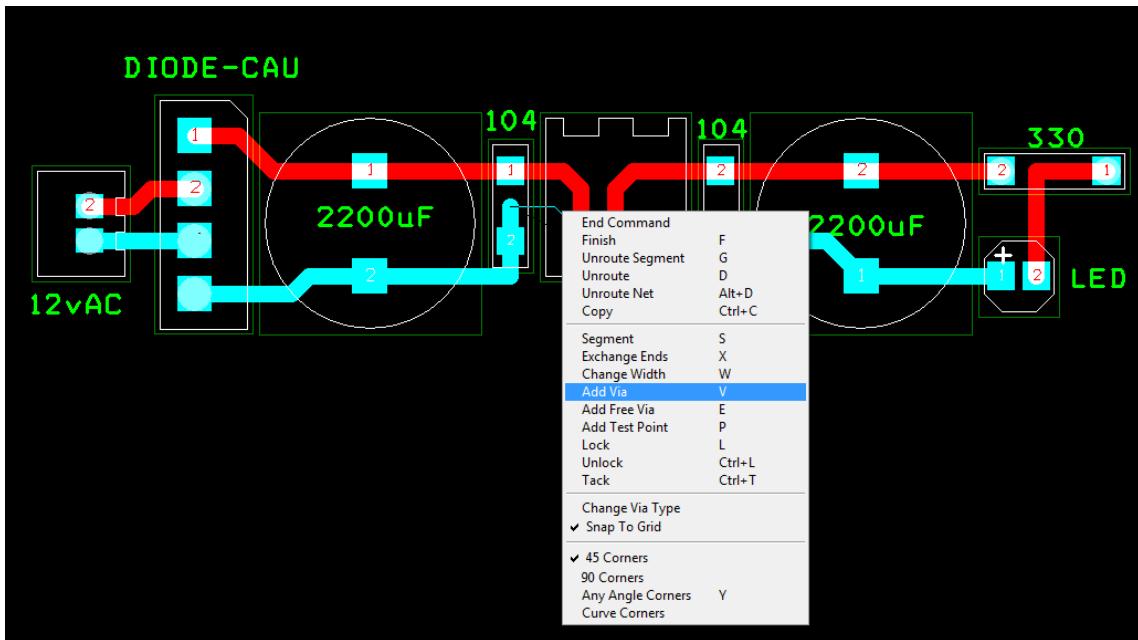
Tùy sơ đồ nối mạch nguyên lý chúng ta chọn công cụ Edit Segment Mode, tiếp theo chúng ta chọn lớp vẽ đường mạch bằng cách click chuột vào Menu color drop down chọn lớp cần vẽ đường mạch in theo màu hoặc sử dụng phím số thứ tự lớp (1: TOP ; 2: BOTTOM ; 23: AST (lớp tên footprint); 25: Drill chart). Sau đó di chuyển chuột và tạo ra các đường mạch in trên lớp TOP và BOT tùy ý. Thao tác tương tự như vậy cho việc vẽ mạch in nhiều hơn hai lớp.



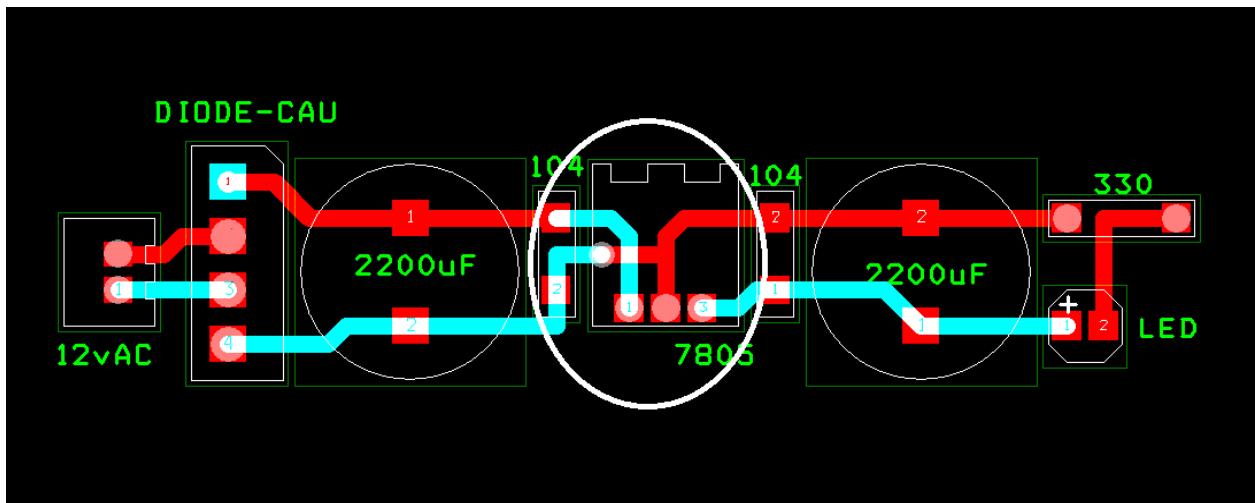
Hình 7.59 Vẽ mạch in 2 lớp

### 7.6.2 Thêm via và dây jumper

Đối với một số bo mạch phức tạp, trong quá trình vẽ đường mạch in nếu gặp trường hợp các đường mạch chồng nhau lúc này chúng ta có thể sử dụng chức năng Add via để chuyển đường mạch in sang lớp khác để tiếp tục vẽ bằng cách click chuột phải chọn Add via và chọn lớp cần vẽ tiếp.



Hình 7.60 Thêm Via



Hình 7.61 Đường mạch in chuyển từ lớp TOP sang lớp BOT bằng cách thêm Via

### 7.6.3 Thay đổi hình dạng, kích thước Pad của via

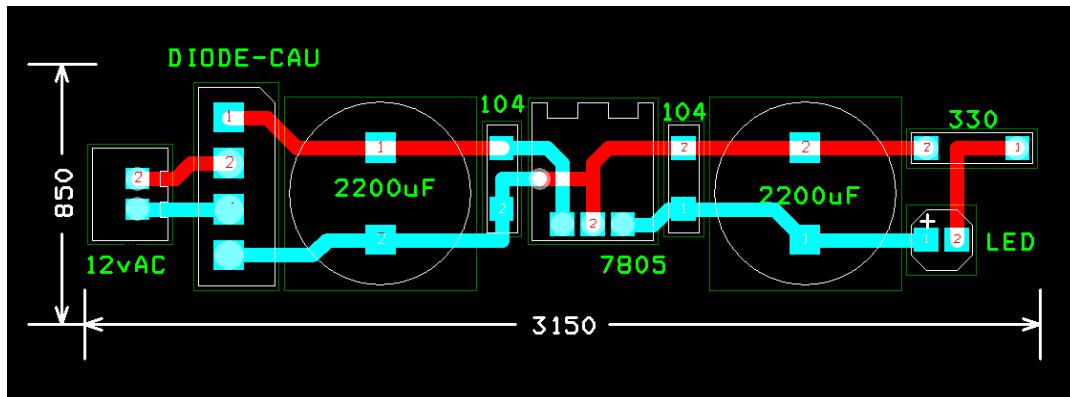
Chúng ta thao tác tương tự như phần thay đổi hình dạng Pad của chân Pin bằng cách chọn *View Spreadsheet>Padstack* nhưng ở mục Padstack or Layer Name chúng ta phải chọn chính xác tên Padstack lúc này là VIA. Sau đó chọn Properties và thay đổi các thuộc tính của Pad.

Padstack or Layer Name	Pad Shape	Pad Width	Pad Height	X Offset	Y Offset
VIA1	Round	50	50	0	0
TOP	Round	50	50	-	0
BOTTOM	Round	75	75	-	0
GND	Round	75	75	-	0
POWER	Round	75	75	-	0
INNER1	Round	50	50	-	0
INNER2	Round	50	50	-	0
INNER3	Round	50	50	-	0
INNER4	Round	50	50	-	0
INNER5	Round	50	50	-	0
INNER6	Round	50	50	-	0
INNER7	Round	50	50	U	0
INNER8	Round	50	50	0	0
INNER9	Round	50	50	0	0
INNER10	Round	50	50	0	0
INNER11	Round	50	50	0	0
INNER12	Round	50	50	0	0
SMTOP	Round	55	55	0	0
SMBOT	Round	55	55	0	0
SPTOP	Undefined	0	0	0	0
SPBOT	Undefined	0	0	0	0
SSTOP	Undefined	0	0	0	0
SSBOT	Undefined	0	0	0	0
ASYTOP	Undefined	0	0	0	0
ASYBOT	Undefined	0	0	0	0
DRLDWG	Round	28	28	0	0
DRILL	Round	28	28	0	0

Hình 7.62 Thay đổi hình dạng và kích thước Pad của Via

#### 7.6.4 Đo kích thước bo mạch in

Để đo kích thước thực tế của bo mạch in sau khi hoàn thành chúng ta chọn *Tool>Demension>Select Tool*. Tiếp theo chúng ta chọn vị bắt đầu rồi click chuột và di chuyển chuột ở trạng thái tự do giá trị kích thước sẽ hiển thị trên trang vẽ. Chúng ta có thể chọn lớp để hiển thị thước đo như Hình 7.61.



Hình 7.63 Đo kích thước bo mạch in

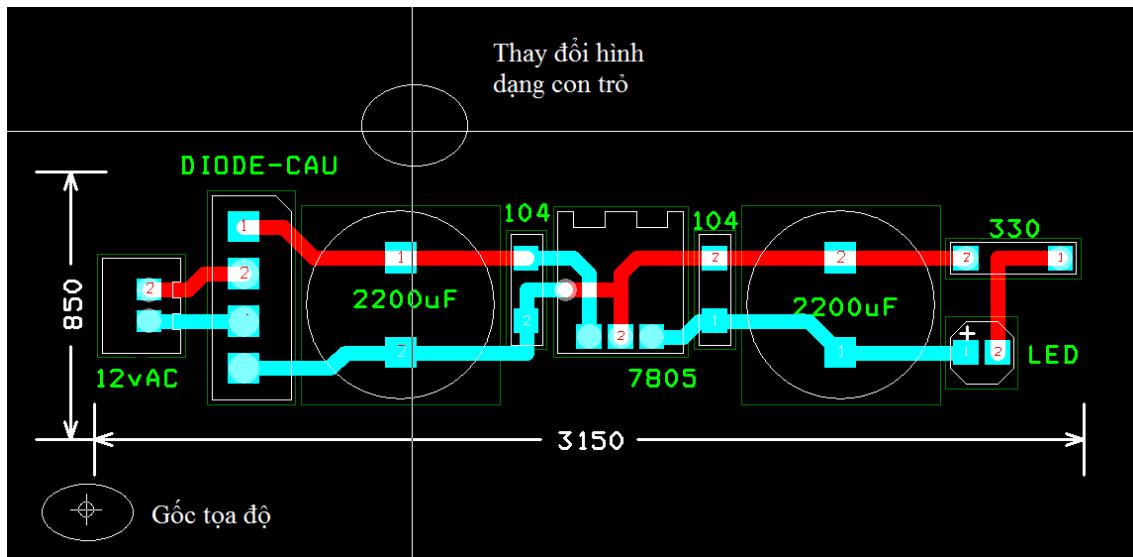
#### 7.6.5 Thay đổi hình dạng con trỏ

Để thuận tiện cho việc xác định vị trí bắt đầu và vị trí kết thúc trên trang vẽ chúng ta có thể thay đổi hình dạng con trỏ trên màn hình bằng cách nhấn phím “+”.

#### 7.6.6 Định vị trí gốc tọa độ

Việc định vị trí gốc tọa độ của bo mạch in để có thể ghép nhiều bo mạch trên cùng một tấm bo kích thước chuẩn nhằm giảm chi phí gia công, chúng ta chọn

Tool>Demension>Move Datum, sau đó di chuyển chuột đến vị trí thích hợp rồi click chuột để kết thúc việc định vị trí gốc tọa độ của bo mạch.



Hình 7.64 Thay đổi hình dạng con trỏ và vị trí gốc tọa độ

## 7.7 Chỉnh sửa đường mạch nguyên lý trong Layout

Trong quá trình thiết kế mạch in đôi khi chúng ta cần thay đổi sơ đồ mạch nguyên lý. Như vậy chúng ta phải quay lại phần Capture để chỉnh sửa sau đó tạo lại file Netlist và thực hiện lại từ đầu các bước thiết kế mạch in trên Layout.

Công cụ Connection tool trên thanh Tool Bar trong Layout cho phép chúng ta xóa hoặc tạo mới các đường mạch nguyên lý.



Hình 7.65 Công cụ Connection tool

Để xóa đường mạch nguyên lý chúng ta cũng sử dụng công cụ Connection tool, click chuột phải chọn Delete và chọn đường mạch nguyên lý cần xóa. Khi chọn đường mạch nguyên lý cần xóa thì một thông báo xuất hiện nếu chắc chắn bạn muốn xóa thì chọn OK.

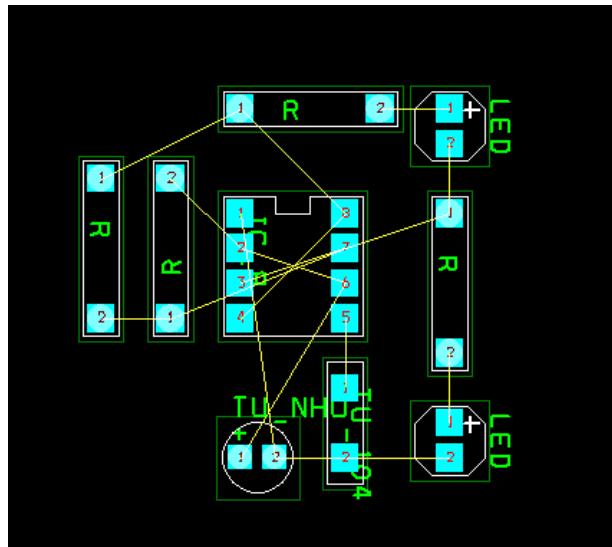
**Chú ý:** Sau khi xóa xong chúng ta phải chọn lại chức năng Add nếu không chúng ta có thể xóa nhầm những đường mạch nguyên lý không cần xóa.

Để thêm các đường nối mạch nguyên lý chúng ta click phải chuột chọn Add sau đó click chuột vào chân linh kiện cần nối và di chuyển đến các vị trí tiếp theo.

## 7.8 Vẽ đường mạch in tự động

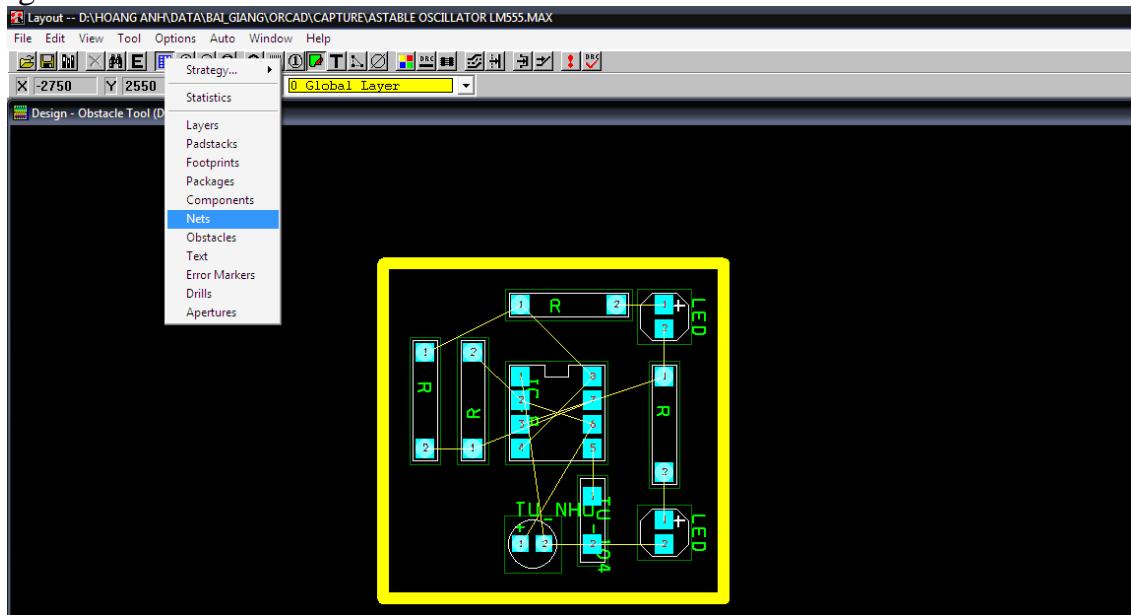
Thực tế đối với các ứng dụng đơn giản không yêu cầu cao về việc thiết kế đường mạch in chúng ta có thể sử dụng công cụ tự động tạo đường mạch in để hỗ trợ trong quá trình thiết kế [2].

Đầu tiên chúng ta sắp xếp vị trí footprint của các linh kiện hợp lý theo nguyên tắc các linh kiện kết nối với nhau thì sắp xếp gần nhau.



Hình 7.66 Sắp xếp footprint linh kiện

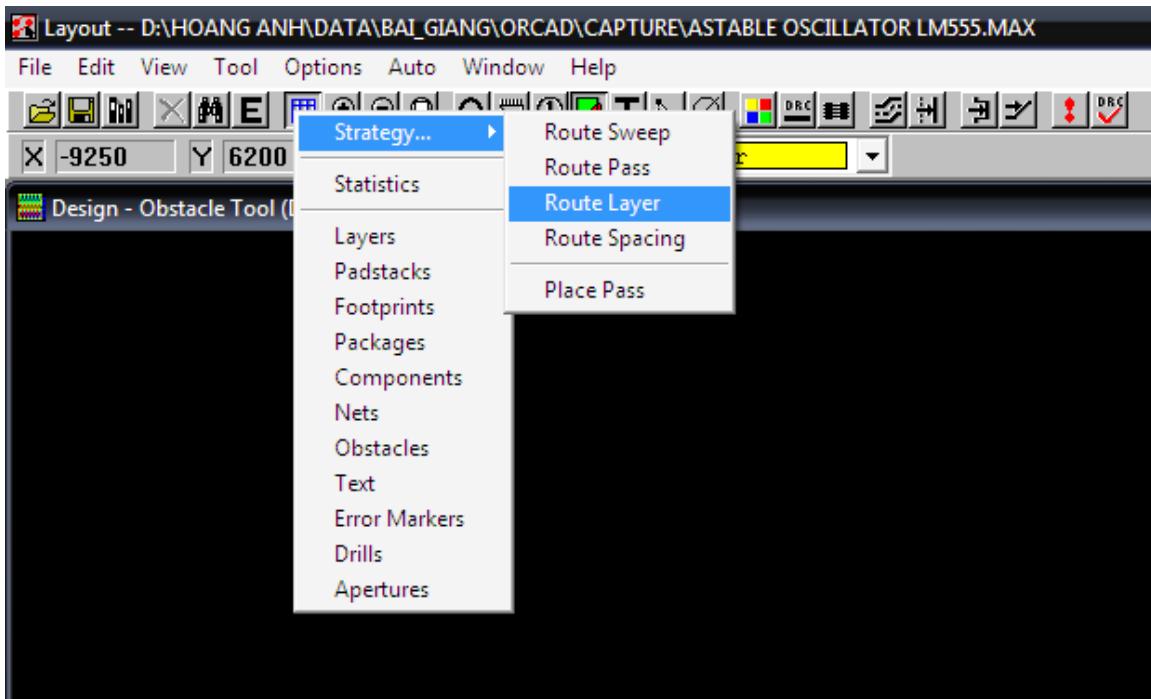
Tiếp theo chúng ta sử dụng công cụ Obstacle tool để vẽ đường bao bo mạch in nhằm mục đích giới hạn đường mạch in không cho phép các đường mạch này vượt ra khỏi đường bao.



Hình 7.67 Vẽ đường bao bo mạch in

Sau đó chúng ta vào công cụ View Spreadsheet chọn mục Nets để thiết lập kích thước của đường mạch in.

Cũng trong công cụ View Spreadsheet chúng ta chọn mục Strategy... > Route Layer để chọn số lớp cho phép vẽ các đường mạch in.

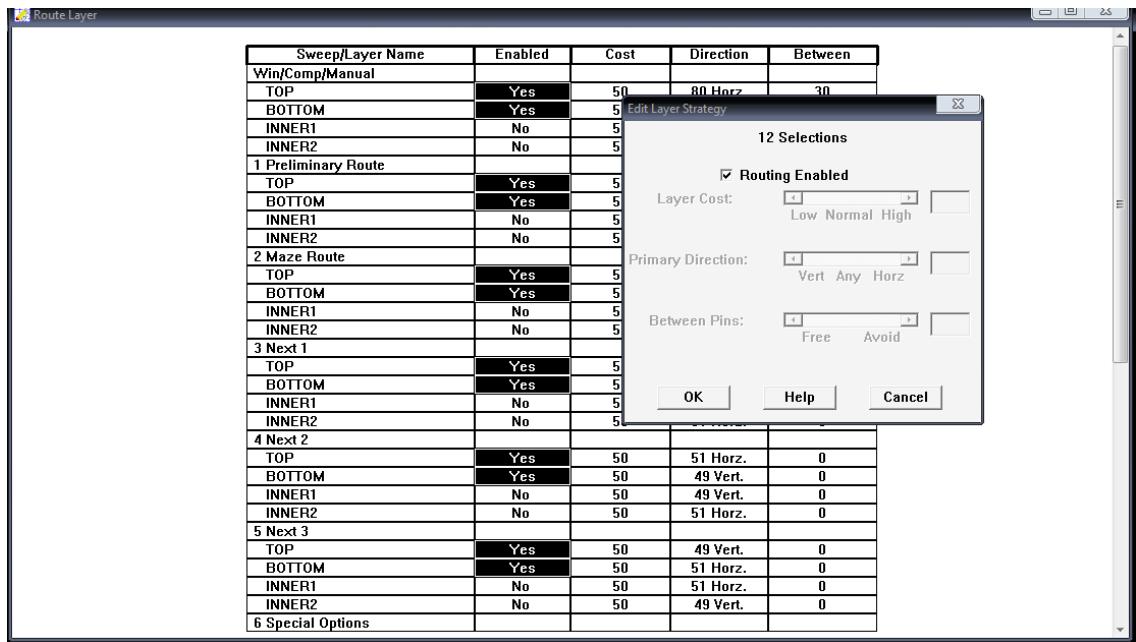


Hình 7.68 Thiết lập số lớp vẽ đường mạch in

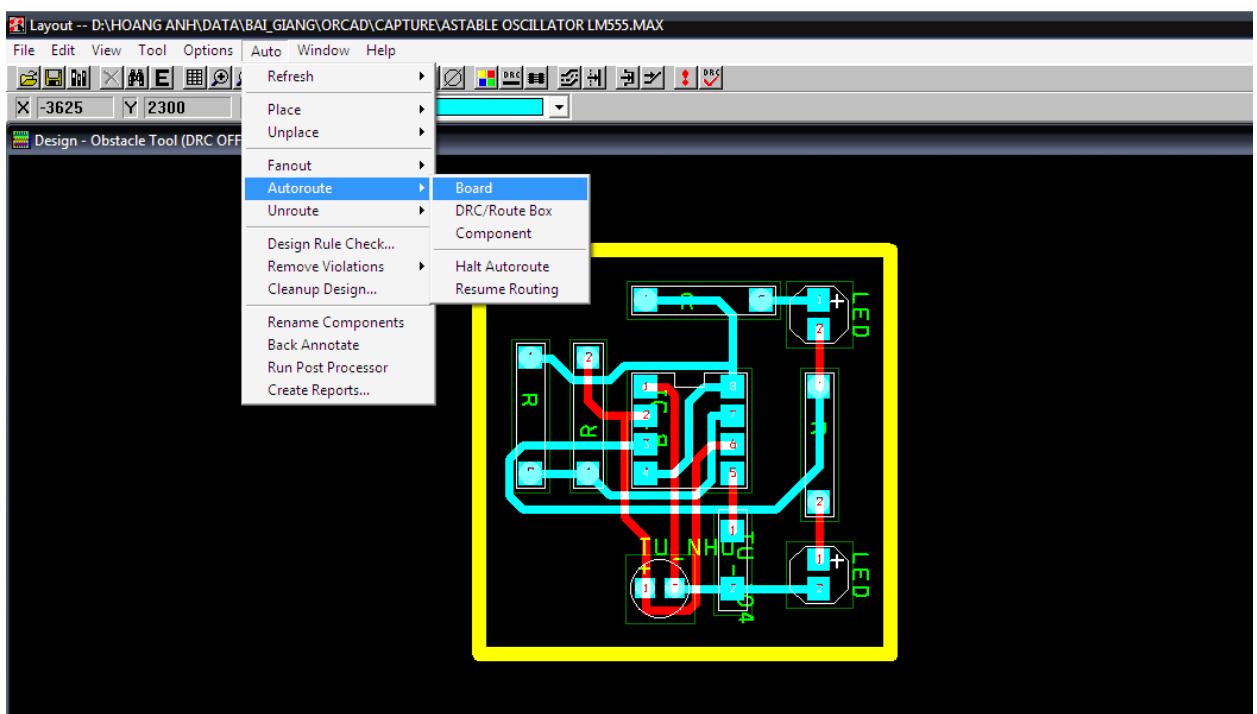
Giả sử chúng ta cần tạo ra đường mạch in ở cả hai lớp TOP và BOTTOM thì chúng ta chọn hai lớp TOP và BOTTOM ở tất cả các phần bằng cách bôi đen các mục này ở tất cả các phần, sau đó click chuột phải và chọn mục Routing Enable. Ngoài ra chúng ta còn có thể chọn lớp TOP hoặc BOTTOM hoặc chọn thêm các lớp INNER khác nếu yêu cầu mạch in nhiều hơn hai lớp. Các lớp sau khi chọn thành công sẽ xuất hiện chữ “YES” ở cột Enable như Hình 7.67.

Cuối cùng để vẽ đường mạch in chúng ta chọn mục *Auto>Autoroute>Board*. Lúc này máy tính sẽ tự động vẽ, đối với các mạch phức tạp thì phải mất nhiều thời gian và đôi khi có những đường mạch in máy tính không thể vẽ được. Để xóa các đường mạch in vừa tạo chúng ta vào mục *Auto>Unroute>Board*.

Sau khi vẽ đường mạch in tự động chúng ta có thể sử dụng các công cụ để chỉnh sửa đường mạch in hoặc sắp xếp lại linh kiện cho hợp lý hơn.



Hình 7.69 Hộp thoại Route Layer



Hình 7.70 Vẽ đường mạch in tự động

## CÂU HỎI ÔN TẬP:

Hãy sử dụng phần mềm OrCAD Layout để vẽ sơ đồ mạch in các mạch nguyên lý tham khảo trong phần phụ lục B với các yêu cầu sau:

1. Sắp xếp đầy đủ, hợp lý footprint các linh kiện.
2. Tạo footprint linh kiện mới (nếu có).
3. Vẽ đường mạch in trên lớp TOP và BOT với kích thước độ rộng đường mạch in là 30 hoặc 50 mils.
4. Vẽ đường bao và phủ mass bo mạch in.
5. Sắp xếp tên linh kiện.

## CHƯƠNG 8: VÍ DỤ MINH HỌA

### 8.1 Tổng quan các bước thiết kế

Cho dù bo mạch của bạn được thiết kế với bất kỳ mục đích gì thì bạn cũng phải thực hiện các bước cơ bản như sau:

1. Lập kế hoạch và các bước chuẩn bị ban đầu
  - (a) Vẽ phác thảo các khái niệm cơ bản
  - (b) Thu thập tài liệu kỹ thuật liên quan đến các linh kiện trong bo mạch (datasheet)
  - (c) Tìm kiếm các dạng đóng gói (footprint) của linh kiện được sử dụng trong thiết kế
  - (d) Sử dụng phần mềm OrCAD Capture để tìm kiếm các linh kiện được sử dụng trong thiết kế. Đối với các linh kiện không có sẵn trong thư viện thì chúng ta tiến hành tạo mới các linh kiện này
2. Thiết lập Project trong phần mềm OrCAD Capture
  - (a) Vẽ sơ đồ mạch nguyên lý (sắp xếp và kết nối các linh kiện)
  - (b) Sử dụng công cụ tạo ghi chú (Annotate) để đánh chỉ số các linh kiện tự động
  - (c) Đảm bảo rằng các linh kiện có đóng gói gồm nhiều thành phần được sử dụng chính xác (IC cổng logic, số lượng và số thứ tự các chân của linh kiện thực tế so với linh kiện trong Capture)
  - (d) Đảm bảo rằng các đường nguồn và mass đã được kết nối chính xác
  - (e) Ghép các linh kiện có liên hệ với nhau thành từng nhóm để tạo thuận lợi cho việc sắp xếp linh kiện trong Layout
  - (f) Thực hiện việc kiểm tra bản thiết kế bằng công cụ (DRC: design rule check) để xác định lỗi, chỉnh sửa và thực hiện lại việc kiểm tra cho đến khi không còn lỗi nào.
  - (g) Tạo file BOM (bill of materials) để kiểm tra xem có footprint nào bị thiếu trên PCB sau khi thiết kế không?
    - (h) Tìm kiếm và gán footprint cho các linh kiện trong thư viện phần mềm Layout. Nếu các linh kiện không có sẵn footprint thì chúng ta sử dụng datasheet và các hướng dẫn gợi ý để tạo các footprint mới bằng cách sử dụng Layout Library Manager
      - (i) Tạo file netlist (.MNL) cho Layout
  3. Xác định các yêu cầu của bo mạch
    - (a) Kích thước và vị trí các lỗ khoan trên bo
    - (b) Chú ý đến việc sắp xếp các linh kiện (giới hạn về chiều cao, phương pháp lắp ráp)
    - (c) Yêu cầu về chống nhiễu và che chắn bo mạch
    - (d) Công nghệ gắn linh kiện (SMT, THT)
    - (e) Độ rộng và khoảng cách đường mạch in

- (f) Yêu cầu về kích thước của via và fanout (pad giải nhiệt)
  - (g) Số lượng lớp nguồn, lớp mass và lớp tín hiệu
4. Xuất file thiết kế sang OrCAD Layout sử dụng công cụ AutoECO
- (a) Chọn file tiêu chuẩn kỹ thuật (.TCH)
  - (b) Chọn file netlist (.MNL)
  - (c) Lưu file thiết kế theo định dạng (.MAX)
5. Thực hiện các bước thiết lập cơ bản cho bo mạch in
- (a) Thiết lập vật lý
    - Tạo đường bao bo mạch in sử dụng công cụ Obstacle
    - Đặt vị trí các lỗ khoan
    - Xác định các linh kiện và các vùng hạn chế vẽ đường mạch in
    - Ghí chú kích thước chiều rộng và chiều cao của bo
  - (b) Sắp xếp sơ bộ footprint các linh kiện
    - Sắp xếp các linh kiện theo nhóm đã ghép trước đó
    - Kiểm tra lỗi trong quá trình sắp xếp
  - (c) Thiết lập lớp mạch in
    - Thiết lập lớp nguồn và lớp mass
    - Thiết lập lớp vẽ đường mạch in
    - Kết nối các đường nguồn và mass vào các lớp nguồn mass
    - Xác định các tham số giải nhiệt
    - Thiết lập các via theo các chức năng giải nhiệt (fanout), via tự do và dây nhảy (jumper)
    - Sử dụng công cụ DRC để kiểm tra lỗi
  - (d) Sắp xếp hoàn chỉnh linh kiện
    - Đảm bảo không vi phạm các yêu cầu về khoảng cách (spacing rule)
    - Nếu có phân chia khu vực trên các lớp thì phải đảm bảo việc sắp xếp linh kiện phù hợp
    - Kiểm tra hướng cực tính của các linh kiện có phân cực (tụ điện, diode...)
6. Sử dụng công cụ vẽ đường mạch in bằng tay để vẽ trước các đường đặc biệt và các vùng giới hạn vẽ mạch tự động
- (a) Vẽ tay trước các đường mạch in có yêu cầu đặc biệt
  - (b) Kiểm tra và chỉnh sửa các lỗi xảy ra
7. Vẽ đường mạch in tự động
- (a) Thiết lập các thông số kỹ thuật cho việc vẽ mạch tự động

- (b) Vẽ mạch in tự động
- (c) Kiểm tra và chỉnh sửa các lỗi xảy ra

#### 8. Hoàn chỉnh thiết kế

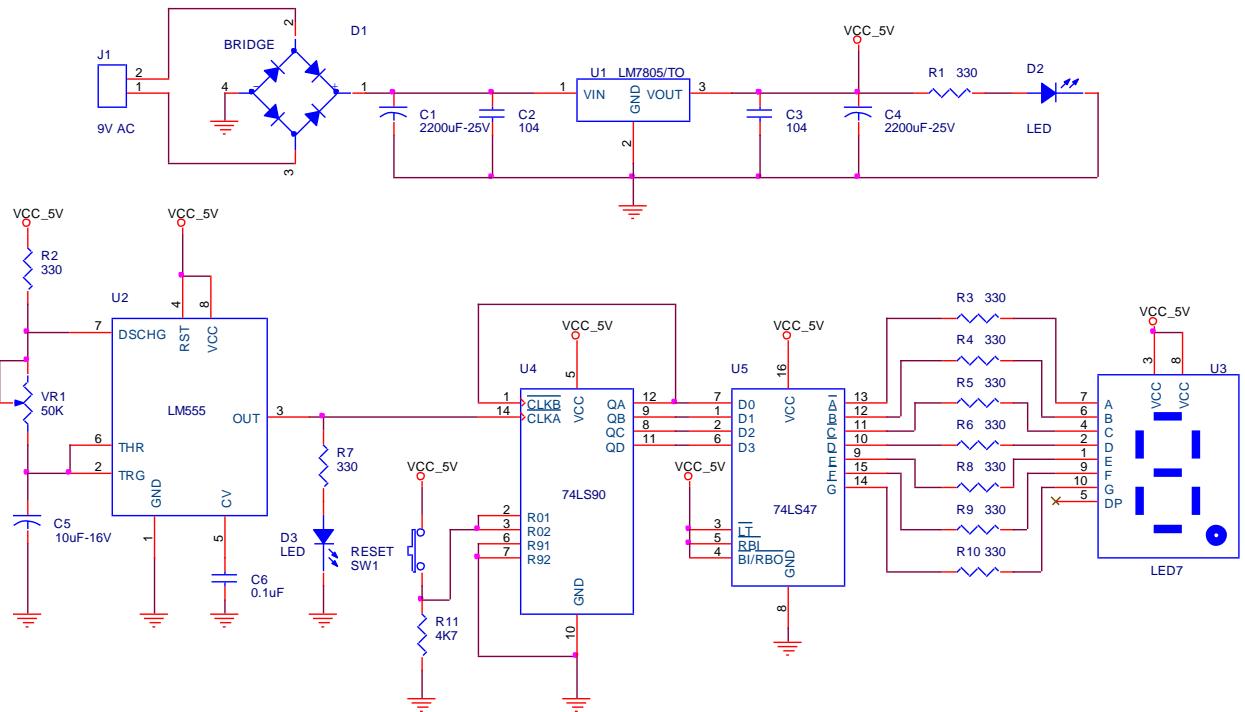
- (a) Kiểm tra lại sau khi vẽ đường mạch in
  - o Cắt bỏ các góc nhọn
  - o Hạn chế các đường mạch in dài và song song nhau (lỗi cross-talk)
  - o Vị trí via
  - o Chỉnh sửa tên footprint
- (b) Tối ưu bo mạch in
  - o Vẽ lại các đường mạch in bị lỗi
  - o Kiểm tra lỗi lằn cuối cùng bằng công cụ DRC
- (c) Đồng bộ hóa với Capture (ghi chú tên linh kiện)

### 8.2 Ví dụ minh họa về thiết kế sơ đồ mạch in

Ví dụ này sẽ trình bày các bước thiết kế sơ đồ mạch in cơ bản từ việc thiết kế sơ đồ mạch nguyên lý trong Capture như tìm kiếm và sắp xếp các linh kiện trên trang vẽ, kết nối mạch nguyên lý giữa các linh kiện, xuất file BOM để hỗ trợ cho quá trình thiết kế. Tiếp theo ví dụ này sẽ tiếp tục thiết kế sơ đồ mạch in trên Layout và minh họa các yêu cầu kỹ thuật của bo mạch in như độ rộng đường mạch in, khoảng cách giữa các đường mạch...

#### 8.2.1 Lập kế hoạch và các bước chuẩn bị ban đầu

Sơ đồ mạch được sử dụng cho ví dụ như Hình 8.1. Trước khi tiến hành vẽ mạch nguyên lý chúng ta cần tạo bảng danh sách các linh kiện trong mạch bao gồm cả các kết nối (connector). Tìm kiếm và tải các tài liệu kỹ thuật (datasheet) liên quan đến các linh kiện từ website của nhà sản xuất. Công việc này giúp tạo ra một bảng dữ liệu chi tiết về các linh kiện và footprint tương ứng nhằm mục đích giúp người thiết kế có thể chọn các linh kiện và footprint phù hợp với yêu cầu của bo mạch. Bảng 8.1 là ví dụ về bảng dữ liệu chi tiết, trong suốt quá trình thiết kế chúng ta có thể thêm các thông tin vào bảng để xây dựng và tổ chức cơ sở dữ liệu cho thiết kế. Nếu có vấn đề gì xảy ra thì cơ sở dữ liệu này có thể giúp chúng ta phát hiện và chỉnh sửa các lỗi này.



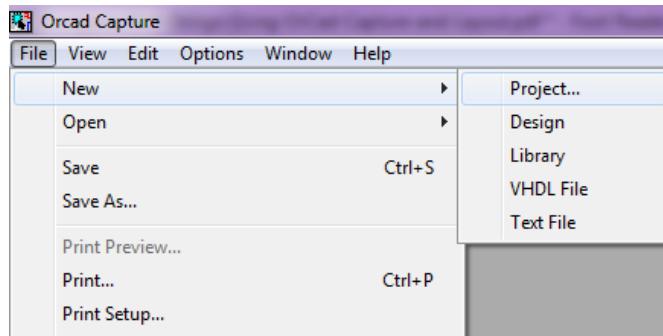
Hình 8.1 Mạch đếm 0-9 sử dụng IC đếm 74LS90 và IC giải mã LED 7 đoạn 74LS47

Bảng 8.1 Danh sách các linh kiện và thông số kỹ thuật

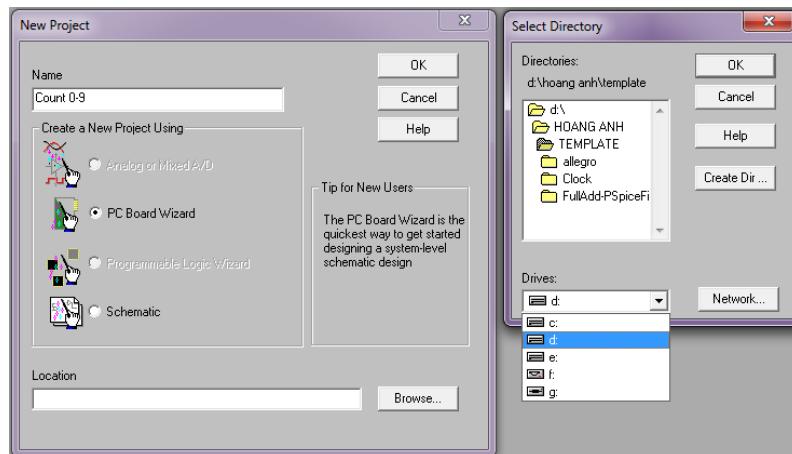
Ký hiệu (Reference)	Giá trị (Value)	Số lượng (Quantity)	Công nghệ đóng gói (Mounting/Packaging)	Nhà sản xuất (Manufacturer)	Mã sản phẩm (Part/Number)
C4, C1	2200uF-25V	2	Through-hole, radial lead	JWCO	2200uF-25V
C2, C3	104	2	Through-hole, radial lead	JWCO	104
C5	10uF-16V	1	Through-hole, radial lead	JWCO	10uF-16V
C6	0.1uF	1	Through-hole, radial lead	JWCO	0.1uF
D1	BRIDGE	1	KBP (4)	SEP	KBP206
D3, D2	LED	2	Through-hole, radial lead	Havatek	HT204GD
J1	9V AC	1	DIP (2)	TA-I	J-100
R1-R10	330	10	Through-hole, 0-400-in pin spacing (1/4W)	TA-I	R1/4W-330R
R11	4K7	1	Through-hole, 0-400-in pin spacing (1/4W)	TA-I	R1/4W-4K7
SW1	RESET	1	DIP (2)	KAN	KAN0611
U1	LM7805/TO	1	TO-220	ST	L7805CV
U2	LM555	1	DIP (8)	TI	NE55P
U3	LED7	1	DIP (10)	CEM	CEM5161BE
U4	74LS90	1	DIP (14)	TI	74LS90
U5	74LS47	1	DIP (16)	TI	74LS47
VR1	50K	1	DIP (3)	Panasonic	EVND2AA03B14

## 8.2.2 Thiết lập Project trong phần mềm OrCAD Capture

Sau khi mở phần mềm OrCAD Capture, chúng ta vào menu công cụ *File* chọn *New>Project...*. Tại hộp thoại New Project nhập tên project ví dụ “Count 0-9”, chọn mục PCB Project Wizard và chọn đường dẫn lưu trữ tại mục Browse...

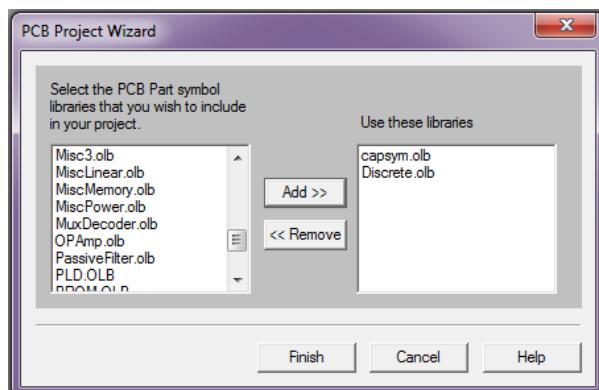


Hình 8.2 Tạo project mới



Hình 8.3 Nhập tên và đường dẫn lưu project

Hộp thoại PCB Project Wizard xuất hiện cho phép chúng ta thêm các thư viện chứa linh kiện có trong mạch nguyên lý, chúng ta có thể thêm bằng cách chọn tên thư viện và click chuột chọn *Add* hoặc bỏ qua bằng cách chọn *Finish*.



Hình 8.4 Thêm thư viện linh kiện vào project

## 8.2.3 Vẽ sơ đồ mạch nguyên lý với Capture

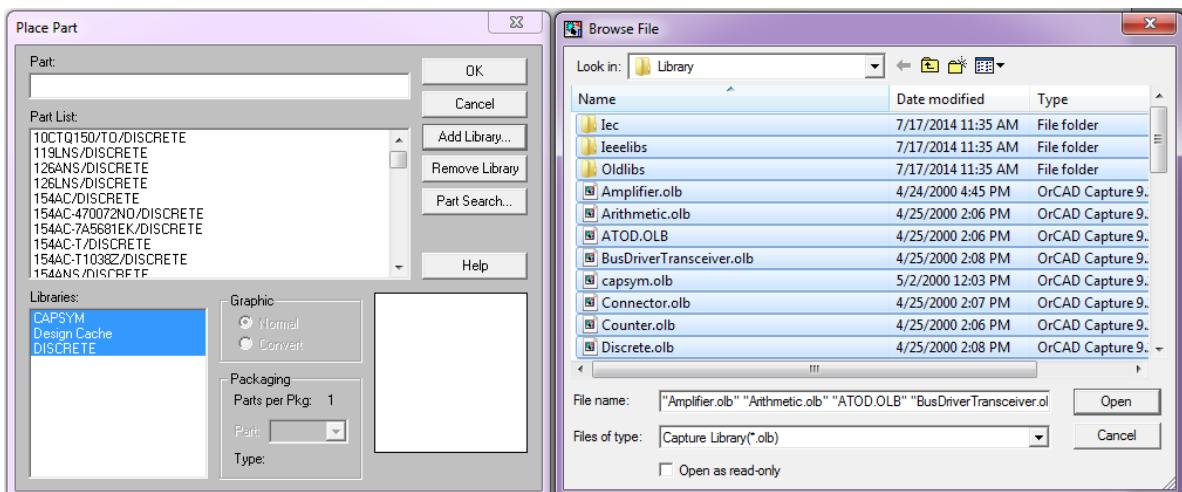
### 8.2.3.1 Sắp xếp linh kiện

Trước khi thực hiện việc lấy và đặt linh kiện lên trang vẽ chúng ta phải đảm bảo lưới đặt linh kiện (placing grid) phải được mở vì nếu linh kiện không đặt trên lưới thì chúng ta không thể vẽ đường nối mạch nguyên lý đến các chân của linh kiện. Chúng ta click chuột chọn công cụ *Snap to grid* trên thanh menu chính. Nếu công cụ này ở trạng thái “màu trắng” thì chức năng đặt linh kiện trên lưới đang được mở và màu đỏ nghĩa là đang tắt.



Hình 8.5 Công cụ *Snap to grid*

Để có thể lấy và đặt linh kiện lên trang vẽ chúng ta sử dụng công cụ *Place part* sau đó chọn mục *Add Libraries* để thêm các thư viện linh kiện còn lại như Hình 8.6 giúp cho việc tìm kiếm linh kiện hiệu quả hơn.



Hình 8.6 Thêm thư viện tìm kiếm linh kiện vào project

Danh sách các linh kiện sử dụng trong mạch được liệt kê trong Bảng 8.2. Trong đó LED 7 đoạn là linh kiện không có sẵn trong thư viện do đó chúng ta phải tạo mới. Việc tạo mới linh kiện có thể được thực hiện trước khi tiến hành vẽ nguyên lý hoặc có thể thực hiện trong lúc vẽ. Để tạo mới LED 7 đoạn chúng ta có thể tham khảo hướng dẫn tạo linh kiện mới ở chương 6 mục 6.4.

#### Những chú ý khi tiến hành vẽ sơ đồ mạch nguyên lý:

- Nên vẽ mạch theo trình tự từ trái sang phải và từ trên xuống dưới
- Không lấy tất cả linh kiện ra trang vẽ mà chúng ta nên lấy linh kiện và vẽ theo từng khối chức năng của mạch.

- Các linh kiện được bố trí trên trang vẽ phải đảm bảo cân đối về khoảng cách giữa các linh kiện

- Các ghi chú và tên linh kiện phải rõ ràng không được đặt chồng lên nhau

*Bảng 8.2 Bảng danh sách tên và thư viện chứa các linh kiện được sử dụng trong project*

Ký hiệu (Reference)	Giá trị (Value)	Tên linh kiện (Capture part)	Thư viện (Capture Library)
C4, C1	2200uF-25V	CAP	CAPTURE\LIBRARY\DISCRETE.OLB
C2, C3	104	CAP NP	CAPTURE\LIBRARY\DISCRETE.OLB
C5	10uF-16V	CAP	CAPTURE\LIBRARY\DISCRETE.OLB
C6	0.1uF	CAP	CAPTURE\LIBRARY\DISCRETE.OLB
D1	BRIDGE	BRIDGE	CAPTURE\LIBRARY\DISCRETE.OLB
D3, D2	LED	LED	CAPTURE\LIBRARY\DISCRETE.OLB
J1	9V AC	CON2	CAPTURE\LIBRARY\CONNECTOR.OLB
R1-R10	330	R	CAPTURE\LIBRARY\DISCRETE.OLB
R11	4K7	R	CAPTURE\LIBRARY\DISCRETE.OLB
SW1	RESET	SW PUSHBUTTON	CAPTURE\LIBRARY\DISCRETE.OLB
U1	LM7805/TO	L7805/T0220	CAPTURE\LIBRARY\REGULATOR.OLB
U2	LM555	NE555	CAPTURE\LIBRARY\MISCLINEAR.OLB
U3	LED7	Không có sẵn	Chúng ta phải tạo mới linh kiện này
U4	74LS90	74LS90	CAPTURE\LIBRARY\COUNTER.OLB
U5	74LS47	74LS47	CAPTURE\LIBRARY\MUXDECODER.OLB
VR1	50K	POT	CAPTURE\LIBRARY\DISCRETE.OLB

Sau khi lấy linh kiện ra trang vẽ chúng ta có thể xoay, lật đổi xứng hoặc chỉnh sửa kích thước, vị trí chân theo hướng dẫn ở chương 6 mục 6.2 cho phù hợp với yêu cầu sắp xếp.

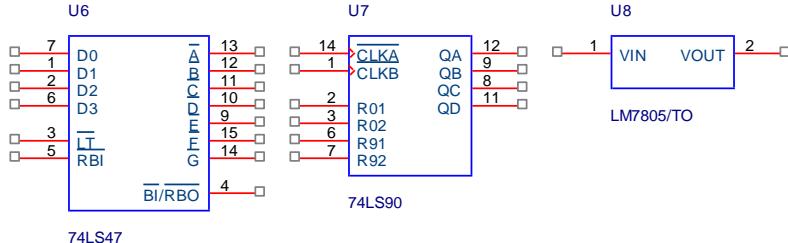
### 8.2.3.2 Kết nối mạch nguyên lý

Để vẽ đường nối mạch nguyên lý chúng ta sử dụng công cụ *Place wire* hoặc nhấn phím tắt *W*, click chuột vào vị trí kết nối (ô vuông) trên chân linh kiện thả tự do và di chuyển chuột tạo các đường gấp khúc đến chân linh kiện cần kết nối, click chuột tại vị trí kết nối để kết thúc. Tiếp tục vẽ các đường mạch nguyên lý còn lại như Hình 8.1, các công cụ sử dụng cho việc vẽ mạch nguyên lý được trình bày ở chương 6 mục 6.1.

### 8.2.3.3 Tạo các kết nối nguồn và mass

Có 3 trường hợp được kết nối với nguồn và mass đối với các linh kiện tích cực tùy theo loại chân nguồn của linh kiện. Chân nguồn của linh kiện có thể là loại chân nguồn không nhìn thấy được (chân này thường được ẩn đi khi lấy linh kiện ra trang vẽ), loại nhìn thấy được và loại không phải là chân nguồn nhưng vẫn được kết nối với nguồn như các linh kiện thụ động (*R, L, C...*) và các chân ngõ vào (các chân này thì luôn nhìn thấy được). Khái niệm “nhìn thấy” được đề cập ở đây có nghĩa là chúng ta không thể quan sát được các chân

này trên màn hình máy tính khi lấy ra trang vẽ. Các linh kiện dạng số thường có các chân nguồn bị ẩn đi trong khi đó các linh kiện dạng analog thì các chân nguồn này được hiển thị. Để đảm bảo các chân nguồn mass được kết nối đúng chúng ta nên chỉnh sửa các chân này ở trạng thái hiển thị và tạo kết nối với các biểu tượng nguồn hoặc mass.



Hình 8.7 Chân nguồn và mass của các linh kiện dạng số thường không được hiển thị

#### 8.2.4 Chuẩn bị cho công đoạn thiết kế mạch in trên Layout

Khi mà tất cả các đường nối mạch nguyên lý đã thực hiện xong thì bước tiếp theo là kiểm tra bản thiết kế chuẩn bị cho việc tao file netlist gồm các bước sau:

- Thực việc gán footprint cho các linh kiện
  - Tạo nhóm các linh kiện có mối quan hệ với nhau
  - Tiến hành tạo các ghi chú
  - Kiểm tra lỗi

Các bước thực cho công đoạn này được trình bày trong chương 6 mục 6.5. Linh kiện trong mạch được gán footprint như trong Bảng 8.3.

Đối với các linh kiện không có sẵn footprint trong thư viện của phần mềm Layout chúng ta có thể dựa vào tài liệu kỹ thuật (datasheet) để tạo footprint cho các linh kiện này theo hướng dẫn như ở chương 7 mục 7.4.

**Chú ý:** Việc tìm kiếm footprint linh kiện trong thư viện có sẵn của phần mềm thường mất nhiều thời gian. Do đó để có thể chủ động trong việc chọn footprint cho các linh kiện chúng ta nên tạo cho mình một thư viện riêng gồm các linh kiện thường xuyên sử dụng bằng cách tạo mới hoặc chỉnh sửa các footprint có sẵn trong thư viện sau đó lưu thành một thư viện riêng để thuận tiện cho việc sử dụng sau này.

Việc tạo nhóm cho các linh kiện có mối liên hệ với nhau trong sơ đồ mạch nguyên lý sẽ giúp cho quá trình sắp xếp footprint linh kiện trên Layout thuận lợi hơn.

Bước tiếp theo chúng ta thực hiện việc tạo ghi chú cho mạch nguyên lý bằng công cụ Annotate. Chúng ta nên thực hiện việc kiểm tra và chỉnh sửa các lỗi trước khi tạo file netlist theo hướng dẫn như đã trình bày trong mục 6.5.

Bảng 8.3 Bảng danh sách thư viện footprint các linh kiện được sử dụng trong project

Ký hiệu (Reference)	Giá trị (Value)	Tên linh kiện (Capture part)	Thư viện (Layout Library)
C4, C1	2200uF-25V	CAP	TM_CYLD/CYL/D.650/LS.300/.040
C2, C3	104	CAP NP	TM_RAD/RAD/.300X.100/LS.200/.031
C5	10uF-16V	CAP	TM_CYLD/CYL/D.200/LS.100/.031
C6	0.1uF	CAP	TM_RAD/RAD/.300X.100/LS.200/.031
D1	BRIDGE	BRIDGE	BCON156T/BLKCON.156/VH/TM1SQS/W.156/4
D3, D2	LED	LED	TM_CYLD/CYL/D.200/LS.100/.031
J1	9V AC	CON2	BCON100T/BLKCON.100/VH/TM1SQ/W.100/2
R1-R10	330	R	JUMPER/JUMPER400
R11	4K7	R	JUMPER/JUMPER400
SW1	RESET	SW PUSHBUTTON	TM_RAD/RAD/.250X.125/LS.200/.031
U1	LM7805/TO	L7805/T0220	TO/TO202AC
U2	LM555	NE555	DIP100T/DIP.100/8/W.300/L.400
U3	LED7	Không có sẵn	Chúng ta phải tạo footprint mới linh kiện này
U4	74LS90	74LS90	DIP100T/DIP.100/14/W.300/L.700
U5	74LS47	74LS47	DIP100T/DIP.100/16/W.300/L.800
VR1	50K	POT	BCON156T/BLKCON.156/VH/TM1SQS/W.156/3

Bảng 8.4 Sắp xếp các linh kiện theo nhóm

Ký hiệu (Reference)	Giá trị (Value)	Tên linh kiện (Capture part)	Nhóm (Group)
C4, C1	2200uF-25V	CAP	1
C2, C3	104	CAP NP	1
U1	LM7805/TO	L7805/T0220	1
D1	BRIDGE	BRIDGE	1
D2	LED	LED	1
J1	9V AC	CON2	1
R1	330	R	1
R2, R7	330	R	2
C5	10uF-16V	CAP	2
C6	0.1uF	CAP	2
VR1	50K	POT	2
U2	LM555	NE555	2
D3	LED	LED	2
R3-R6, R8-R10	330	R	3
R11	4K7	R	3
SW1	RESET	SW PUSHBUTTON	3
U3	LED7	LED7	3
U4	74LS90	74LS90	3
U5	74LS47	74LS47	3

## **8.2.5 Xác định các yêu cầu của bo mạch**

Bước đầu tiên trong việc thiết lập các yêu cầu kỹ thuật cho một bo mạch in mới đó là chọn file công nghệ chế tạo, việc chọn lựa này yêu cầu chúng ta phải biết trước loại linh kiện nào sẽ được sử dụng trong thiết kế (dạng đóng gói và công nghệ lắp ráp), số lượng lớp và loại lớp mạch in, độ rộng và khoảng cách giữa các đường mạch in.

### **8.2.5.1 Dạng đóng gói và công nghệ lắp ráp**

Theo như bảng liệt kê đánh sách các linh kiện sử dụng trong project này ở Bảng 8.1 thì chúng ta chỉ sử dụng một loại linh kiện đó là loại có đóng gói dạng chân cắm xuyên lõi và chúng ta sẽ tự lắp ráp linh kiện bằng tay.

### **8.2.5.2 Số lớp mạch in và cách sắp xếp các lớp**

Đối với ví dụ minh họa này do bo mạch khá đơn giản nên chúng ta chỉ sử dụng loại bo mạch in 1 hoặc 2 lớp.

### **8.2.5.3 Độ rộng đường mạch in**

Độ rộng này phụ thuộc vào hai yếu tố chính, thứ nhất là yêu cầu về khả năng chịu dòng và thứ hai là trở kháng của đường mạch in. Theo như công thức (7.1) được trình bày trong mục 7.5.3 nếu chúng ta sử dụng bo đồng có độ dày 1 oz thì với đường mạch rộng 6 mil khả năng chịu dòng sẽ là 300mA đối với lớp bên trong và 600mA với đường mạch ở lớp ngoài (Top và Bottom). Đối với các mạch điện thông thường thì các tín hiệu có tần số rất thấp (nhỏ hơn 20kHz) do đó trở kháng của đường mạch in không là vấn đề quan trọng nhưng đối với các thiết kế tần số cao thì chúng ta phải điều khiển được trở kháng của các đường mạch in.

### **8.2.5.4 Khoảng cách giữa các đường mạch in**

Có 2 lý do buộc chúng ta phải điều chỉnh khoảng cách giữa các đường mạch, thứ nhất là để đảm bảo sự cách ly giữa các đường mạch điện áp cao, thứ hai là để giảm tối thiểu ảnh hưởng giữa các đường tín hiệu (cross talk). Theo tiêu chuẩn IPC-2221A như trong Bảng 8.5, giả sử điện áp chênh lệch giữa hai đường mạch (voltage between conductor) từ 0-15V thì khoảng cách tối thiểu giữa hai đường mạch ở lớp bên trong (internal trace) là 2 mil. Đối với các đường mạch ở lớp bên ngoài (external trace) thì khoảng cách này phụ thuộc vào điện áp và lớp phủ bảo vệ bo (bare: không phủ, soldermask: lớp phủ chống oxy hóa, lớp phủ conformal) thì khoảng cách này sẽ thay đổi.

Bảng 8.5 Khoảng cách tối thiểu giữa các đường mạch in

Voltage between conductors ( $V_{DC}$ or $V_{P-P}$ )	Internal traces	External traces		
		Bare	Soldermask only	Conformal coating
0–15	2	4	2	5
16–30	2	4	2	5
31–50	4	24	5	5
51–100	4	24	5	5

After IPC-2221A.

### 8.2.5.5 Chọn lựa file tiêu chuẩn kỹ thuật

Khi chúng ta mở phần mềm Layout để tạo một thiết kế thì phần mềm sẽ yêu cầu chọn file tiêu chuẩn kỹ thuật (.TCH). File này xác định cấu trúc và thiết lập các giá trị như độ rộng và khoảng cách của các đường mạch in, khoảng cách lưỡi trang vẽ, padstack và màu sắc thể hiện của các lớp mạch in. Bảng 8.6 mô tả các đặc tính của một số file tiêu chuẩn kỹ thuật.

Bảng 8.6 Đặc tính của một số file tiêu chuẩn kỹ thuật thông dụng

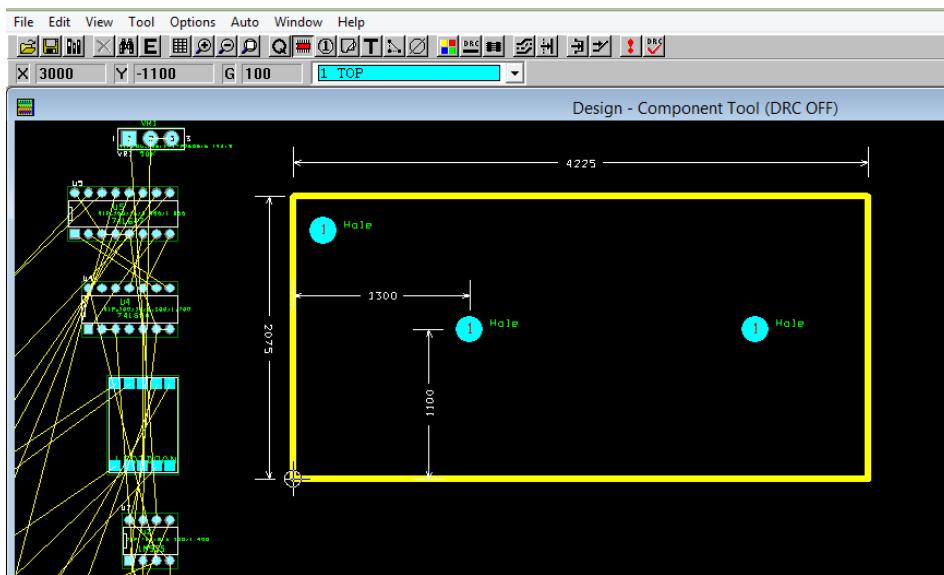
Technology files (*.TCH)	Design complexity level/class	Trace width (mils)	Route spacing (mils)	Default layers	
				Route	Plane
default	A	12	12	12	2
1bet_any	A	12	12	12	2
metric	B	10	10	12	2
2bet_thr	B	10	8	12	2
2bet_smt	B	8	8	12	2
3bet_any	C	6	6	12	2

### 8.2.6 Xuất file thiết kế sang OrCAD Layout sử dụng công cụ AutoECO

Sau khi tạo file mới trên phần mềm Layout, chúng ta sẽ chọn file tiêu chuẩn kỹ thuật (.TCH), file netlist, nhập đường dẫn lưu trữ file mạch in (.MAX) và chọn footprint cho các linh kiện (nếu như chúng ta không thực hiện việc gán footprint cho linh kiện ở phần Capture trước đó) theo hướng dẫn như đã trình bày trong mục 7.1. Tiếp theo chúng ta thực hiện các bước thiết lập cho bo như sau:

#### 8.2.6.1 Tạo đường bao bo mạch in

Đầu tiên chúng ta cần vẽ đường bao bo mạch in theo yêu cầu về hình dạng và kích thước sau đó đặt các lỗ khoan dùng để gá bo (nếu có). Giả sử trong trường hợp chúng ta thiết kế các bo mạch cho một sản phẩm như vậy chúng ta phải biết trước hình dạng, kích thước và vị trí đặt các lỗ khoan để gắn bo.



Hình 8.8 Tạo đường bao bo mạch in và định vị các lỗ khoan gá bo

Để vẽ đường bao bo mạch chúng ta sử dụng công cụ *Obstacle*, để xác định kích thước và tọa độ vị trí đặt các lỗ khoan sử dụng công cụ *Select* như được trình bày trong mục 7.5.7 và 7.6.4. Chúng ta nên di chuyển gốc tọa độ về vị góc của bo như Hình 8.8 và sử dụng vị trí này để tham chiếu cho các vị trí đặt lỗ khoan gá bo cũng như vị trí đặt linh kiện theo yêu cầu (nếu có) bằng cách sử dụng công cụ *Move Datum* như trình bày trong mục 7.6.6. Để lấy footprint các lỗ khoan gá bo chúng ta chọn công cụ *Component tool>New>Footprint*, sau đó chọn thư viện *LAYOUT* và footprint *MTHOLE*.

### 8.2.6.2 Sắp xếp linh kiện

Việc sắp xếp linh kiện là cả một nghệ thuật và khoa học, làm thế nào chúng ta có thể sắp xếp linh kiện thỏa mãn cả yêu cầu về mặt cơ khí và yêu cầu về mặt điện. Yêu cầu về cơ khí đó là thiết kế phải phù hợp với khả năng của nhà sản xuất (quy trình lắp ráp và hàn linh kiện) và các giới hạn vật lý của bo (kích thước, hình dạng...). Yêu cầu về điện đó là chức năng của tín hiệu, giải nhiệt, bảo toàn tín hiệu và yêu cầu về điện từ. Thông thường thì tất cả những vấn đề nêu trên đều rất quan trọng và trong một số trường hợp các yêu cầu trên bị xung đột với nhau. Để thỏa mãn những yêu cầu này theo tiêu chuẩn các bạn có thể tham khảo chương 4 và 5 trong tài liệu tham khảo [1]. Đối với ví dụ minh họa này thì việc sắp xếp linh kiện trên bo tương đối đơn giản và khá giống với cách sắp xếp linh kiện trên mạch nguyên lý.

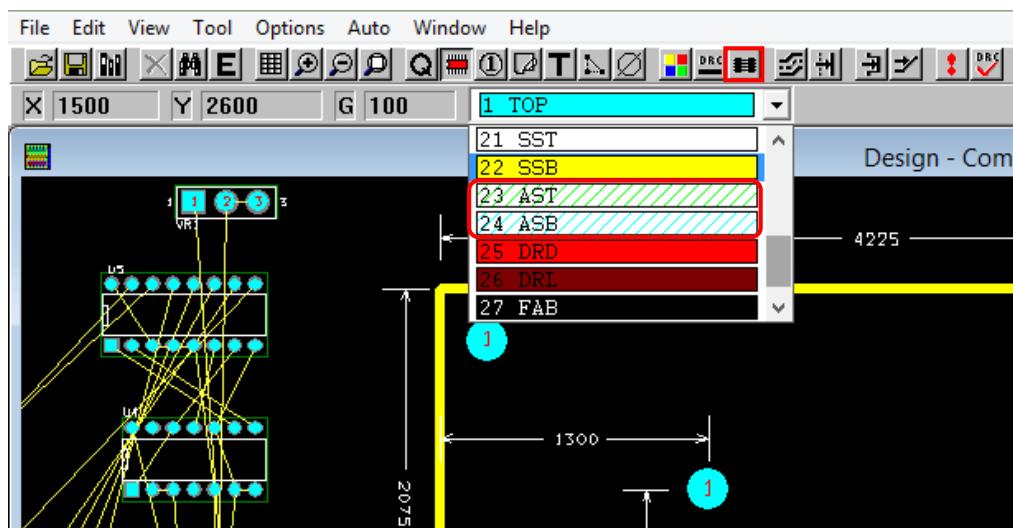
Khi chúng ta bắt đầu tạo file .MAX, các linh kiện xuất hiện trên trang vẽ được sắp xếp theo cột và được đặt bên trái gốc tọa độ. Chúng ta phải tìm ra linh kiện cần sắp xếp và di chuyển linh kiện này vào bên trong đường bao. Có một số thao tác giúp chúng ta có thể quan sát cột linh kiện tốt hơn. Đầu tiên là ẩn lớp lắp ráp (AST và ASB) lớp này không cung

cấp thông tin hỗ trợ cho việc sắp xếp linh kiện, thứ hai là ẩn các đường nối mạch nguyên lý (rat's net: đường màu vàng) bằng cách chọn danh sách lớp trong mục *Layer selection* sau đó nhấn phím “-” để ẩn đi hoặc nhấn phím này một lần nữa để hiển thị lại. Để ẩn các đường mạch nguyên lý chúng ta sử dụng công cụ *Reconnect mode* như trong Hình 8.9.

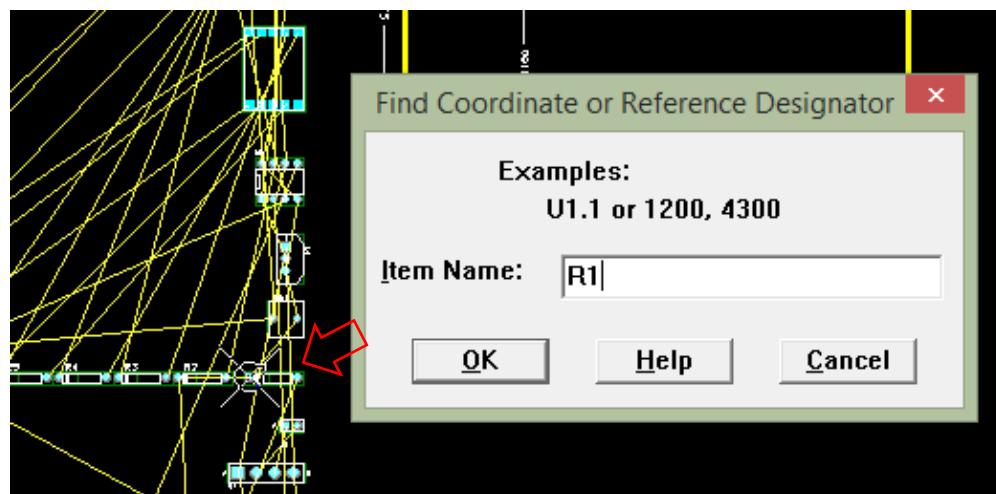
### 8.2.6.3 Tìm kiếm linh kiện

Mục tiêu ban đầu là lấy và đặt các linh kiện liên quan nằm gần nhau sau đó mới bắt đầu sắp xếp các linh kiện này vào vào vị trí chính xác. Để tìm kiếm và sắp xếp linh kiện chúng ta có thể tìm và sắp xếp từng linh kiện một hoặc chúng ta có thể sử dụng công cụ Find để tìm rồi sắp xếp vị trí các linh kiện theo mạch nguyên lý hoặc sử dụng công cụ Queue để sắp xếp linh kiện theo trình tự.

Chúng ta sử dụng công cụ *Find/Go to* sau đó nhập tên linh kiện theo mạch nguyên lý, linh kiện cần tìm sẽ được đánh dấu “X” như Hình 8. 10.



Hình 8.9 *Bảng hiển thị danh sách lớp và công cụ Reconnect mode*

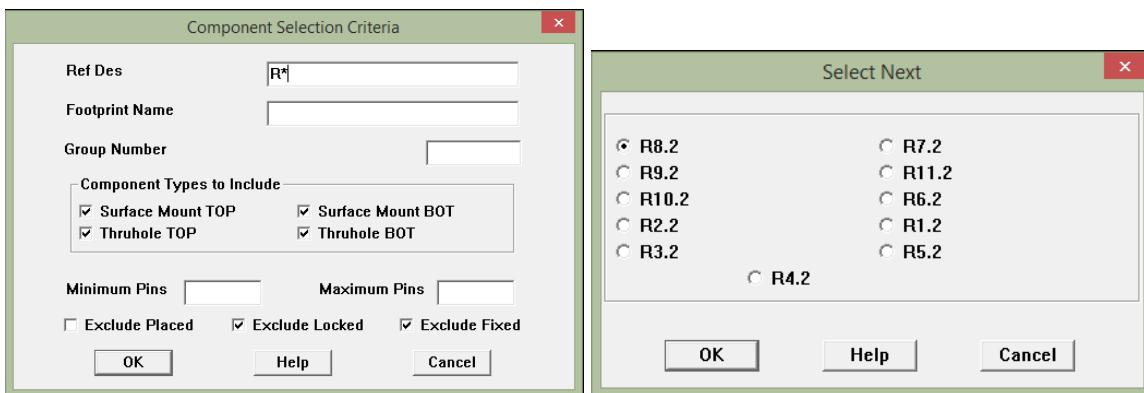


Hình 8.10 *Tìm kiếm linh kiện cần sắp xếp*

#### 8.2.6.4 Sắp xếp linh kiện theo trình tự

Một phương pháp để sắp xếp linh kiện một cách bài bản đó là lập danh sách các linh kiện cần sắp xếp theo trình tự. Để lập danh sách này chúng ta chọn chức năng *Tool>Component>Queue For Placement* hộp thoại Component Selection Criteria xuất hiện. Chúng ta có thể thêm các phần tử vào danh sách trình tự sắp xếp theo tên linh kiện, footprint hoặc theo số thứ tự nhóm.

Ví dụ như chúng ta muốn thêm tất cả điện trở vào danh sách trình tự sắp xếp sau khi hộp thoại Component Selection Criteria xuất hiện trong mục Ref Des ta nhập ký hiệu “R\*” sau đó chọn *OK* thì tất cả điện trở sẽ được thêm vào danh sách như Hình 8.11.



Hình 8.11 Tạo danh sách các linh kiện cần sắp xếp theo loại linh kiện

Để có thể sắp xếp từng linh kiện trong danh sách chúng ta tiếp tục sử dụng chức năng *Tools>Component>Place*, hộp thoại Select Next xuất hiện chúng ta có thể chọn linh kiện tùy ý trong danh sách sau đó chọn *OK* để sắp xếp linh kiện bên trong đường bao bo mạch. Như ví dụ trong Hình 8.11. Ký hiệu điện trở R8.2 có nghĩa là điện trở R8 số thứ tự nhóm là nhóm 2 như chúng ta đã thực hiện trong phần vẽ Capture. Hoặc để có thể lấy tự động các linh kiện trong danh sách Select Next chúng ta có thể sử dụng phím tắt “N” thì footprint của linh kiện sẽ xuất hiện ở vị trí con trỏ chuột, chúng ta click chuột trái để đặt linh kiện vào vị trí thích hợp.

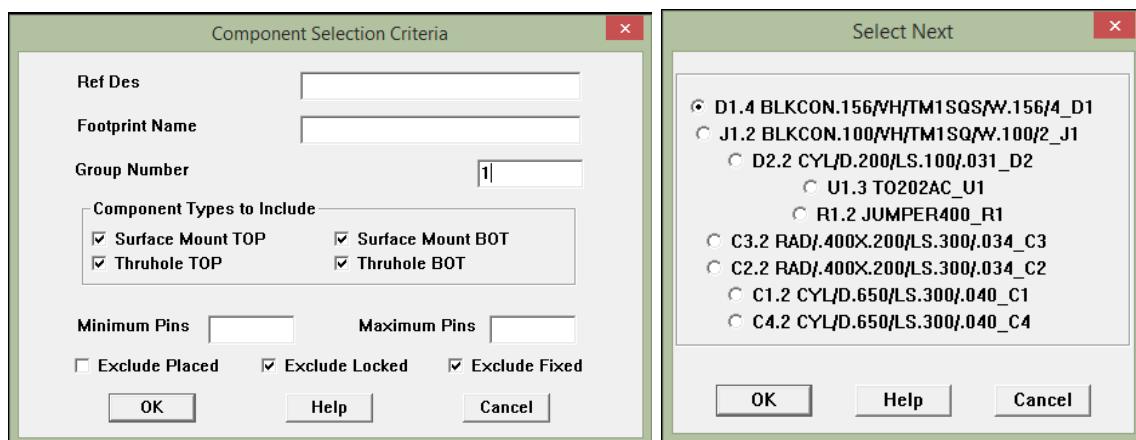
Tương tự như trên chúng ta có thể tạo ra danh sách các linh kiện theo footprint hoặc theo nhóm. Để có thể vẽ mạch in dễ dàng chúng ta nên vẽ theo khôi chức năng nghĩa là tạo các nhóm trong phần Capture sau đó lập danh sách linh kiện cần sắp xếp theo nhóm và tiến hành sắp xếp linh kiện cũng như vẽ đường mạch in theo từng nhóm như Hình 8.12 và 8.13.

#### 8.2.6.5 Thiết lập số lượng và thuộc tính lớp mạch in

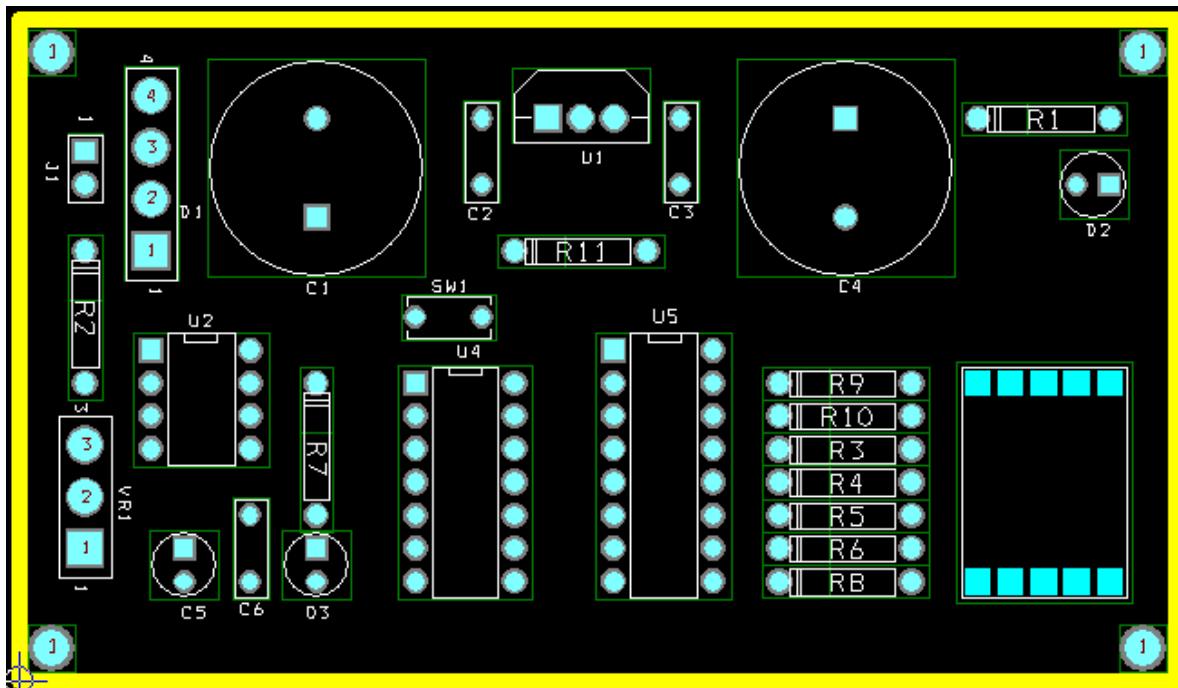
Sau khi sắp xếp linh kiện xong chúng ta tiến hành thiết lập số lớp cho bo mạch bằng cách chọn *View Spreadsheets >Layers*, cửa sổ Layers xuất hiện. Chúng ta chọn các lớp cần

thiết lập chức năng trong mục Layer Type, click chuột phải chọn Properties... để thay đổi thuộc tính của lớp như trong Hình 8.14.

Để thiết lập cho lớp với chức năng dùng để vẽ đường mạch chúng ta chọn mục Routing Layer. Tương tự như vậy chúng ta có thể chọn các thuộc tính khác như Unused Routing (không cho phép vẽ đường mạch), Drill Layer (lớp kích thước lỗ khoan), Plane Layer (lớp nguồn-mass)...



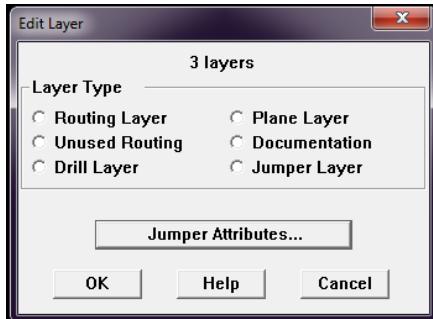
Hình 8.12 Tạo danh sách các linh kiện theo nhóm



Hình 8.13 Sắp xếp linh kiện theo nhóm như đã tạo trong phần Capture

Layer Name	Layer Hotkey	Layer NickName	Layer Type	Mirror Layer
TOP	1	TOP	Routing	BOTTOM
BOTTOM	2	BOT	Routing	TOP
GND	3	GND	Unused	[None]
POWER	4	PWR	Unused	[None]
INNER1	5	IN1	Unused	[None]
INNER2	6	IN2	Unused	[None]
INNER3	7	IN3	Unused	[None]
INNER4	8	IN4	Unused	[None]
INNER5	9	IN5	Unused	[None]
INNER6	Ctrl + 0	IN6	Unused	[None]
INNER7	Ctrl + 1	IN7	Unused	[None]
INNER8	Ctrl + 2	IN8	Unused	[None]
INNER9	Ctrl + 3	IN9	Unused	[None]
INNER10	Ctrl + 4	IN10	Unused	[None]
INNER11	Ctrl + 5	IN11	Unused	[None]
INNER12	Ctrl + 6	IN12	Unused	[None]
SMTOP	Ctrl + 7	SMT	Doc	SMBOT
SMBOT	Ctrl + 8	SMB	Doc	SMTOP
SPTOP	Ctrl + 9	SPT	Doc	SPBOT
SPBOT	Shift + 0	SPB	Doc	SPTOP
SSTOP	Shift + 1	SST	Doc	SSBOT
SSBOT	Shift + 2	SSB	Doc	SSTOP
ASYTOP	Shift + 3	AST	Doc	ASYBOT
ASYBOT	Shift + 4	ASB	Doc	ASYTOP
DRLDWG	Shift + 5	DRD	Doc	[None]
DRLILL	Shift + 6	DRL	Drill	[None]
FABDWG	Shift + 7	FAB	Doc	[None]
NOTES	Shift + 8	NOT	Doc	[None]

Hình 8.14 Chọn lựa các lớp cần thay đổi thuộc tính



Hình 8.15 Cấu hình thuộc tính cho lớp

Do khả năng sản xuất của một số cơ sở gia công, hiện nay chúng ta chỉ có thể đặt gia công các loại bo 1 lớp và 2 lớp, đối với các bo mạch nhiều hơn 2 lớp thì chỉ những công ty lớn như Fujitsu, FAB9... mới có khả năng sản xuất nhưng các công ty này thường chỉ nhận những đơn đặt hàng với số lượng lớn.

Trong ví dụ minh họa này chúng ta sử dụng loại bo mạch in 2 lớp do đó trong phần thiết lập lớp mạch in chúng ta chọn vẽ mạch in trên lớp Top và lớp Bottom không có lớp dành riêng cho nguồn và mass do đó các lớp còn lại chúng ta thiết lập thuộc tính Unused Routing.

### 8.2.6.6 Vẽ đường mạch in

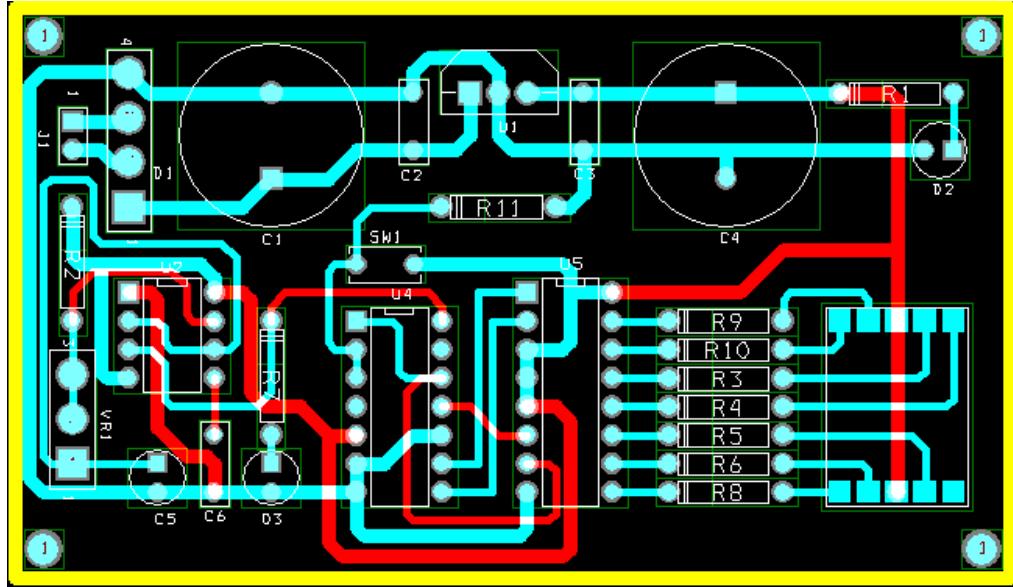
Trước khi tiến hành vẽ đường mạch in chúng ta cần phải thiết lập kích thước độ rộng tùy thuộc vào khả năng chịu dòng của từng đường mạch bằng cách chọn chức năng View *Spreadsheet>Nets* theo hướng dẫn được trình bày trong mục 7.5.5. Như trong ví dụ này chúng ta chọn độ rộng cho các đường nguồn và mass là 50 mil, các đường tín hiệu còn lại là 30 mil như trong Hình 8.16.

Chúng ta nên vẽ bằng tay các đường mạch có yêu cầu về mặt kỹ thuật điện trước (nguồn, mass, tụ bypass, via giải nhiệt...) sau đó có thể sử dụng công cụ vẽ mạch in tự động

hoặc vẽ bằng tay các đường mạch còn lại. Đối với các mạch điện phức tạp và có yêu cầu cao về mặt kỹ thuật điện chúng ta nên vẽ tất cả các đường mạch in bằng tay vì như vậy chúng ta mới có thể hạn chế được các đường mạch không mong muốn do công cụ vẽ tự động tạo ra. Tiếp theo sử dụng công cụ Edit Segment Mode để vẽ các đường mạch in như trong Hình 8.17.

Net Name	Color	Width Min Con Max	Routing Enabled	Share	Weight	Reconn Rule
GND		50	Yes	Yes	50	Std
N12582		50	Yes	Yes	50	Std
N12614		50	Yes	Yes	50	Std
N12666		50	Yes	Yes	50	Std
N12702		30	Yes	Yes	50	Std
N12820		30	Yes	Yes	50	Std
N12824		30	Yes	Yes	50	Std
N12840		30	Yes	Yes	50	Std
N18184		30	Yes	Yes	50	Std
N18242		30	Yes	Yes	50	Std
N18300		30	Yes	Yes	50	Std
N18364		30	Yes	Yes	50	Std
N18426		30	Yes	Yes	50	Std
N18488		30	Yes	Yes	50	Std
N18550		30	Yes	Yes	50	Std
N18681		30	Yes	Yes	50	Std
N18727		30	Yes	Yes	50	Std
N18777		30	Yes	Yes	50	Std
N18827		30	Yes	Yes	50	Std
N18895		30	Yes	Yes	50	Std
N18932		30	Yes	Yes	50	Std
N18975		30	Yes	Yes	50	Std
N19234		30	Yes	Yes	50	Std
N19309		30	Yes	Yes	50	Std
N19384		30	Yes	Yes	50	Std
N19496		30	Yes	Yes	50	Std
N19740		30	Yes	Yes	50	Std
N129320		30	Yes	Yes	50	Std

Hình 8.16 Thiết lập kích thước độ rộng đường mạch



Hình 8.17 Sử dụng công cụ Edit Segment Mode để vẽ các đường mạch in

### 8.2.6.7 Thông kê tỉ lệ đường mạch in đã hoàn thành

Sau khi hoàn thành tất cả các đường mạch in chúng ta có thể xem báo cáo thống kê tỉ lệ về số đường mạch in đã thực hiện bằng cách chọn chức năng *View Spreadsheet>Statistics* để đảm bảo 100% đường mạch in đã được vẽ như trong Hình 8.18. Nếu báo cáo thống kê này hiển thị 99.8% nhưng chúng ta nhận thấy gần như tất cả các đường mạch in đã hoàn

thành thì có nghĩa là có một đoạn mạch nguyên lý nào đó giữa hai đoạn mạch in hoặc giữa một đoạn mạch in và pad chưa được nối.

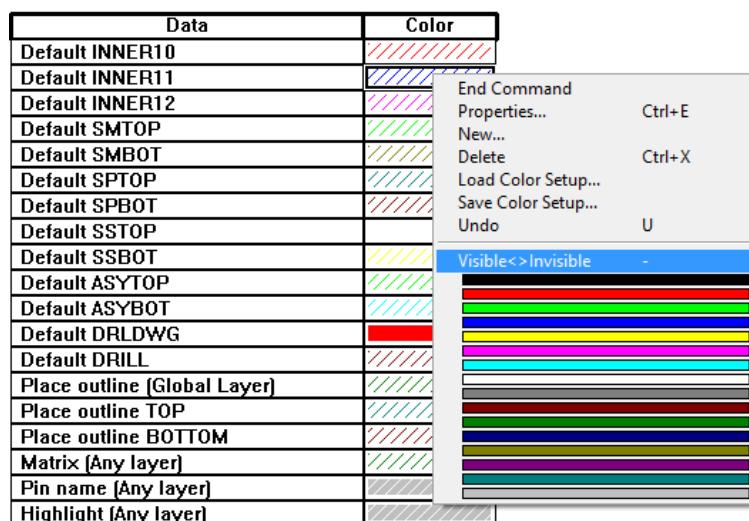
Statistic	Enabled	Total
Board Area	7.0	7.0
Equivalent IC's	6.9	6.9
Sq. inches per IC	1.01	1.01
# of pins	104	104
Layers	2	28
Design Rule Errors	0	0
Time Used	10:32	10:32
% Placed	100.00%	100.00%
Placed	32	32
Off board	0	0
Unplaced	0	0
Clustered	0	0
Routed	68	68
<b>% Routed</b>	<b>100.00%</b>	<b>100.00%</b>
Unrouted	0	0
<b>% Unrouted</b>	<b>0.00%</b>	<b>0.00%</b>
Partials	0	0

Hình 8.18 Thống kê tỉ lệ đường mạch in đã thực hiện

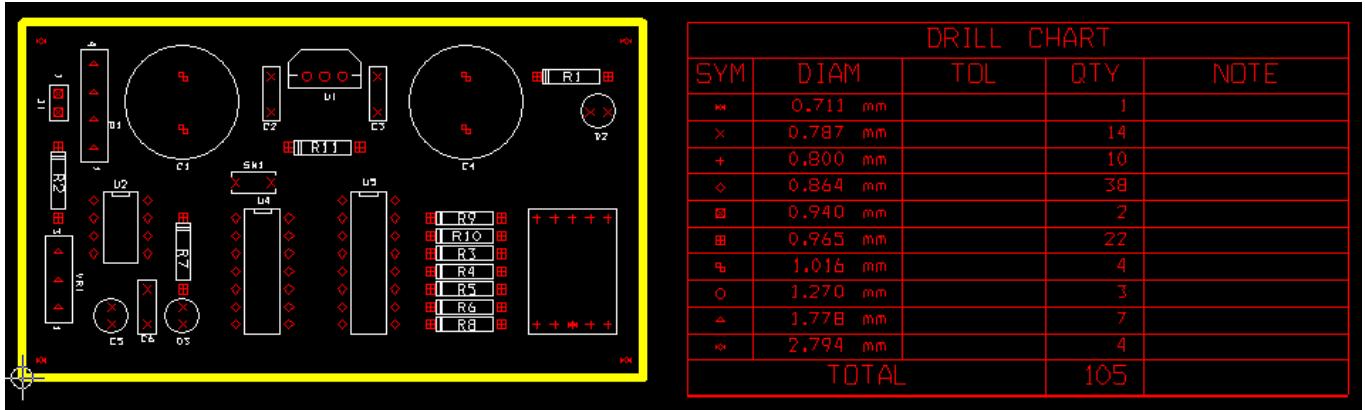
### 8.2.6.8 Kiểm tra kích thước lỗ khoan

Chúng ta cần kiểm tra kích thước lỗ khoan trước khi xuất file Gerber gửi cho nhà sản xuất bằng cách sử dụng chức năng Color Settings để ẩn đi các lớp không cần thiết và chỉ hiện thị lớp kích thước lỗ khoan và đường bao linh kiện (DRLDWG và SSTOP). Để có thể quan sát dễ dàng chúng ta nên đổi hệ đơn vị đo sang Milimet bằng cách vào mục *Options>System Settings* chọn *Milimeters (mm)*.

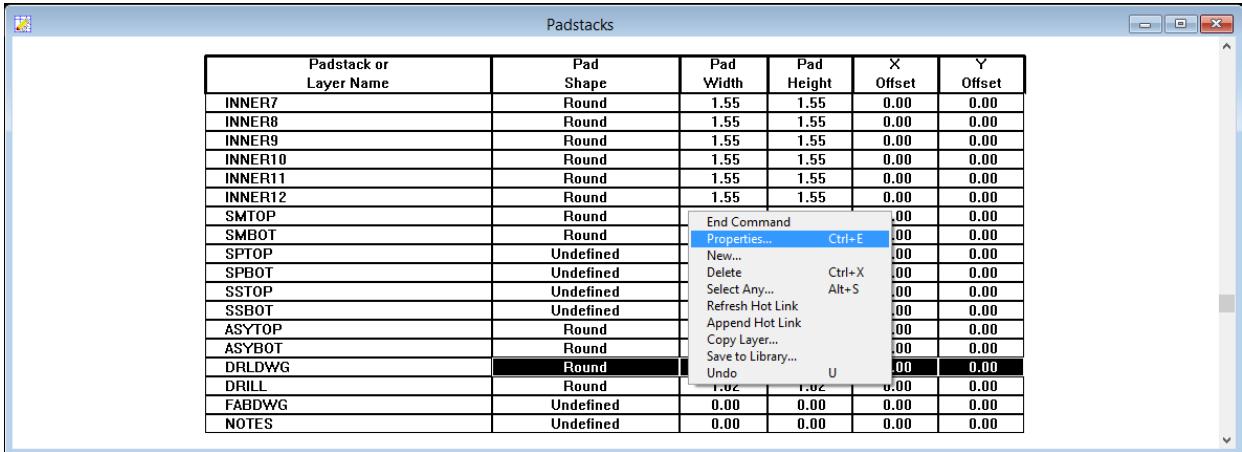
Đối với các footprint có kích thước lỗ khoan không phù hợp chúng ta có thể chỉnh sửa bằng cách click chuột chọn linh kiện sau đó vào chức năng *View Spreadsheet>Padstacks* chọn lớp kích thước lỗ khoan, click chuột phải chọn *Properties* và nhập kích thước mới như Hình 8.21.



Hình 8.19 Hiển thị lớp kích thước lỗ khoan



Hình 8.20 Kiểm tra kích thước lỗ khoan với bảng thống kê



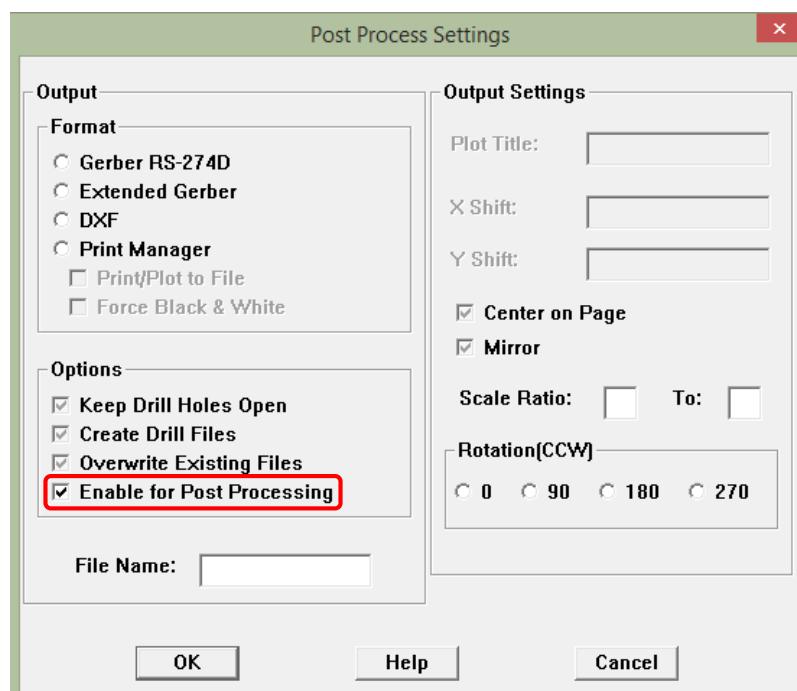
Hình 8.21 Thay đổi kích thước lỗ khoan

### 8.2.7 Xuất các file Gerber cần thiết cho nhà sản xuất

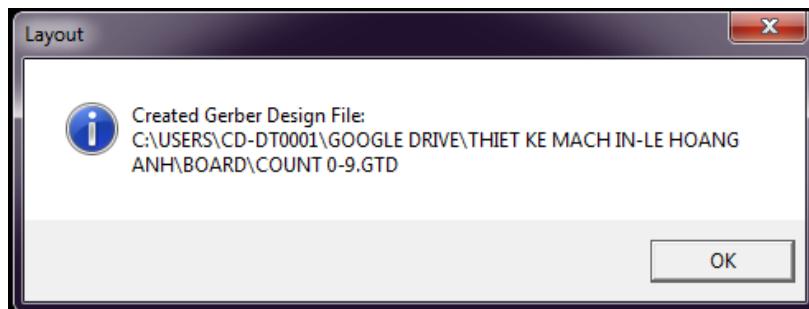
Trước khi thực hiện việc xuất file cho nhà sản xuất bo mạch in chúng ta nên lưu file .MAX vào một thư mục riêng bởi vì phần mềm OrCAD sẽ tạo ra nhiều file Gerber và lưu trữ trong cùng thư mục với file .MAX. Chúng ta cũng nên kiểm tra lỗi lần cuối trước thực hiện việc xuất file Gerber. Bước tiếp theo chúng ta thiết lập quá trình xuất file bằng cách chọn *Options>Post Process Settings* của sổ Post Process xuất hiện chúng ta chọn các lớp như trong Bảng 8.7. Sau đó click chuột phải để cho phép các lớp này xuất file Gerber bằng cách chọn mục *Enable for Post Processing* và chọn *OK* như Hình 8.22. Hộp thoại Post Process Settings cũng cho phép chúng ta chọn các loại định dạng file Gerber khác nhau. Sau khi thiết lập chúng ta chọn chức năng *Auto>Run Post Processor* để tiến hành việc xuất file Gerber. Cửa sổ phần mềm sẽ xuất hiện nhiều hộp thoại thông báo như Hình 8.23 Tất cả các file Gerber sinh ra sẽ lưu trữ trong thư mục con mà chúng ta đã tạo lúc ban đầu. Chúng ta sẽ copy tất cả các file Gerber này gửi cho nhà sản xuất bo mạch in như Hình 8.4.

Bảng 8.7 Danh sách các lớp cho phép xuất file Gerber

Plot output File Name	Batch Enabled	Device	Shift	Plot Title
*.TOP	Yes	EXTENDED GERBER	No shift	Top Layer
*.BOT	Yes	EXTENDED GERBER	No shift	Top Layer
*.GND	Yes	EXTENDED GERBER	No shift	Top Layer
*.PWR	Yes	EXTENDED GERBER	No shift	Top Layer
*.SMT	Yes	EXTENDED GERBER	No shift	Top Layer
*.SMB	Yes	EXTENDED GERBER	No shift	Top Layer
*.SST	Yes	EXTENDED GERBER	No shift	Top Layer
*.DRD	Yes	EXTENDED GERBER	No shift	Top Layer



Hình 8.22 Thiết lập cho phép lớp xuất file Gerber



Hình 8.23 Thông báo xuất file Gerber

Count 0-9

File Home Share View

Le Hoang Anh > Google Drive > Thiet ke mach in-Le Hoang Anh > Board > Count 0-9

	Name	Date modified	Type	Size
	BACKUP1.MAX	8/5/2014 6:03 AM	MAX File	172 KB
	BACKUP2.MAX	8/5/2014 5:50 AM	MAX File	172 KB
	BACKUP3.MAX	8/5/2014 5:39 AM	MAX File	172 KB
	BACKUP4.MAX	8/5/2014 5:22 AM	MAX File	172 KB
	BACKUP5.MAX	8/5/2014 5:05 AM	MAX File	172 KB
	COUNT 0-9.AST	8/5/2014 5:28 AM	AST File	27 KB
	COUNT 0-9.BOT	8/5/2014 5:28 AM	BOT File	4 KB
	COUNT 0-9.DRD	8/5/2014 5:28 AM	DRD File	36 KB
	COUNT 0-9.DTS	8/5/2014 5:34 AM	DTS File	2 KB
	COUNT 0-9.GND	8/5/2014 5:28 AM	GND File	3 KB
	COUNT 0-9.GTD	8/5/2014 5:28 AM	GTD File	3 KB
	COUNT 0-9.IIS	8/5/2014 5:34 AM	LIS File	13 KB
	COUNT 0-9.MAX	8/4/2014 10:34 PM	MAX File	172 KB
	COUNT 0-9.PWR	8/5/2014 5:28 AM	PWR File	3 KB
	COUNT 0-9.SMB	8/5/2014 5:28 AM	SMB File	3 KB
	COUNT 0-9.SMT	8/5/2014 5:28 AM	SMT File	3 KB
	COUNT 0-9.SST	8/5/2014 5:28 AM	Microsoft Serialize...	14 KB
	COUNT 0-9.TOP	8/5/2014 5:28 AM	TOP File	7 KB
	layout.log	8/5/2014 6:03 AM	Text Document	1 KB
	THRUHOLE.tap	8/5/2014 5:34 AM	TAP File	2 KB

Hình 8.24 Các file Gerber được tạo ra và lưu trữ trong thư mục con

## **TÀI LIỆU THAM KHẢO**

- [1] Kraig Mitzner, *Complete PCB Design Using OrCAD Capture and Layout*, Elsevier, 2007.
- [2] OrCAD User's Guide, *Learning Capture and Layout*, Cadence Design Systems, Inc, 2000.
- [3] Tim J Sobering, *Guidelines for Drawing Schematics*, Kansas State University Manhattan, 2006.

## PHỤ LỤC A

### DANH SÁCH TÊN VIẾT TẮT DẠNG ĐÓNG GÓI LINH KIỆN VÀ THƯ VIỆN FOOTPRINT TƯƠNG ỨNG TRONG LAYOUT

Bảng A.1 *Tên viết tắt dạng đóng gói linh kiện*

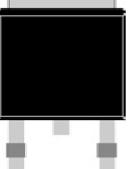
Abbreviation	Full name
BDIP (SDIP)	Butt-mounted dual inline package (surface DIP, std pitch)
BGA	Ball grid array
BQFP	Bumper quad flat package
CBGA	Ceramic column ball grid array
CFP	Ceramic flat packages
CGA	Column grid array
CQFP	Ceramic quad flat packages
DIMM	Dual inline memory module
DIP	Dual inline package
DO	Diode outline
DPAK	Discrete packaging (type 1, TO-252)
D2PAK	Discrete packaging (type 2, TO-263)
D3PAK	Discrete packaging (type 3, TO-268)
LCC/LCCS	Leadless chip carrier/leadless ceramic chip carrier
LGA	Land grid array
MELF	Metal electrode face
MSOP	Micro (mini) small outline package
MLP	Micro leadframe package (no lead)
PGA	Pin grid array
PLCC	Plastic leaded chip carriers
PLCCR	Plastic leaded chip carriers rectangular
PLCCS	Plastic leaded chip carriers square
PQFP	Plastic quad flat package
QBCC	Quad bottom chip carrier
QFP	Quad flat packages
QFN (QFPNL)	Quad fl at no lead package
QLCCC	Quad leadless ceramic chip carrier (see LCC/LCCS)
SIMM	Single inline memory module
SDIP	Shrink dual inline package
SOD	Small outline discrete (or diode)
SOIC (SOJ)	Small outline integrated circuit, J-lead
SOIC (SOG)	Small outline integrated circuit, gull wing
SON	Small outline nonleaded
SOP	Small outline package
SOT	Small outline transistor
SSOT	Shrink small outline transistor

SQFP	Shrink quad flat package		
SSOP	Shrink small outline package		
TO	Transistor outline		
TQFP	Thin quad flat package		
TSOP	Thin small outline package		
TSSOP	Thin shrink small outline package		

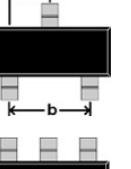
Bảng A.2 Dạng đóng gói một số linh kiện rời thông dụng

Name or type	Name, case, or size	Standards	Layout	
			Library	Footprint
Resistor, chip	0402, 0805, 1206, etc.	IEC 60115-B, JIS C 5201-B, EIAJ RC-2134B	SM.LLB	SM/R_0805, SM/R_1206, etc.
Capacitor, chip	0402, 0805, 1206, etc.	MIL-PRF-55681	SM.LLB	SM/C_0805, SM/C_1206, etc.
Capacitor, tantalum (molded)	A	EIA 3216-18	SM.LLB	SM/CT_3216, SM/CT_3216_12
	B	EIA 3528-21		SM/CT_3528, SM/CT_3528_12
	C	EIA 6032-28		SM/CT_6032, SM/CT_6032_12
	D	EIA 7343-31		SM/CT_7343, SM/CT_7343_12
	E	EIA 7260-38		—
	R	EIA 2012-12		—
	T	EIA 3528-12		—
	V	EIA 7343-20		—
	X	EIA 7343-43		—
	Y	EIA 7343-40		—
MELF (DL-41, LL-34)	Metal electrode face	EIC 10H01, LL-34	SM.LLB	SM/D_MLL34, SM/D_MLL41 (+variations)
SOD, SC-76 (molded)	Small outline diode	JEDEC DO215-D, EIAJ SC-76, EIAJ SC-76	SM.LLB	SM/D_SOD87 (+variations)
SMA (molded)	SMT diode outline	JEDEC DO214-D (variation AC)	SM.LLB	SM/DO214 (AA, AB, AC; +variations)
SMB (molded)	SMT diode outline	JEDEC DO214-D (variation AA)	SM.LLB	SM/DO214 (AA, AB, AC; +variations)
SMC (molded)	SMT diode outline	JEDEC DO214-D (variation AB)	SM.LLB	SM/DO214 (AA, AB, AC; +variations)
DO-213	Diode outline (~MELF)	JEDEC DO213-D	SM.LLB	SM/DO213 (AA, AB, AC; +variations)
DO-214 (see SMA, etc.)	Diode outline (molded)	JEDEC DO214-D	SM.LLB	SM/DO214 (AA, AB, AC; +variations)
(See also SOT, DPAK, D2PAK packages)				
Inductor, chip	0805, 1206, etc.	(see Resistor, chip)	SM.LLB	SM/L_0805...SM/L_3312 etc.
Inductor, molded		IMC-2220 (see Vishay Web site)		—
Inductor, wire wound	Power SMD inductor	MSS5131 (see Coilcraft Web site)		—

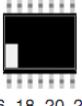
Bảng A.3 Dạng đóng gói rời (DPAK)

Name	Package outline	JEDEC DWG No.	Variation—pitch	Layout (Lib: Footprint)
DPAK (TO-252)		TO252-E	AA-0.090 in. (3-lead) AB-0.090 in. (3-lead) AC-0.090 in. (3-lead) AD-0.045 in. (5-lead)	(3-lead only) TO: TO252AA/DPAK TO252AB/DPAK SM: SM/_DPAK
D2PAK (TO-263)		TO263-D	AA-0.100 in. (4-lead) AB-0.100 in. (3-lead) BA-0.067 in. (6-lead) BB-0.067 in. (5-lead) CA-0.050 in. (8-lead) CB-0.050 in. (7-lead)	TO: TO263AA TO263AB
D3PAK (TO-268)		TO268-A	AA-5.45 mm (4-lead)	None

Bảng A.4 Dạng đóng gói Small Outline Transistor (SOT/SSOT/SC)

Name	Package outline	JEDEC DWG No.	Variation—pitch	Layout (Lib: Footprint)
(all 3-lead) SOT23-3 SC-59 SSOT-3 (1.9 mm)		TO-236	AA-0.95 mm (a) AB-0.95 mm (a) -1.90 mm (b)	TO: TO236xx/SOT23 SM: SM/SC59_XXX
SOT23-5 (5-lead) EIAJ SC-74A (5-lead) SOT-26 (6-lead) SOT23-8 (8-lead)		MO178-C MO193-C	AA-0.95 mm (5-lead) AB-0.95 mm (6-lead) BA-0.65 mm (8-lead)	None
SOT223-3 (4-lead) SOT223-4 (5-lead)		TO261-C	AA-2.30 mm (4-lead) AB-1.50 mm (5-lead)	(4-lead only) SM: SM/SOAT223_xxxx TO: TO261AA/SOT223
SOT-89 (2- & 3-lead)		TO243-C	AB-3.0 mm (2-lead) AA-1.5 mm (3-lead)	TO: TO243AB/SOT89-2 TO: TO243AA/SOT89 SM: SM/SOT89_XXX
(4-lead) SOT-143 SOT-343		TO253-D (EIAJ SC-61B)	AA-1.92 mm -1.30 mm	SM: SM/SOT143_XXX TO: TO253AA/SOT143 (SOT-143 only)
SOT-353 (5-lead) SC-88 (5-lead) SC70 (6-lead) SC-74 (8-lead) SSOT-n (5, 6, 8-leads)		MO059-B MO203-B	AA-0.65 mm (5-lead) AB-0.65 mm (6-lead) BA-0.50 mm (8-lead)	None

Bảng A.5 Dạng đóng gói Small Outline Integrated Circuit (SOIC/SOP/SO)

Name	Package outline (No. leads)	JEDEC DWG No.	Variation—pitch	Layout (Lib: Footprint)
<b>MSOP</b> Body width 2.3 mm, 2.8 mm, 3.0 mm		MO187-E	AA-0.65 mm (8-lead) AA-T-0.65 mm (8-lead) DA-0.65 mm (8-lead) CA-0.50 mm (8-lead) BA-0.50 mm (10-lead) BA-T-0.50 mm (10-lead)	None (note: also called TSSOP in some applications)
<b>SOIC</b> Narrow body (0.150 in.) (3.8 mm)		MS012-E	Width at lead-0.236 in. (6.0 mm) Pitch-0.050 in. (1.27 mm) Lead width-0.016 in. (0.40 mm) Lead spacing-0.034 in. (0.87 mm)	SOG: SOG.050/xx/WG.244/L.xxx
<b>SOIC</b> Wide body (0.300 in.) (7.5 mm)		MS013-E	Width at lead-0.403 in. (10.3 mm) Pitch-0.050 in. (1.27 mm) Lead width-0.016 in. (0.4 mm) Lead spacing-0.034 in. (0.87 mm)	SOG: SOG.050/xx/WG.420/L.xxx
<b>SSOP</b> Narrow body (0.150 in.) (3.8 mm)		MO137-C	Width at lead-0.236 in. (6.0 mm) Pitch-0.025 in. (0.635 mm) Lead width-0.010 in. (0.25 mm) Lead spacing-0.015 in. (0.385 mm)	SOG: SOG.65M/xx/WG8.20/Lxx
<b>SSOP</b> Wide body (0.300 in.) (7.5 mm)		MO118-B	Width at lead-0.410 in. (10.4 mm) Pitch-0.025 in. (0.635 mm) Lead width-0.010 in. (0.25 mm) Lead spacing-0.015 in. (0.4 mm)	SOG: SOG.025/xx/WG.420/L.xxx SOG: SOG.65M/xx/WG14.20Lxx
<b>SOP</b>		MO174-A MO175-A MO180-B	Various package configurations	SOG: SOG.80M/64/WG14.50/L26.43

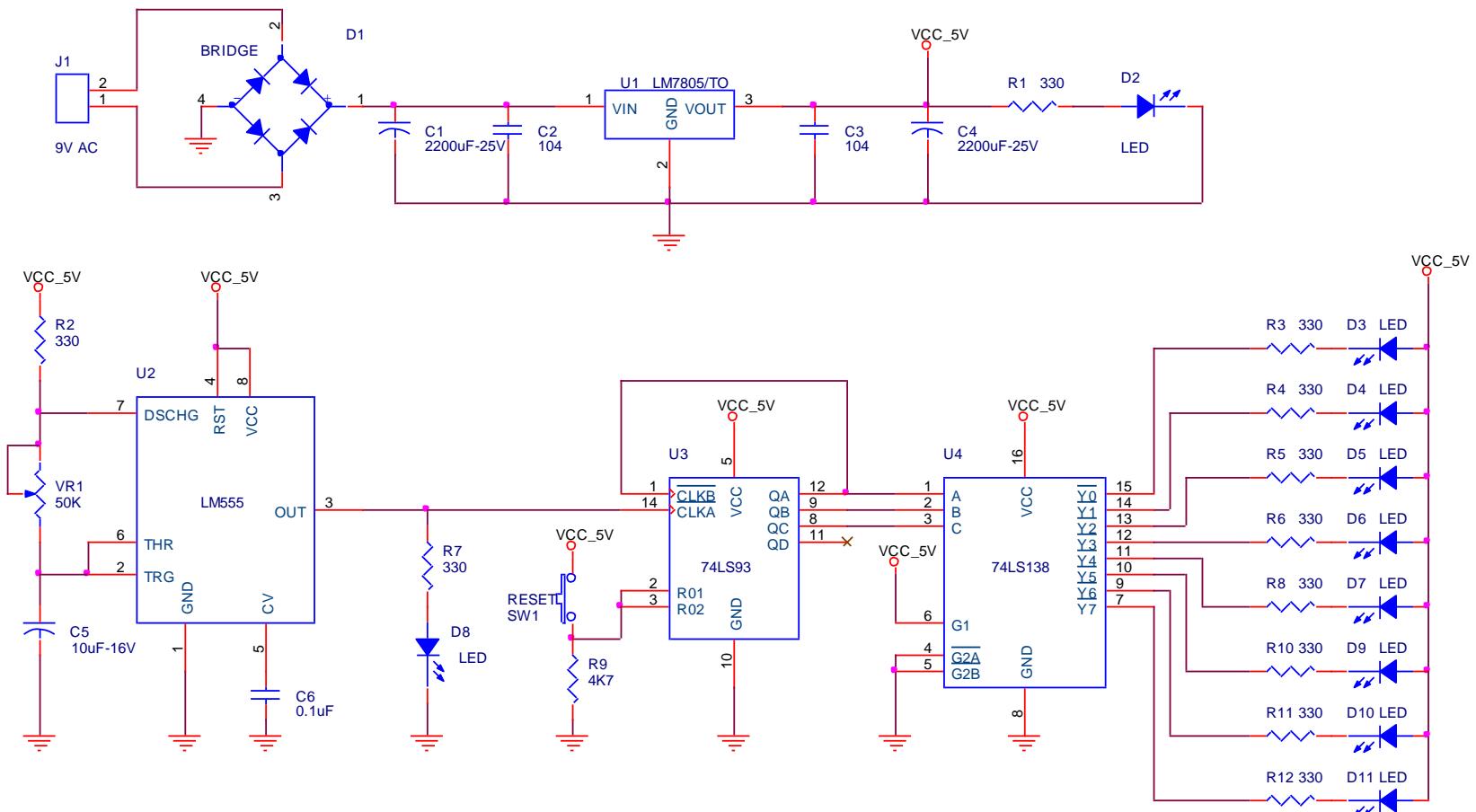
Bảng A.6 Dạng đóng gói một số linh kiện xuyên lõi thông dụng

Package	Name	JEDEC standard(s)
DIP	Dual inline package (0.100-in. pitch)	MS001-D, TO250-A, MO043-A
DO-15 (DO-41 glass/plastic)	Diode outline	DO204B-D
DO-35	Diode outline	DO-204-AH
IPAK (TO-251)	Transistor outline, flange mount	TO251-D
I2PAK (TO-262)	Transistor outline, flange mount	TO262-A
TO-205AF/TO-39	Transistor outline	TO205-E
TO-3P/TO-41/TO-247AD	Transistor outline	TO204-C
TO-92	Transistor outline	TO226-G
TO-92; TO-18, lead form STD	Transistor outline	TO226-G, TO206-B (Similar to TO-220)
TO-126	Transistor outline	TO218-E
TO-218AC	Transistor outline	TO220-K, TO262-A
TO-220 (and variations)	Transistor outline	TO226-G
TO-226AE	Transistor outline	TO247-E_01
TO-247, 2L, 3L	Transistor outline	TO264-B
TO-264	Transistor outline	

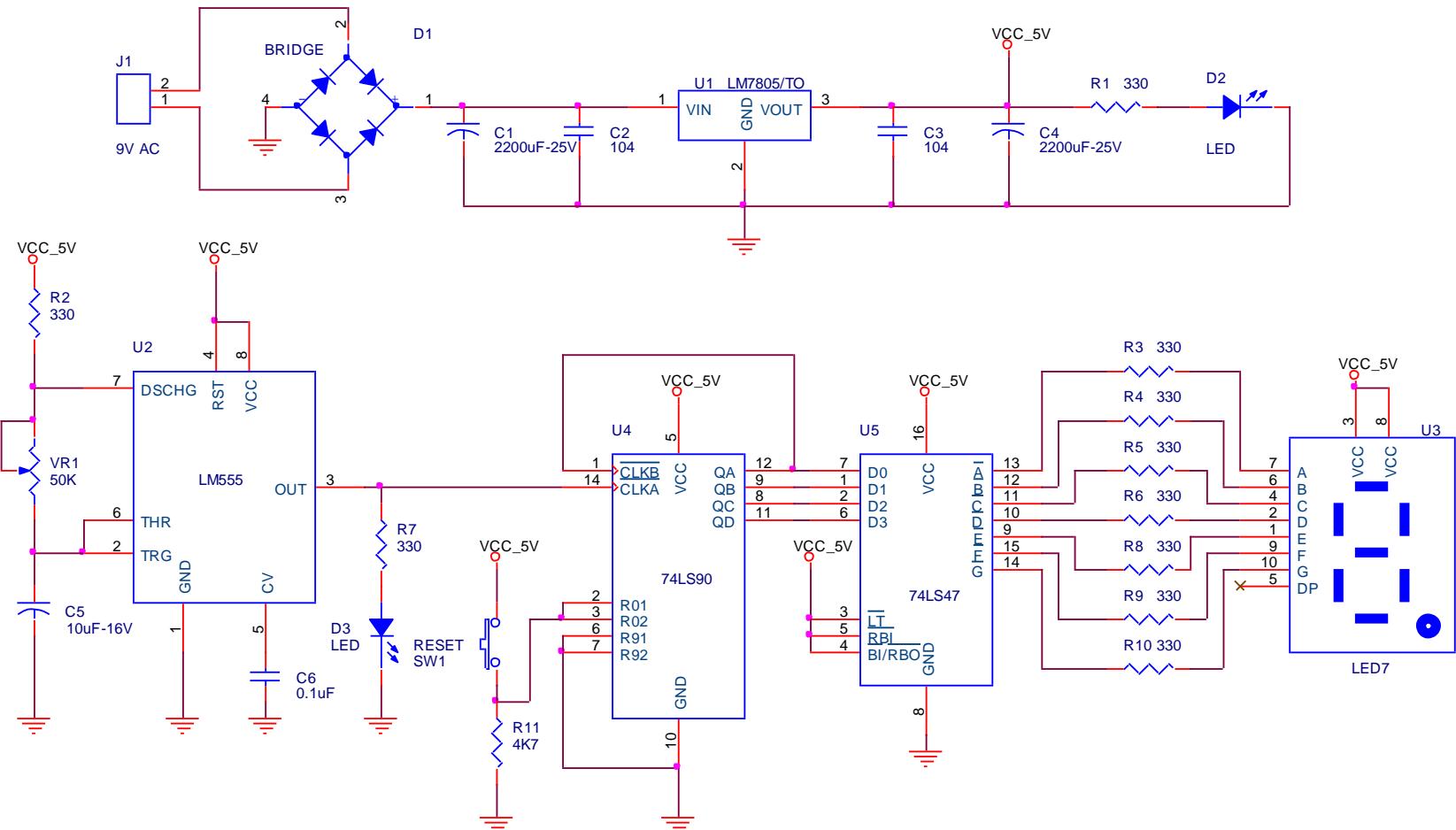
# PHỤ LỤC B

## SƠ ĐỒ MẠCH NGUYÊN LÝ THAM KHẢO

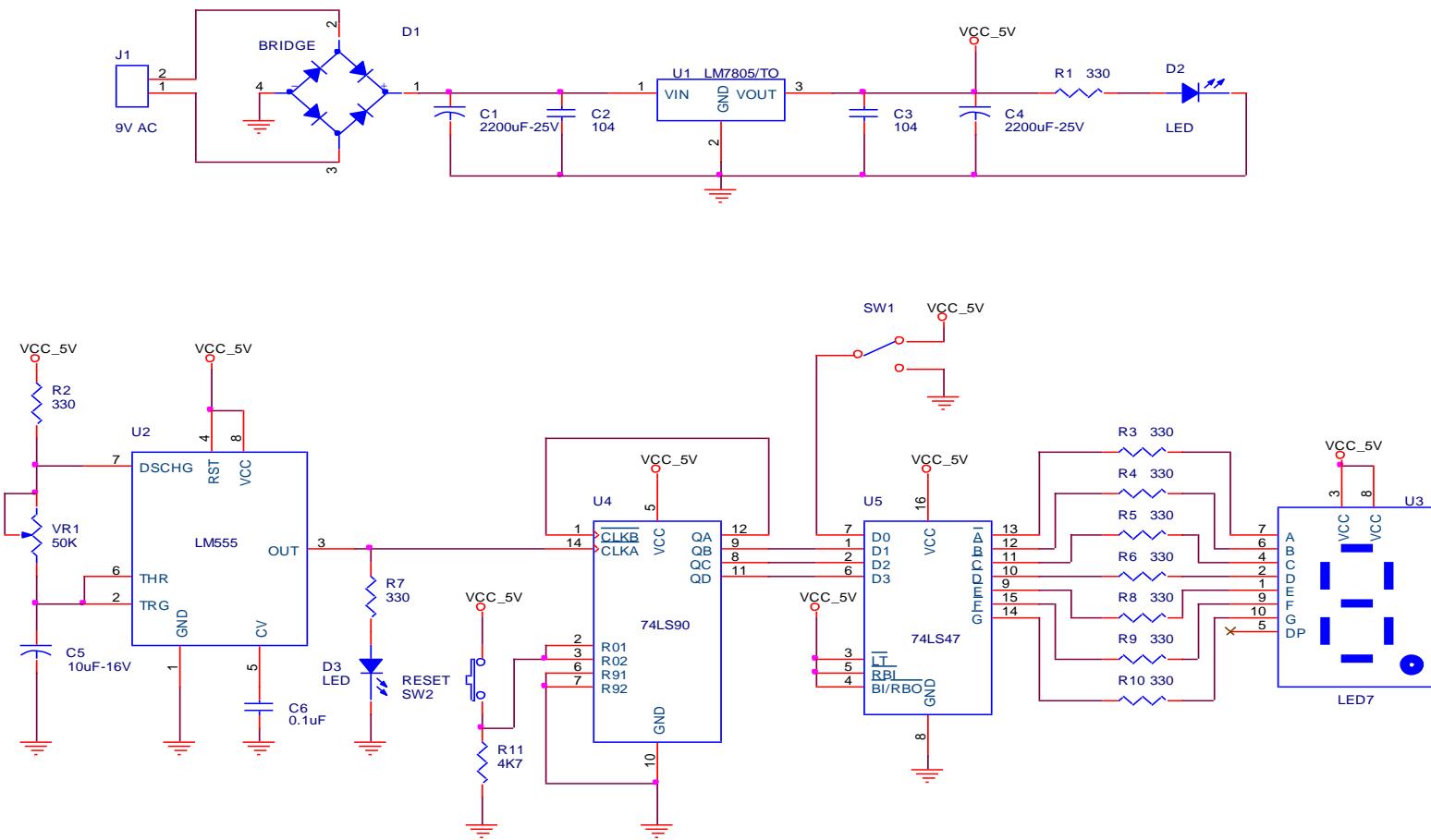
### BÀI TẬP 1



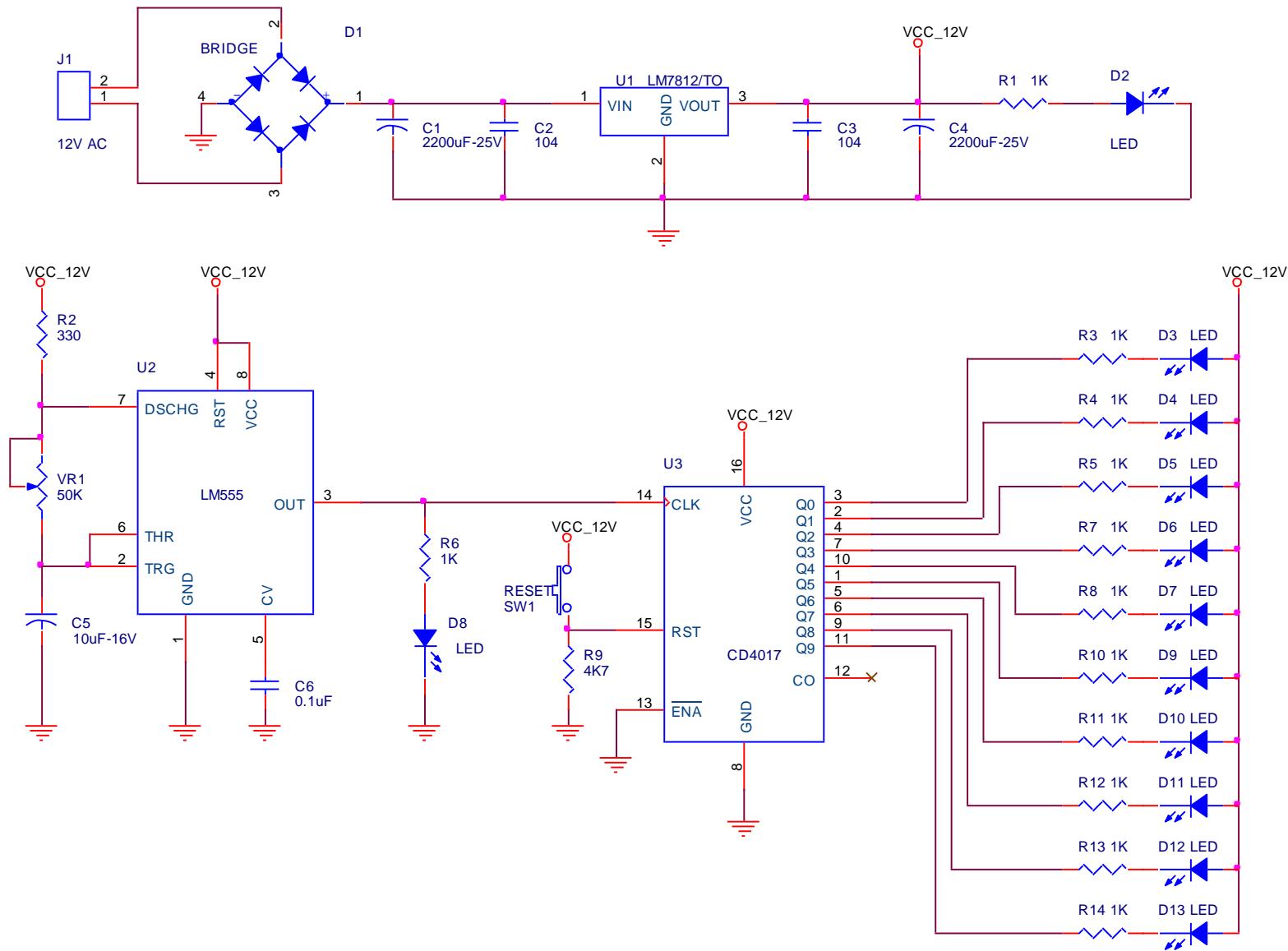
## BÀI TẬP 2



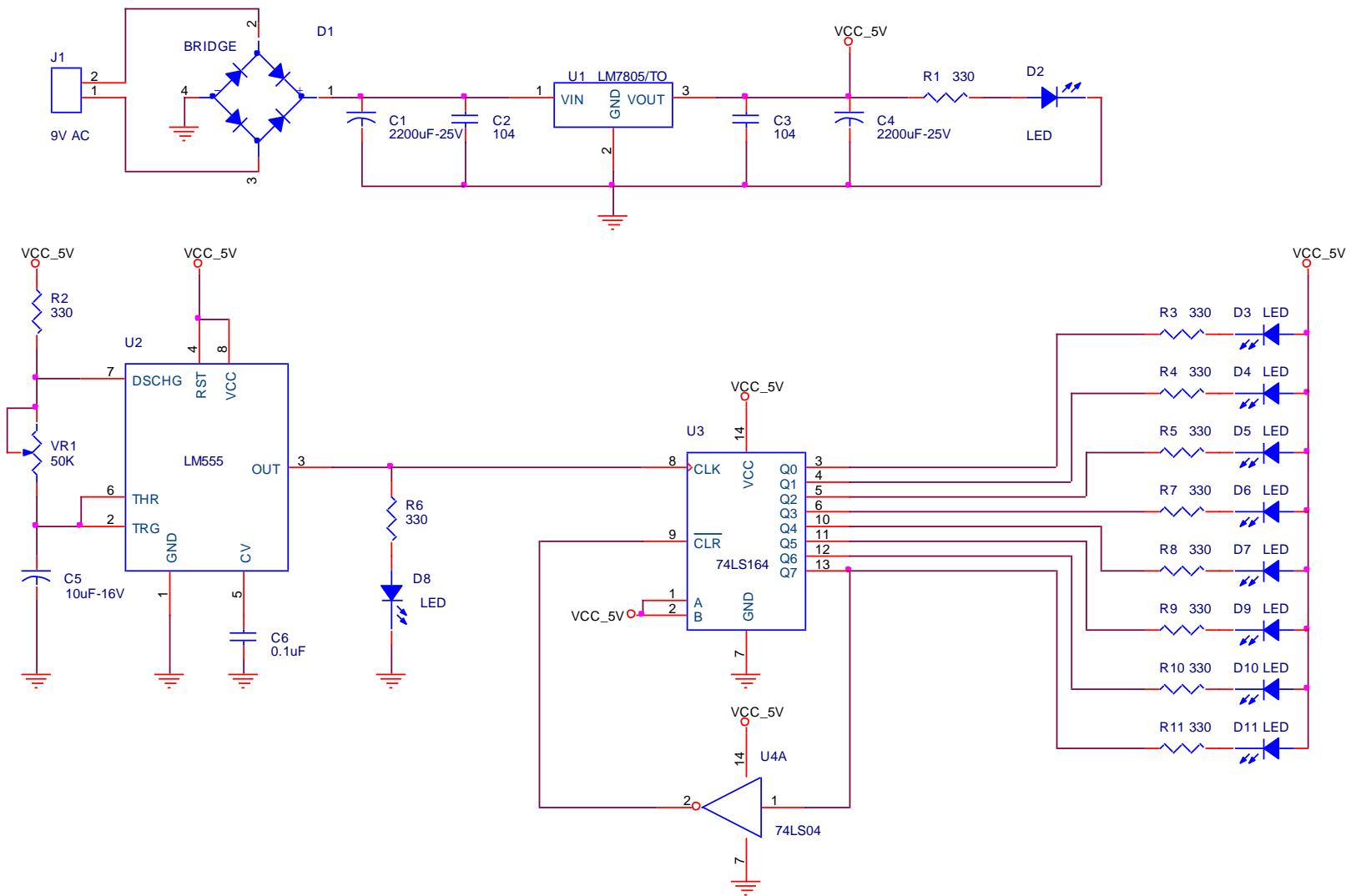
### BÀI TẬP 3



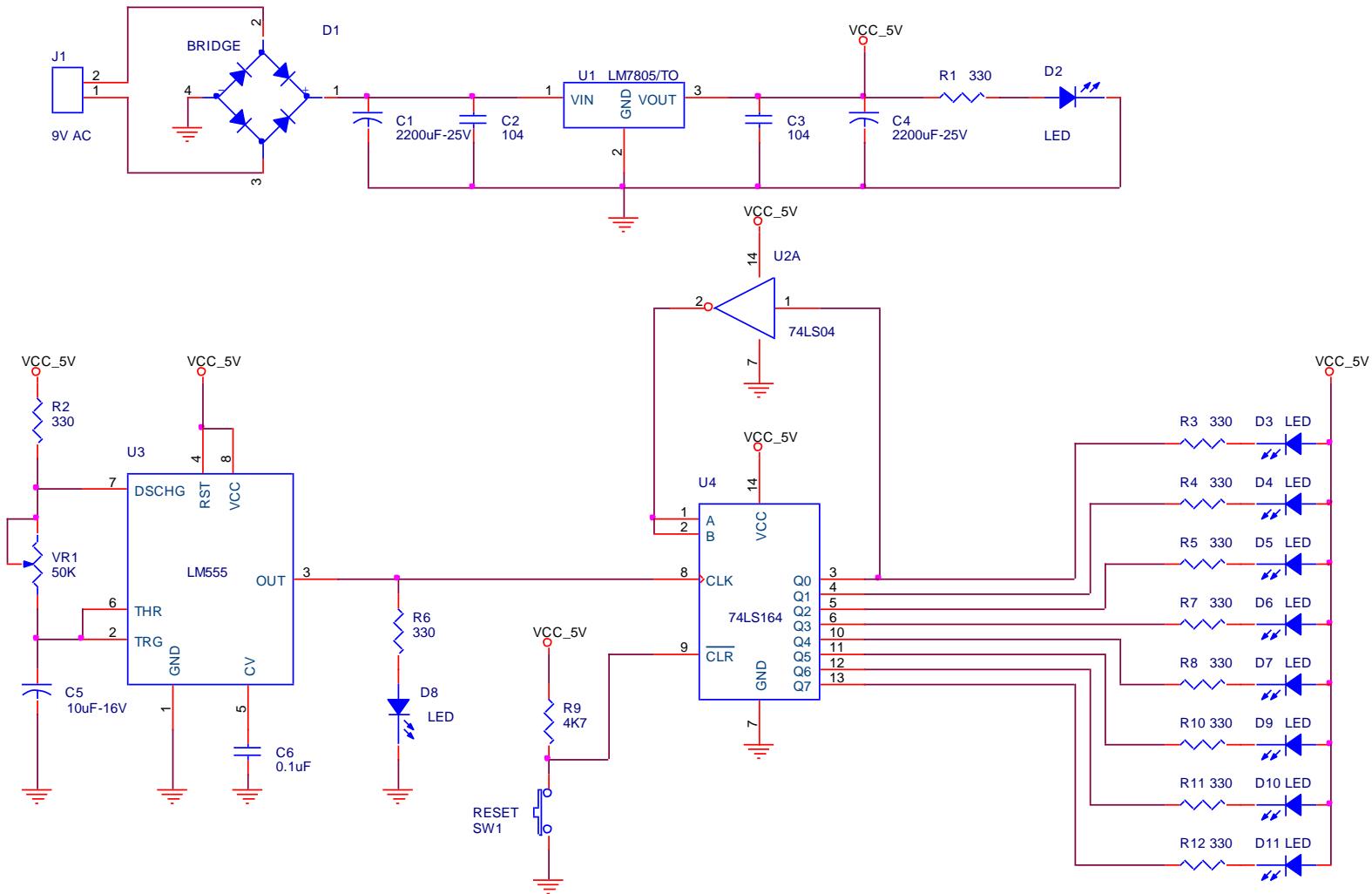
## BÀI TẬP 4



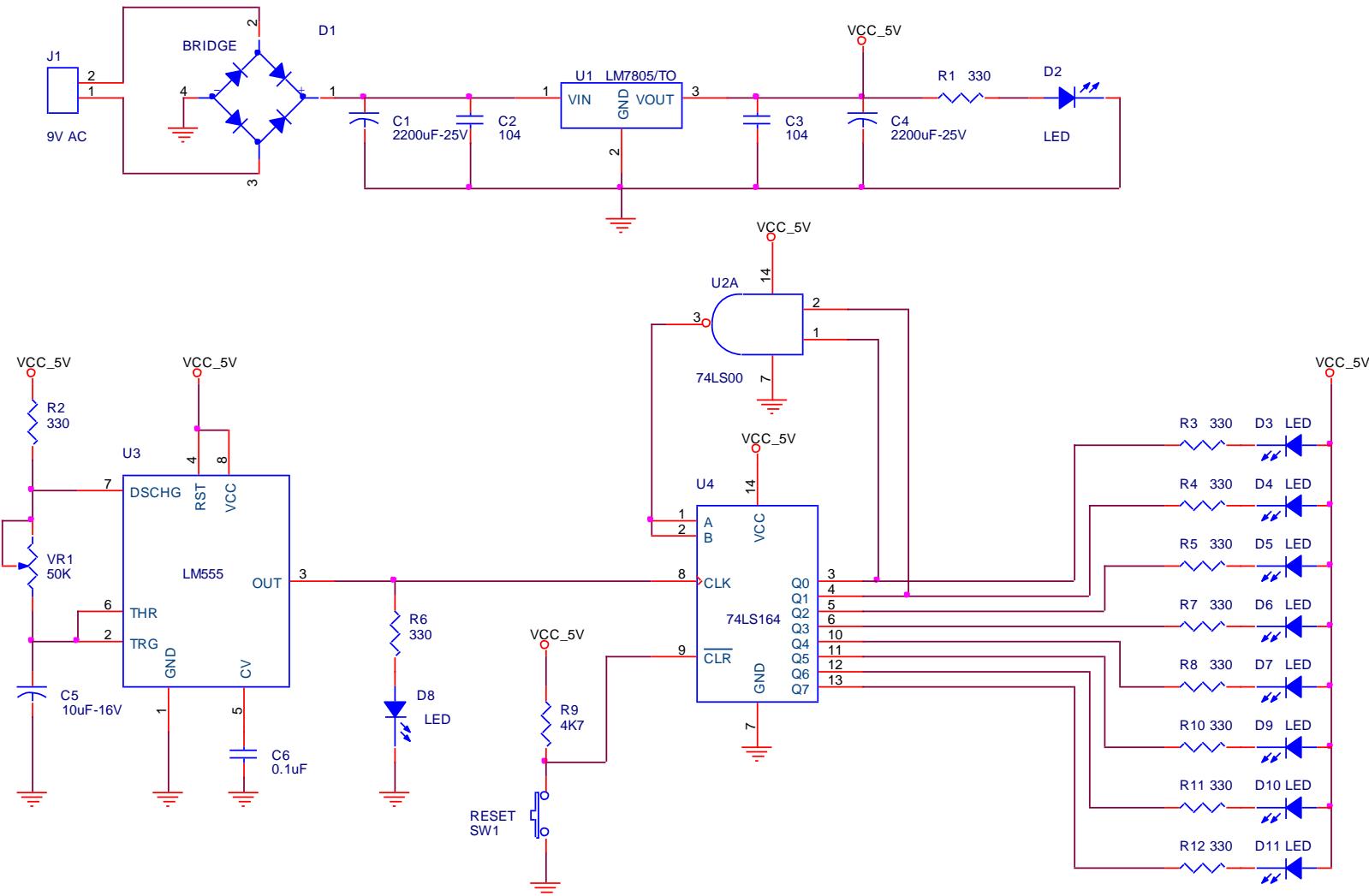
## BÀI TẬP 5



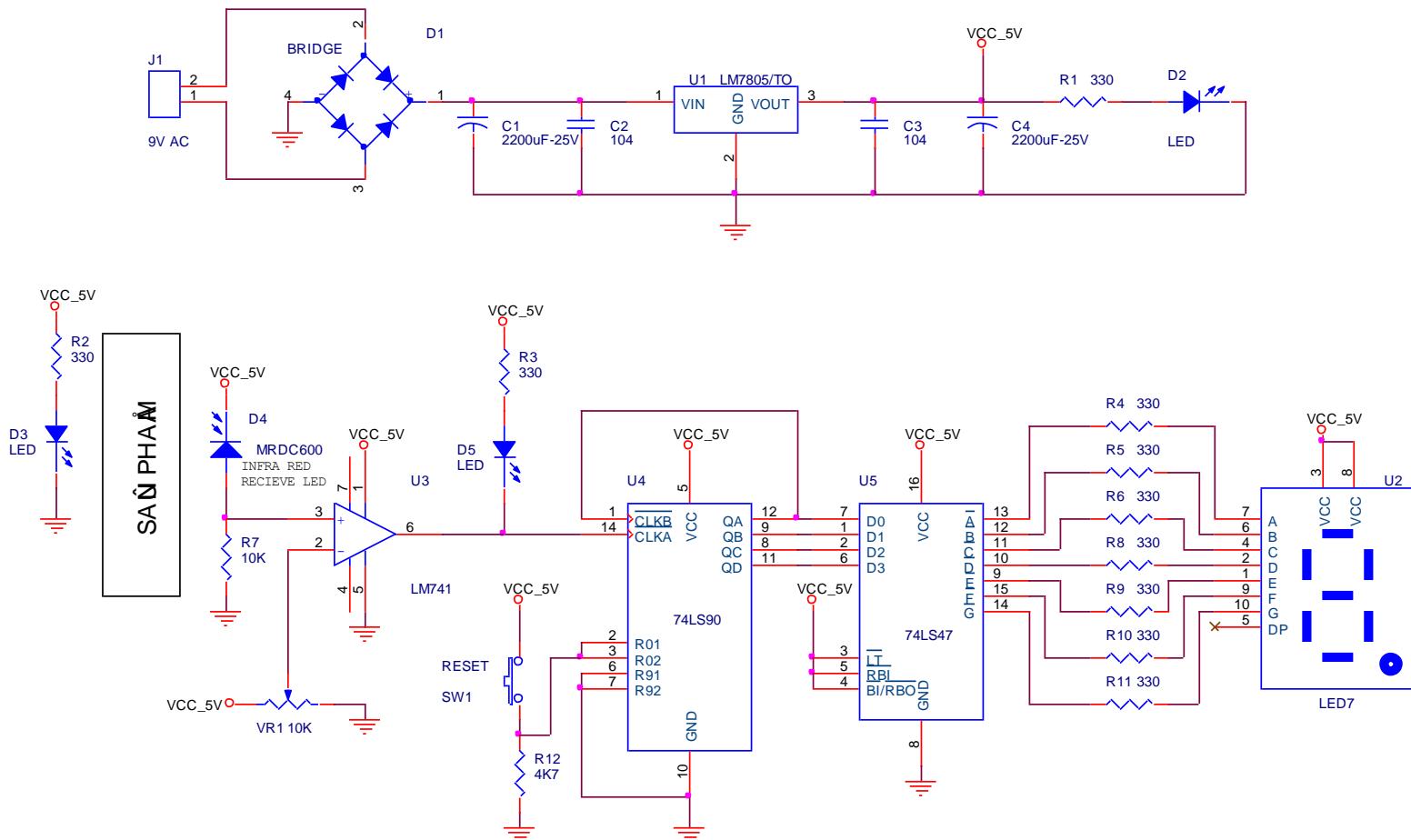
## BÀI TẬP 6



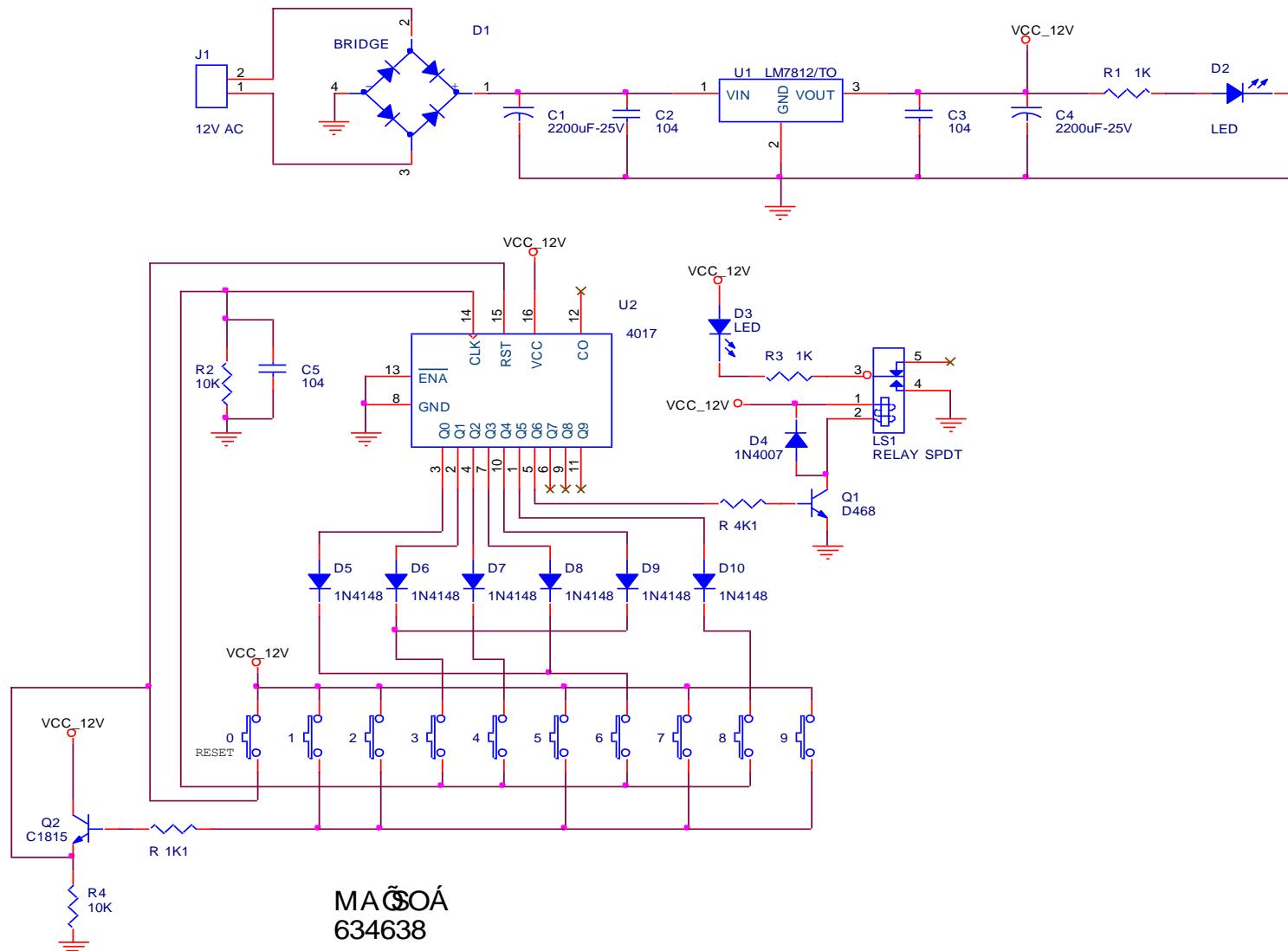
## BÀI TẬP 7



## BÀI TẬP 8

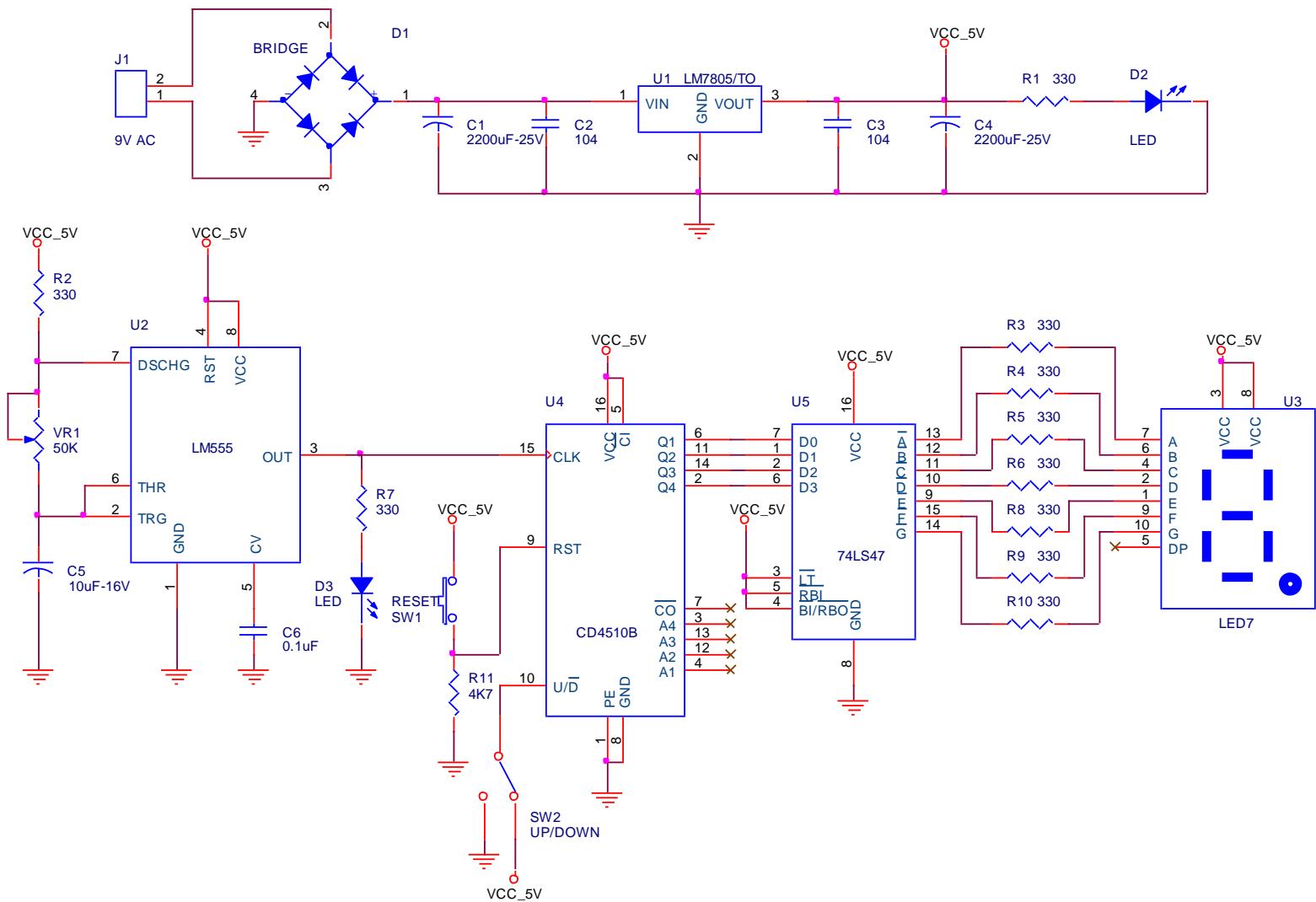


## BÀI TẬP 9

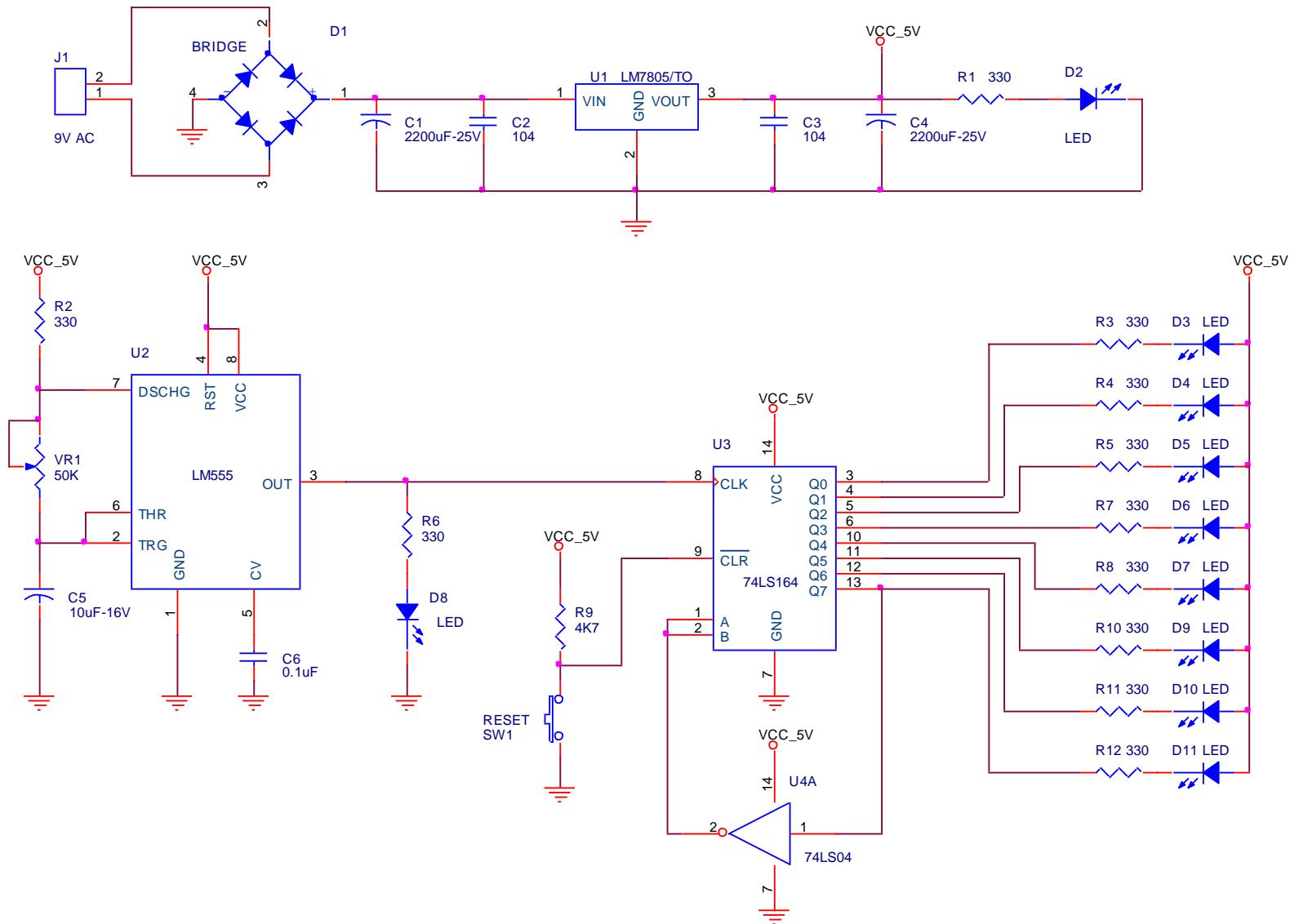


MASSOÁ  
634638

## BÀI TẬP 10



## BÀI TẬP 11



## BÀI TẬP 12

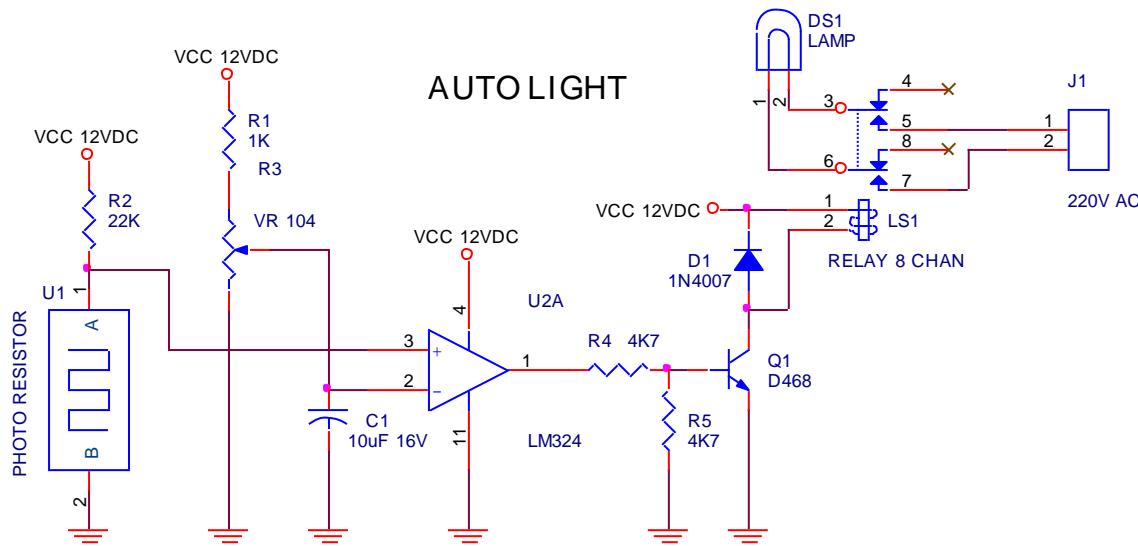


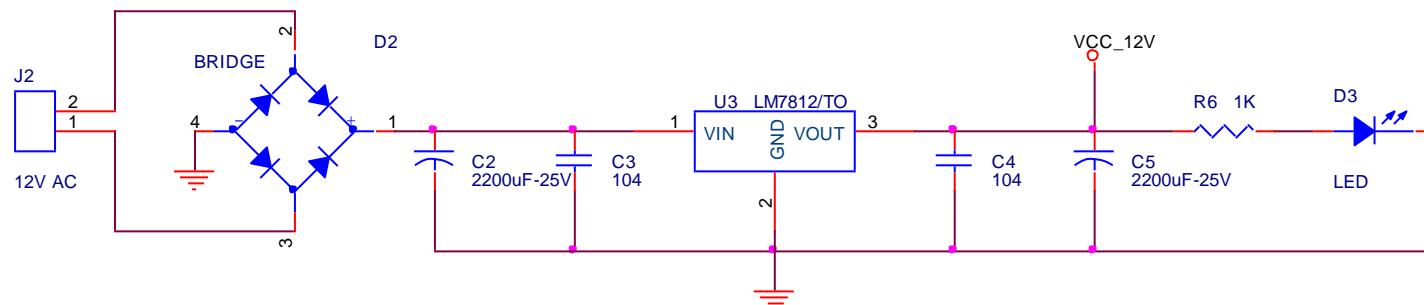
PHOTO RESISTOR : 1K - 50K

COÀNH SÁNG R GIẤM  
KHÔNG COÀNH SÁNG  
R TĂNG

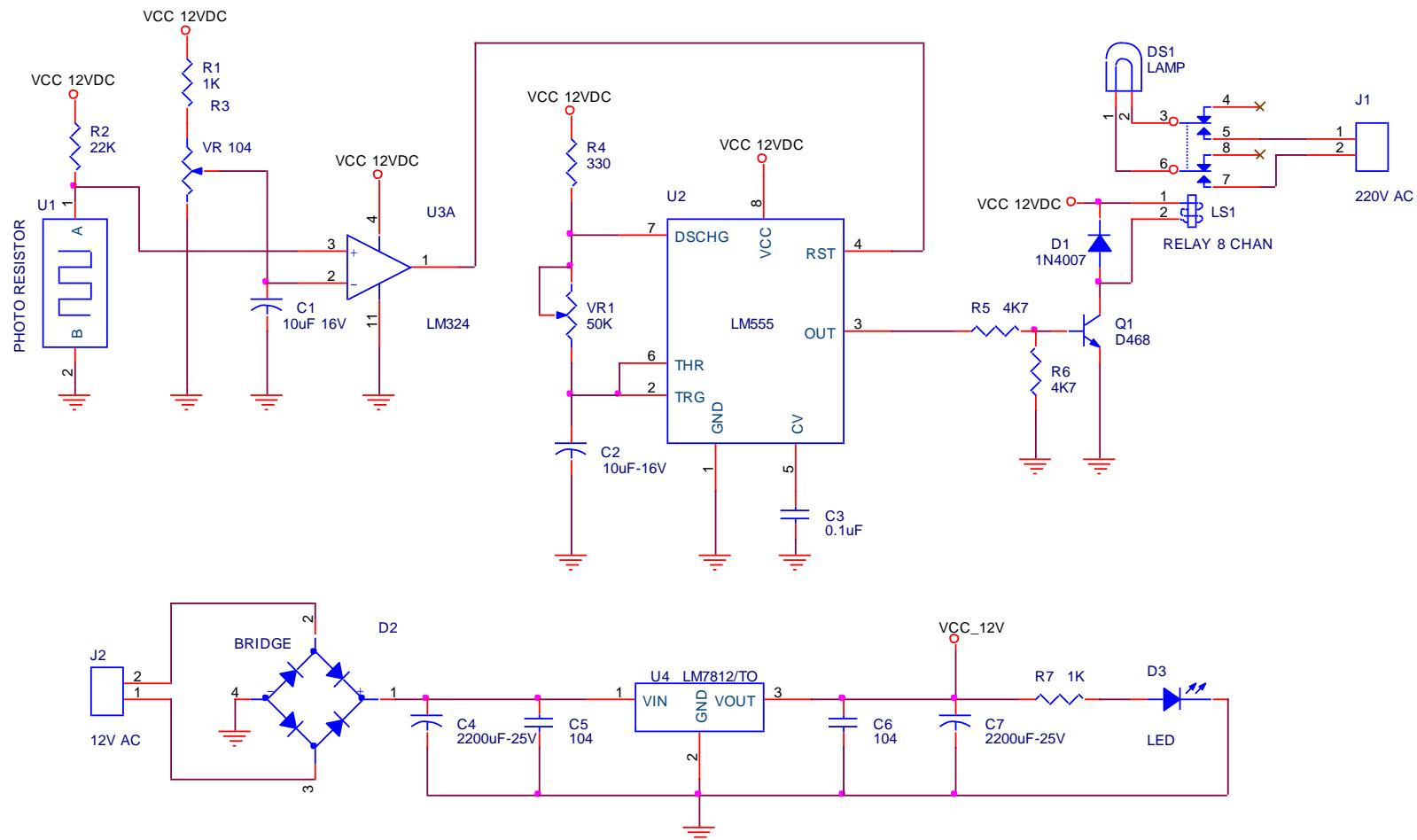
OPAMP LM324

$V_+ > V_- \Rightarrow V_{out} = V_+ = VCC\ 12VDC$

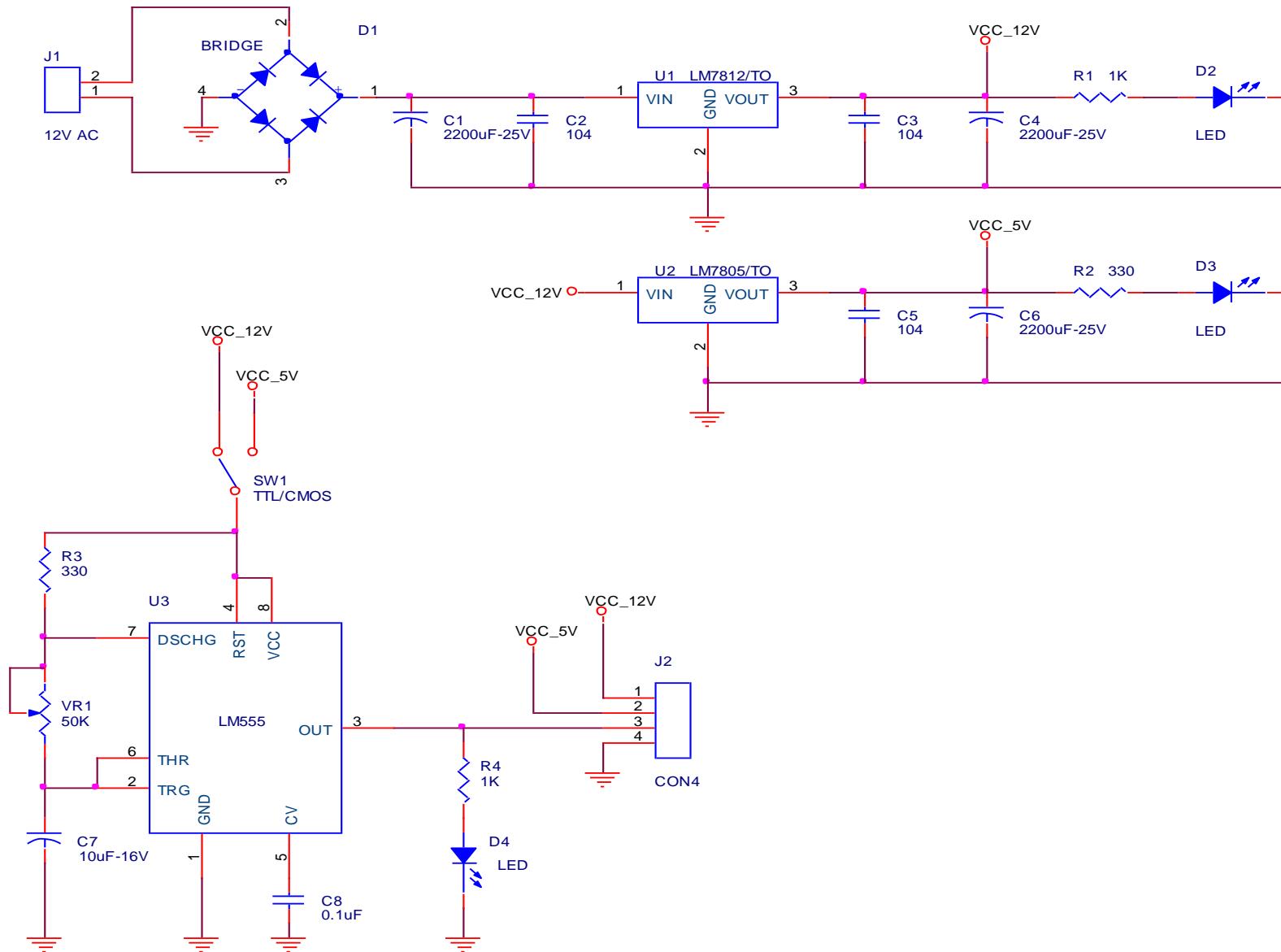
$V_+ < V_- \Rightarrow V_{out} = V_- = 0V$



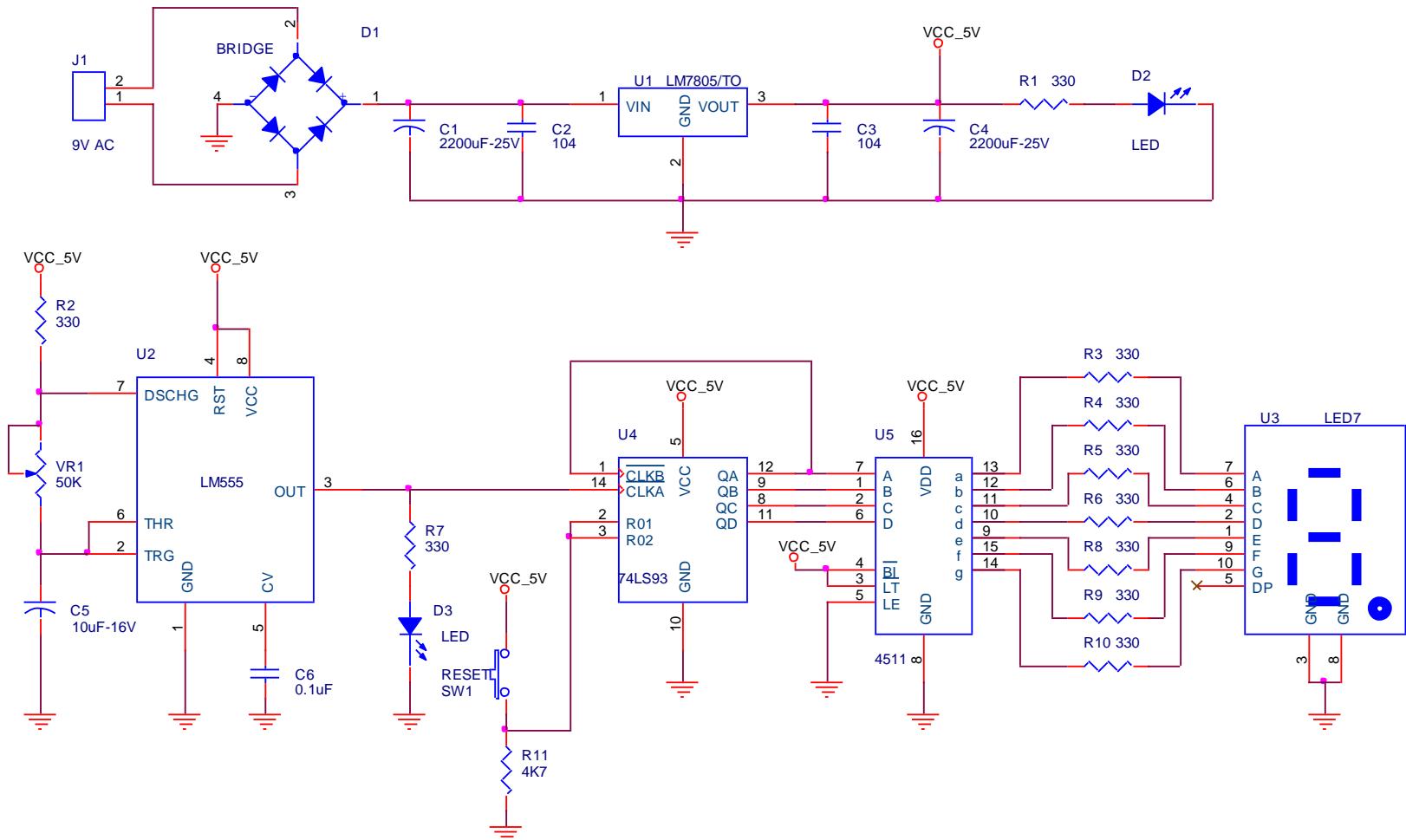
## BÀI TẬP 13



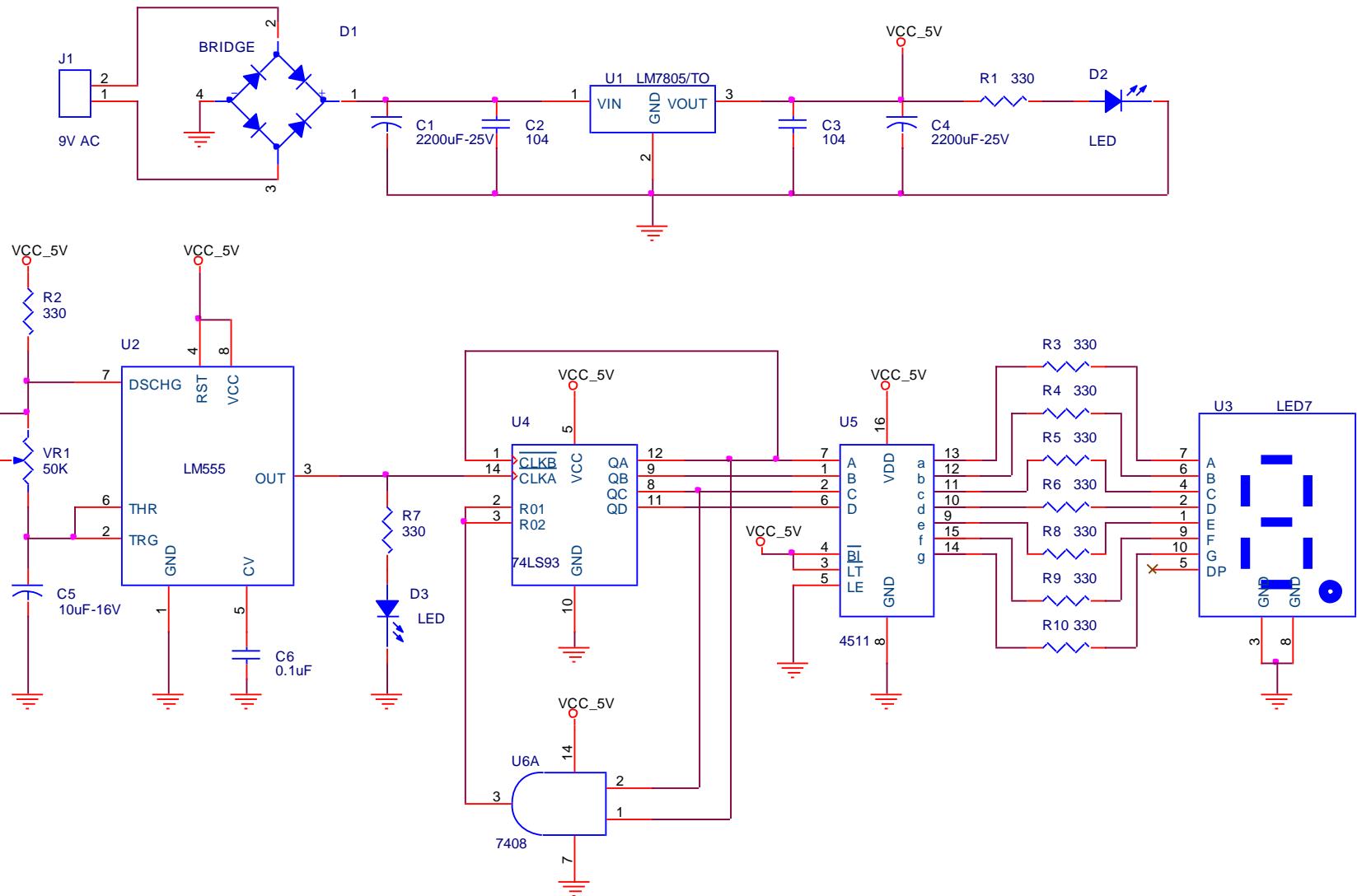
## BÀI TẬP 14



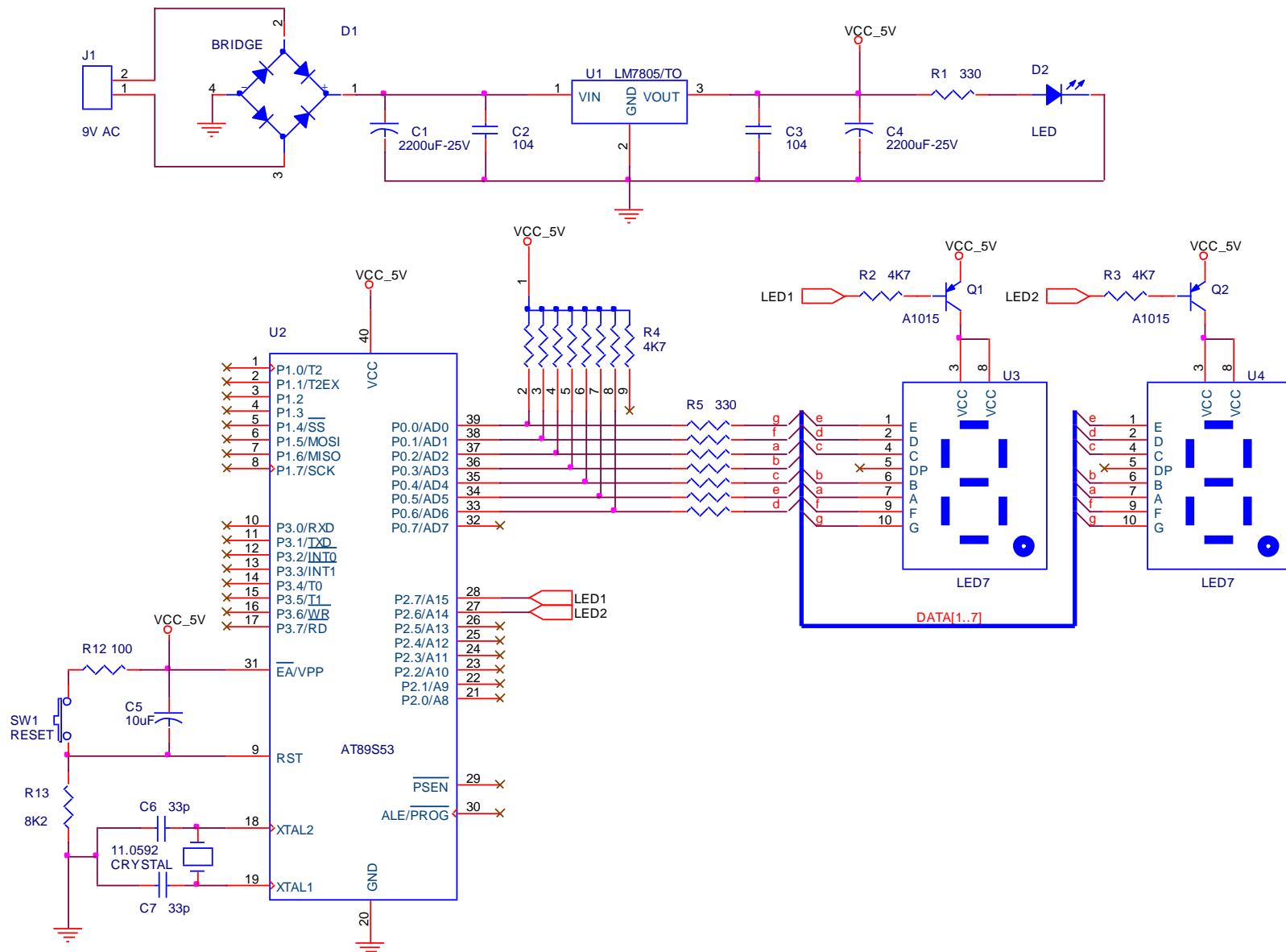
## BÀI TẬP 15



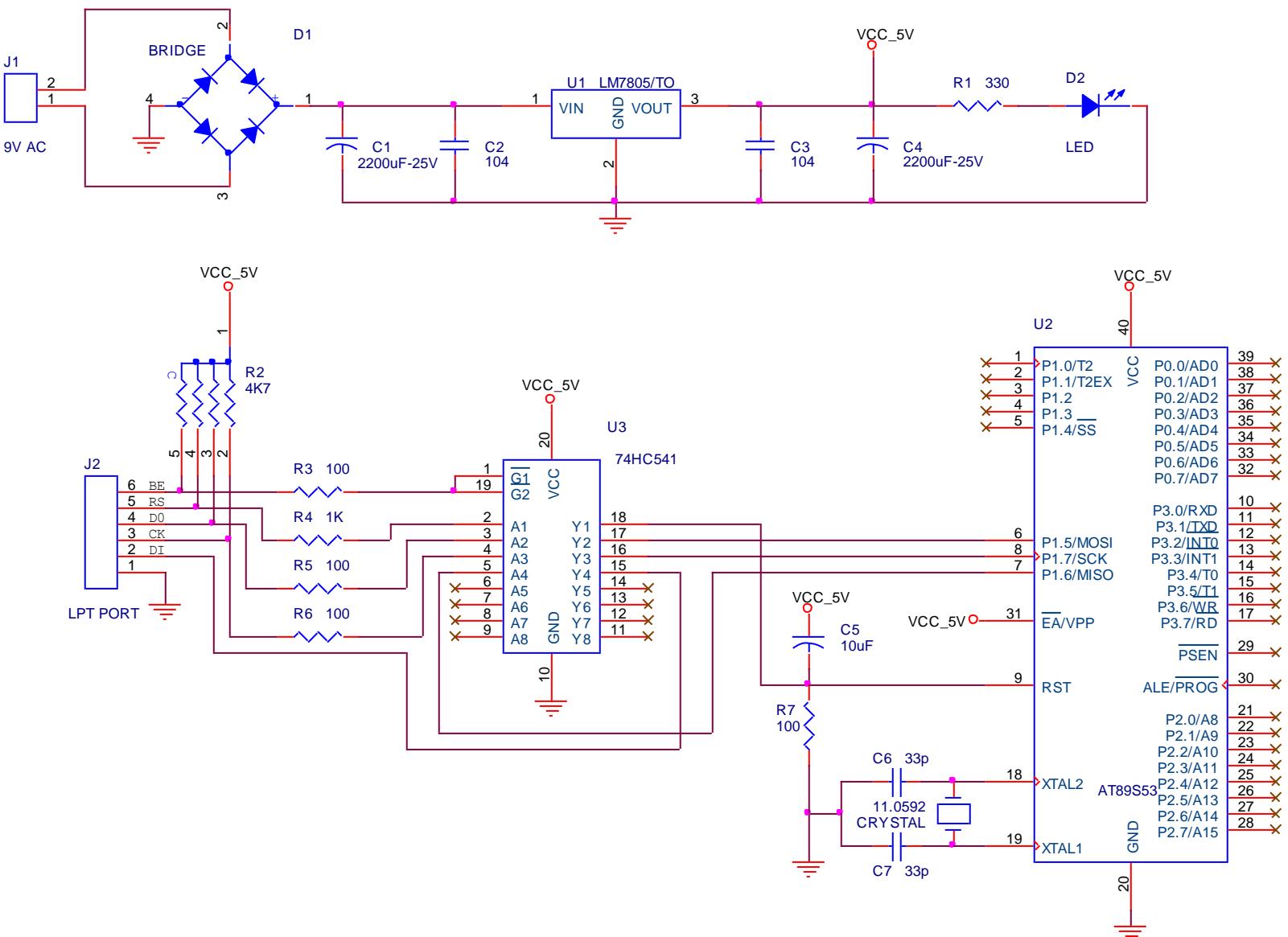
## BÀI TẬP 16



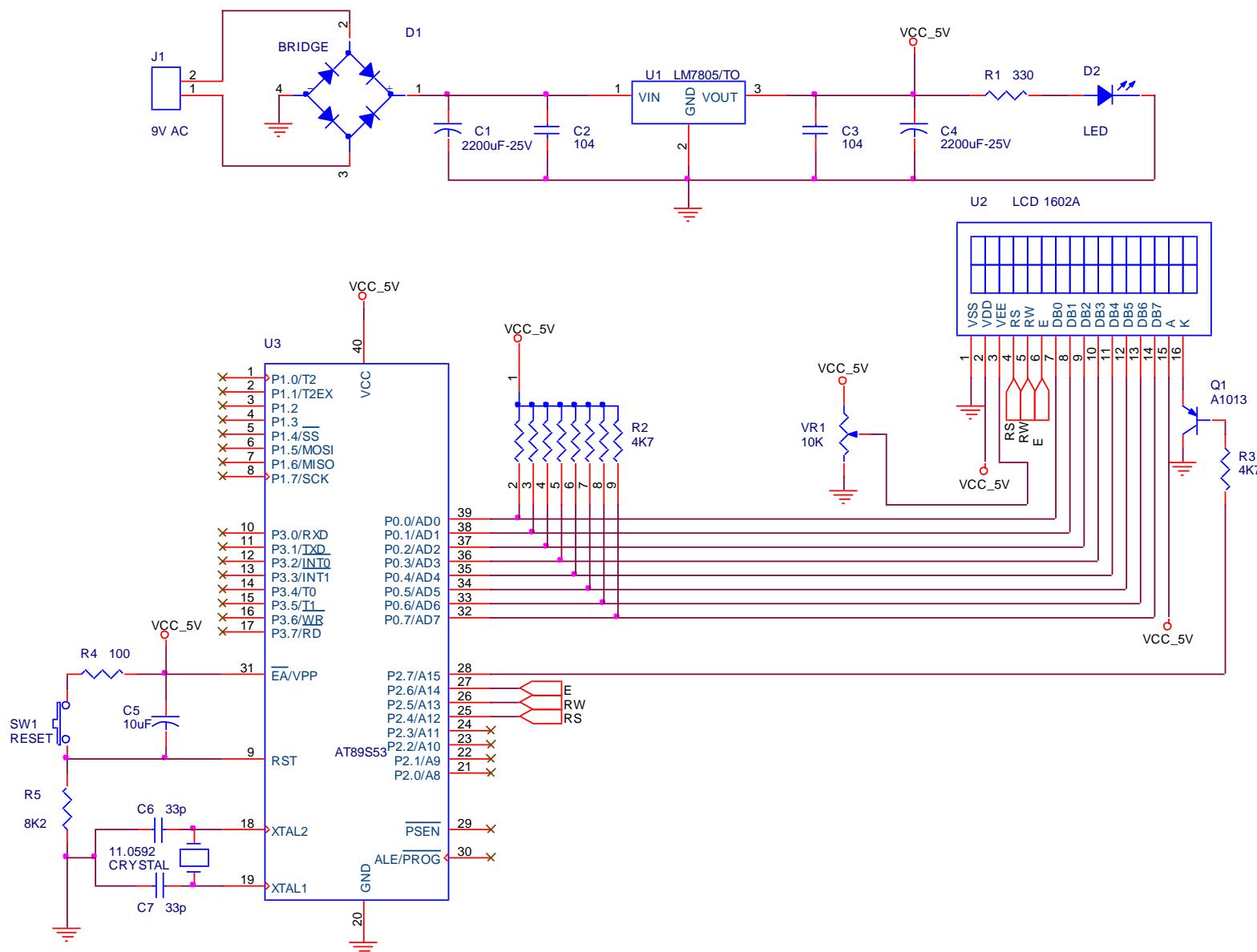
## BÀI TẬP 17



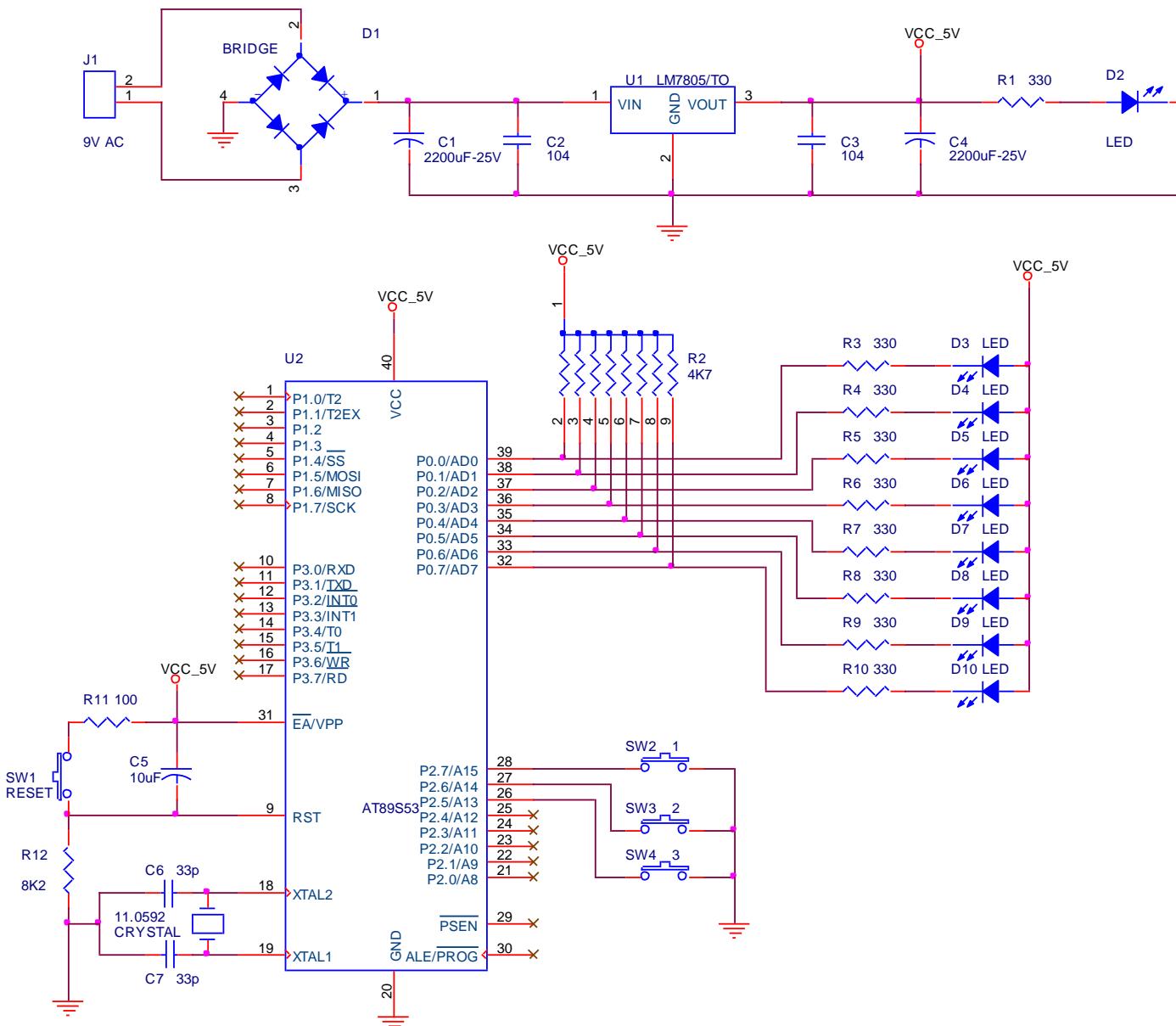
## BÀI TẬP 18



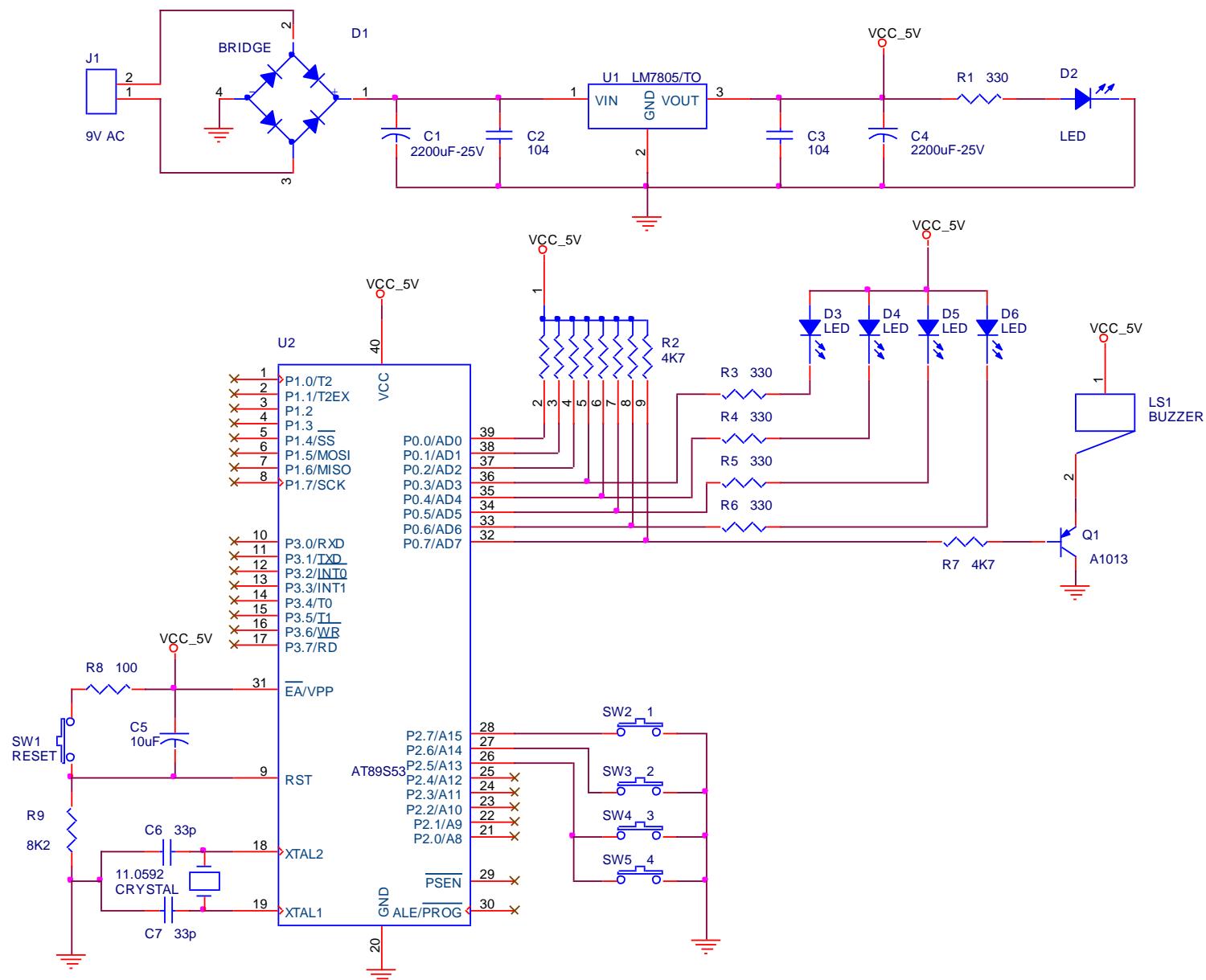
## BÀI TẬP 19



## BÀI TẬP 20



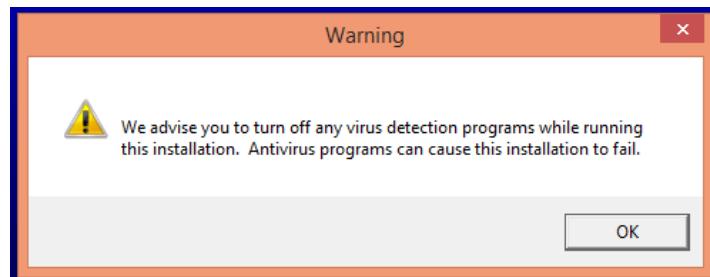
## BÀI TẬP 21



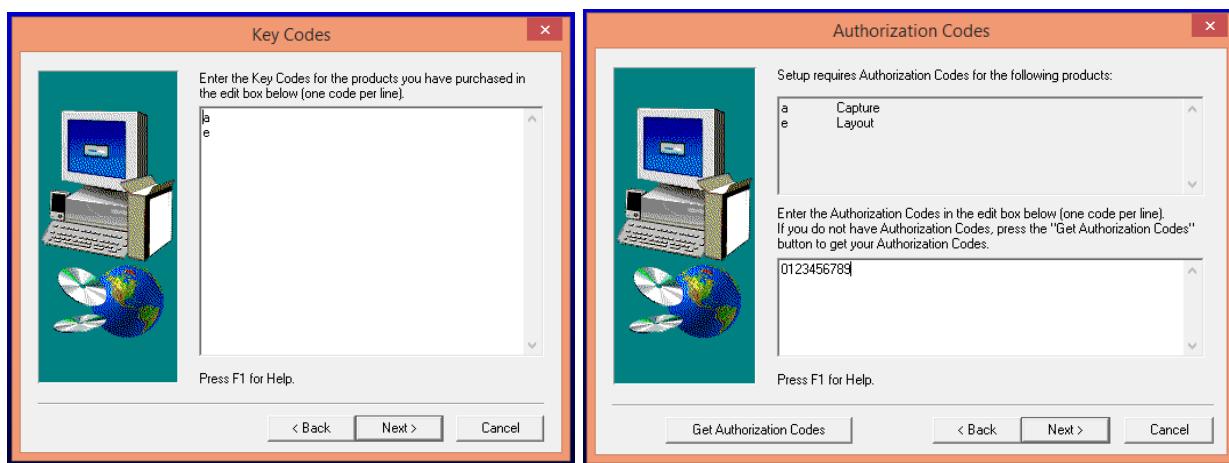
## PHỤ LỤC C

### HƯỚNG DẪN CÀI ĐẶT PHẦN MỀM OrCAD 9.2

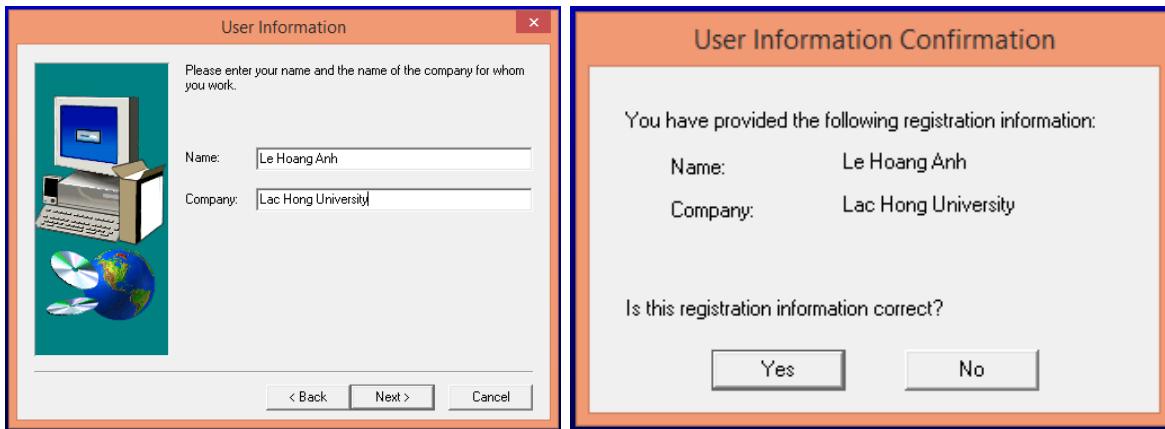
- Sau khi copy phần mềm OrCAD 9.2 vào máy tính các bạn mở thư mục OrCAD 9.2 và chạy file setup.exe (ví dụ: D:\Software\OrCAD 9.2\Setup.exe), trên màn hình xuất hiện hộp thoại Setup, tiếp theo là cửa sổ Cadence



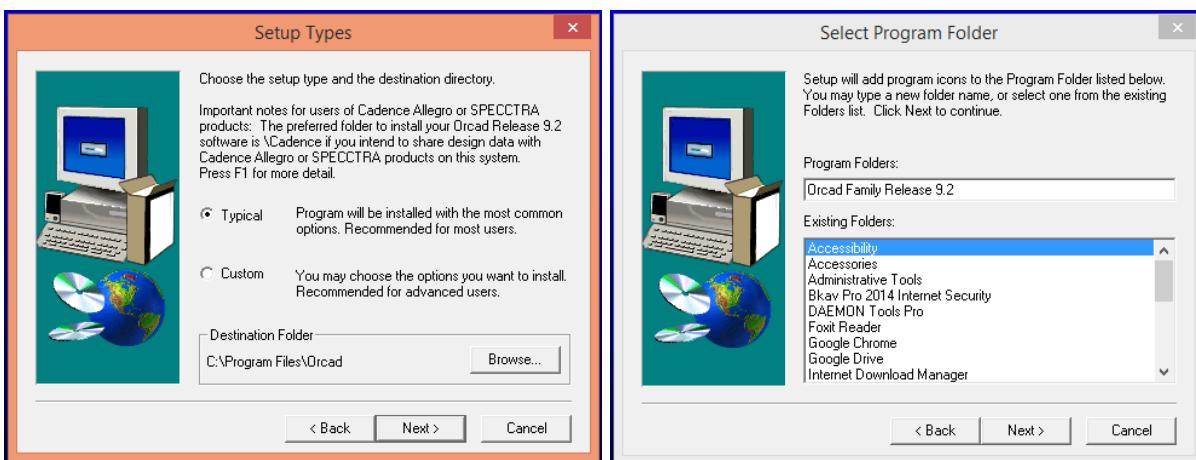
- Hộp thoại Warning xuất hiện các bạn chọn OK
- Hộp thoại Welcome xuất hiện >Next.
- Hộp thoại Software License Agreement >Yes
- Hộp thoại License>Standalone Licensing>Next
- Hộp thoại Standalone Installions Options>Install Products on Standalone Computer>Next
- Hộp thoại Key Code>nhập ký tự “a” sau đó Enter xuống hàng nhập, “e” để chọn cài đặt phần mềm Capture và Layout



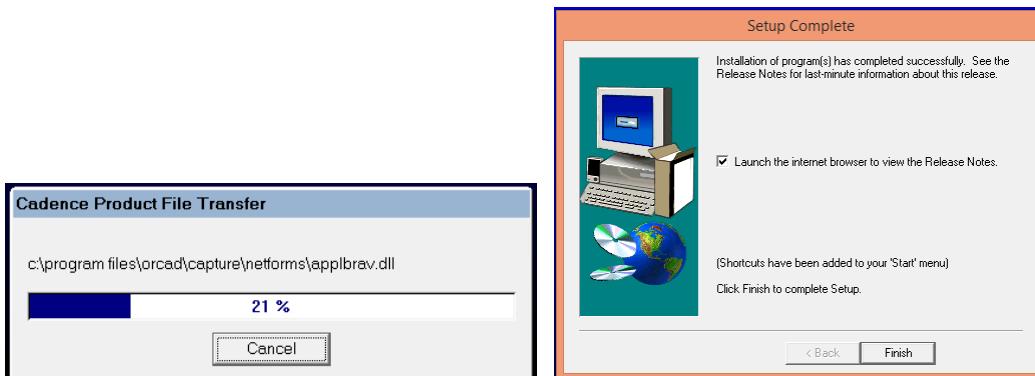
- Hộp thoại Authorization Codes xuất hiện>nhập mã 0123456789>Next>nhập tên và công ty (tùy ý)>Yes. Hộp thoại User Information Confirmation xuất hiện>Yes để xác nhận thông tin.



- Hộp thoại Setup Types>Typical chọn đường dẫn cài đặt chương trình ở mục Destination folder>Next. Thông thường chương trình sẽ tự cài đặt vào ổ đĩa C:\Program File. Nếu muốn thay đổi đường dẫn các bạn chọn Browse... và chỉ đường dẫn cài đặt khác.



- Hộp thoại xác nhận lại đường dẫn cài đặt xuất hiện nếu đồng ý bạn chọn Yes hoặc có thể chọn thư mục tùy ý trong cửa sổ Existing Folders.
- Hộp thoại Start Copying file>Next
- Hộp thoại Cadence Product File Transfer xuất hiện và chương trình Orcad sẽ tự động cài đặt.

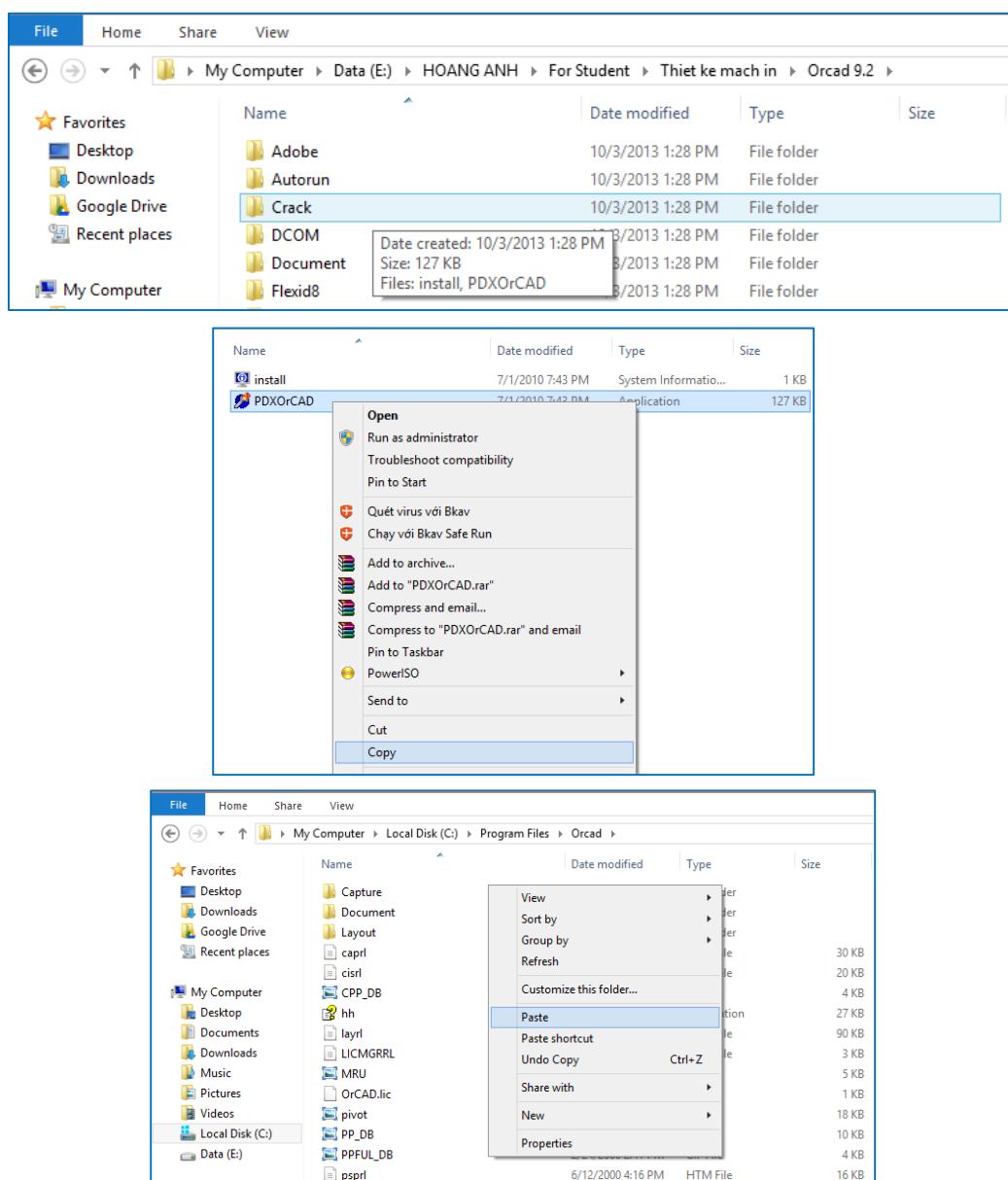


- Hộp thoại Setup Complete>Finish

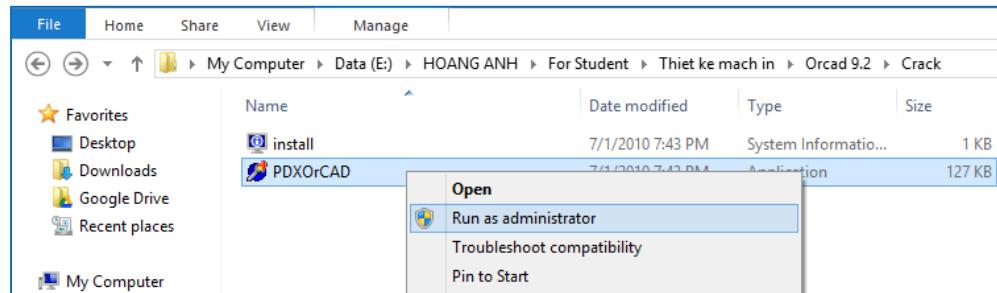
**Sau khi cài đặt xong chương trình cần phải Crack mới có thể sử dụng được.**

- Crack :

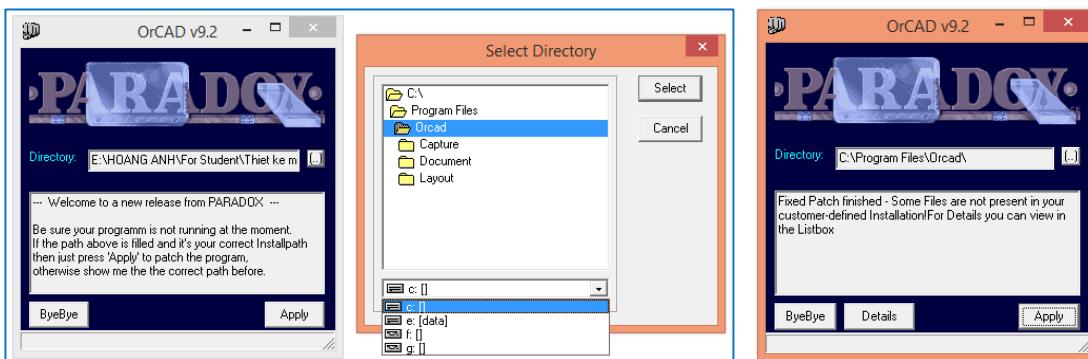
- Chúng ta trở lại My Computer chọn thư mục chứa phần mềm OrCAD mà các bạn đã copy vào máy tính (ví dụ: Data(E:)\HOANG ANH\For Student\Thiet ke mach in\OrCAD 9.2) hoặc trong USB. Tiếp theo vào thư mục Crack sao chép tập tin PDXOrCAD.exe vào thư mục mà bạn đã chọn để cài đặt chương trình ví dụ : C:/Program files/Orcad



- Tiếp theo chúng ta trở lại thư mục chứa phần mềm ban đầu (ví dụ: Data(E):\HOANG ANH\For Student\Thiet ke mach in\OrCAD 9.2\Crack và Click phải chuột vào tập tin PDXOrCAD.exe>Run as Administrator.



- Hộp thoại OrcCAD v9.2 xuất hiện tại mục Directory chúng ta chọn đường dẫn chứa tập tin PDXOrCAD vừa sao chép ví dụ: C:/Program files/Orcad. Chọn Apply>Bye Bye. Nếu ở cửa sổ xuất hiện câu thông báo: Fixed Patch finished... Thì bạn đã cài đặt xong nếu không Crack đúng thì bạn phải thực hiện lại các bước của phần Crack, nếu không khi mở chương trình OrCAD sẽ báo lỗi.



## **PHỤ LỤC D**

### **ĐỊA CHỈ MỘT SỐ CƠ SỞ SẢN XUẤT MẠCH IN**

#### **1. Công ty TNHH Kim Sơn P.C.B**

- Địa chỉ: 17/1B Nguyễn Thị Minh Khai, Phường Bến Nghé, Q1, TP.HCM
- Điện thoại: 08.38296605
- Website: [www.kimsonpcb.vn](http://www.kimsonpcb.vn)

#### **2. Công ty Cổ phần Điện tử Sao Kim**

- Địa chỉ: Cụm Công nghiệp Hoàng Gia, Ấp mới 2, Xã Mỹ Hạnh Nam, Đức Hòa, Long An
- Điện thoại: 01677838950
- Website: [www.saokimpcb@saokim.vn](mailto:www.saokimpcb@saokim.vn)

#### **3. Công TNHH Kha Thành**

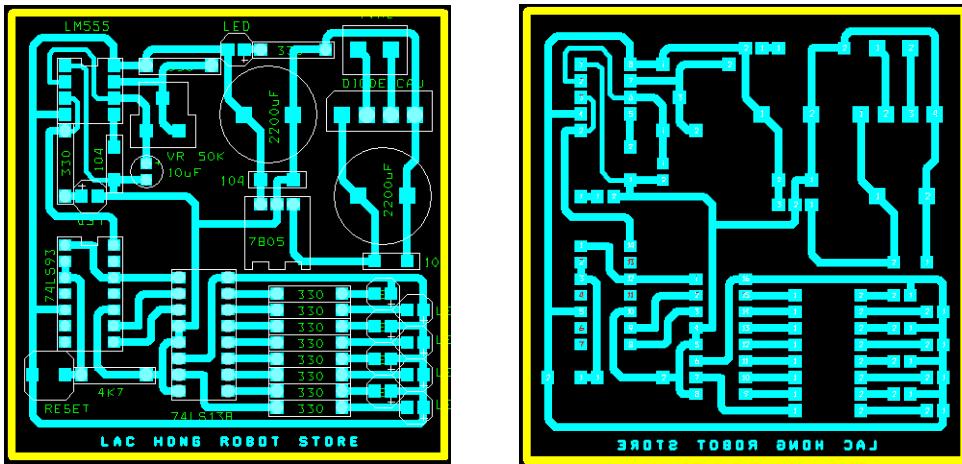
- Địa chỉ: 271/206 Quang Trung, P10, Gò Vấp, TP.HCM
- Điện thoại: 08.62890759
- Website: [wwwpcb24h.com](http://wwwpcb24h.com)

## PHỤ LỤC E

### HƯỚNG DẪN THI CÔNG BO MẠCH IN MỘT LỚP

#### Bước 1: Hiệu chỉnh file .MAX trước khi in

Sau khi vẽ sơ đồ mạch in hoàn chỉnh trên phần mềm OrCAD Layout, chúng ta cần phải ẩn các lớp không cần thiết chỉ hiển thị lớp Top hoặc Bottom và lớp Global (lớp đường mạch in và lớp đường bao bo) như Hình E.1.



Hình E.1 Hiệu chỉnh file .MAX

#### Chú ý:

Đối với các đoạn Text chúng ta phải “Mirror” thì sau khi thi công chúng ta mới nhìn thấy dòng Text này theo chiều thuận.

Linh kiện thường được gắn lên lớp Top khi hàn do đó nếu bo mạch chỉ có 1 lớp thì chúng ta nên vẽ đường mạch in trên lớp Bottom.

Linh kiện dán thường được hàn ở lớp Bottom đối với bo mạch in 1 lớp do đó nếu sử dụng loại linh kiện này trong mạch thì chúng ta phải “Mirror” footprint của các linh kiện này trước khi vẽ đường mạch in nếu không sau khi ủi mạch lên bo đồng thì các footprint này sẽ bị ngược và chúng ta không thể hàn linh kiện lên bo.

#### Bước 2: Ghép nhiều file .MAX

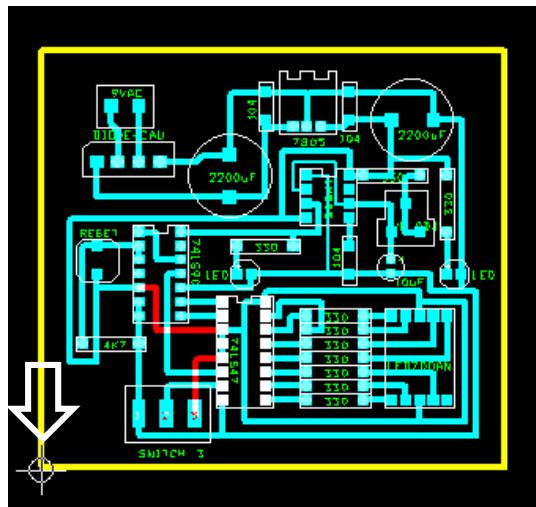
Chúng ta có thể ghép nhiều file .MAX trên cùng một trang vẽ để tiết kiệm giấy in hoặc để thỏa mãn yêu cầu về kích thước bo tiêu chuẩn của nhà sản xuất khi gia công bằng cách sử dụng chức năng Merge board.

**Chú ý:** Để thực hiện chức năng này chúng ta phải định vị và di chuyển gốc tọa của những bo mạch cần ghép đến các vị trí thích hợp.

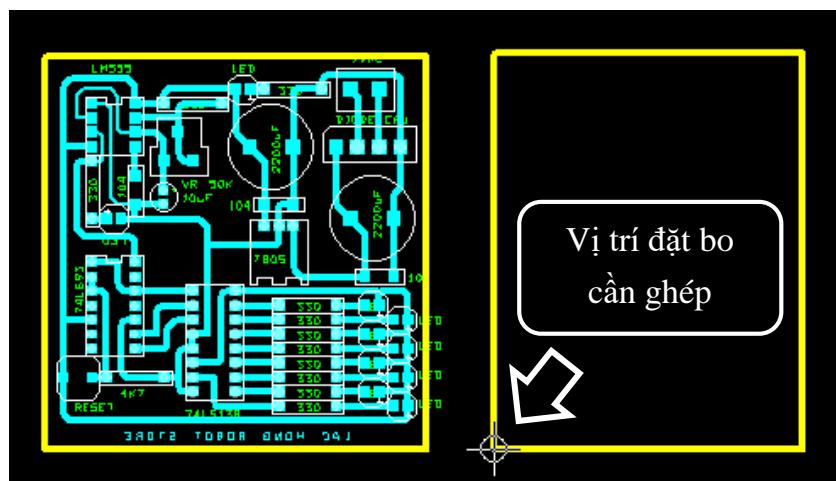
- Di chuyển gốc tọa độ của bo cần ghép vào vị trí gốc bo như Hình E.2 bằng công cụ *Tool>Dimension>Move Datum*. Nếu bo mạch cần ghép cũng chính là bo mạch hiện

hành thì chúng ta cần copy bo hiện hành thành một bo với tên gọi khác để thuận tiện cho việc ghép bo.

- Di chuyển gốc tọa độ của bo mạch hiện hành đến vị trí cần ghép bo mạch khác vào và lưu lại như Hình E.3.
  - Để ghép các bo mạch lại với nhau chúng ta vào menu *File>Load...* Hộp thoại Load File xuất hiện chúng ta chọn chức năng Merge board và chọn file .MAX cần ghép vào file hiện hành như Hình E.4.



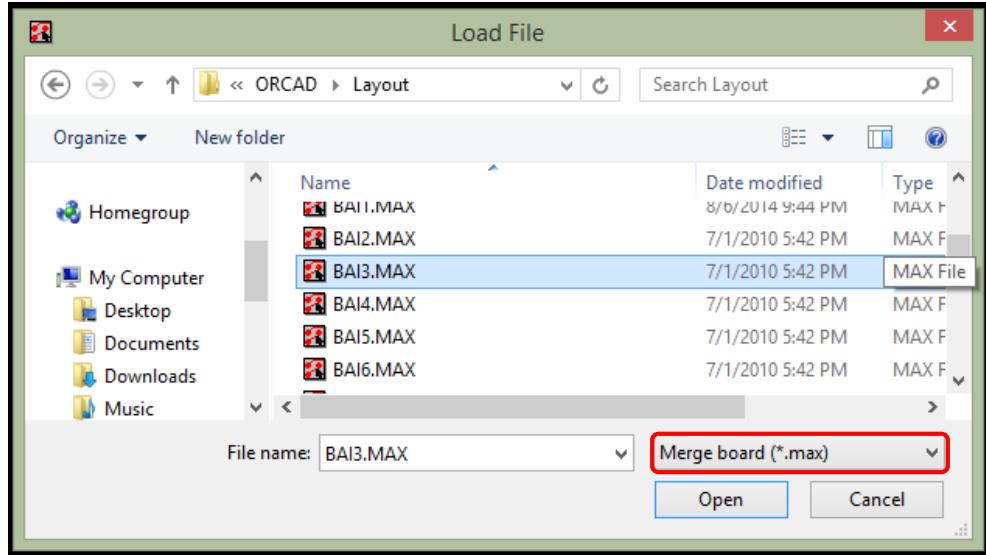
Hình E.2 Bo mạch cần ghép vào bo hiện hành



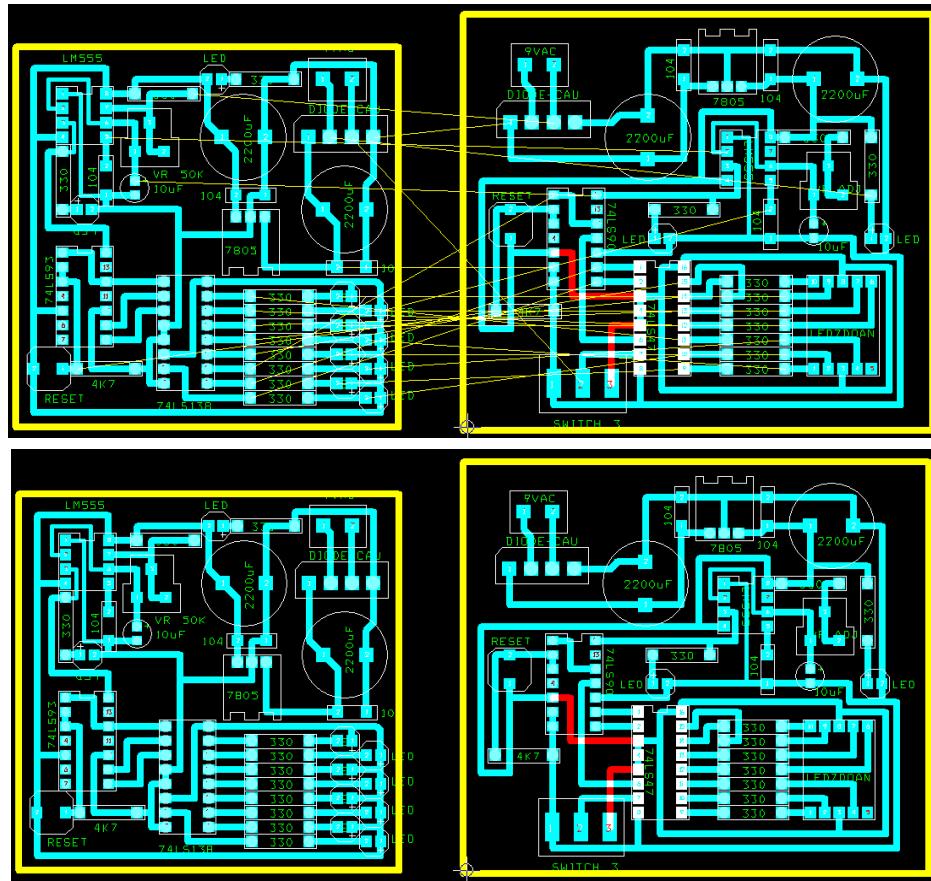
Hình E.3 Bo hiện hành và vị trí đặt bo cần ghép

- Sau khi ghép xong do có nhiều linh kiện trùng tên nên phần mềm sẽ tạo ra nhiều đường nối mạch nguyên lý giữa các linh kiện này như Hình E.5. Chúng ta sử dụng công cụ Connection tool sau đó click chuột phải chọn Delete để xóa các đường mạch nguyên lý này như Hình E.6. Tiếp theo chúng ta lưu bo mạch hiện hành này lại. Nếu muốn tiếp tục ghép một bo mạch khác

vào bo hiện hành chúng ta thực hiện lại việc di chuyển gốc tọa độ trên bo hiện hành đến vị trí đặt bo cần ghép và thực hiện lại các bước như trên.



Hình E.4 Chọn file .MAX cần ghép



E.6 Ghép thành công hai bo mạch vào cùng một file

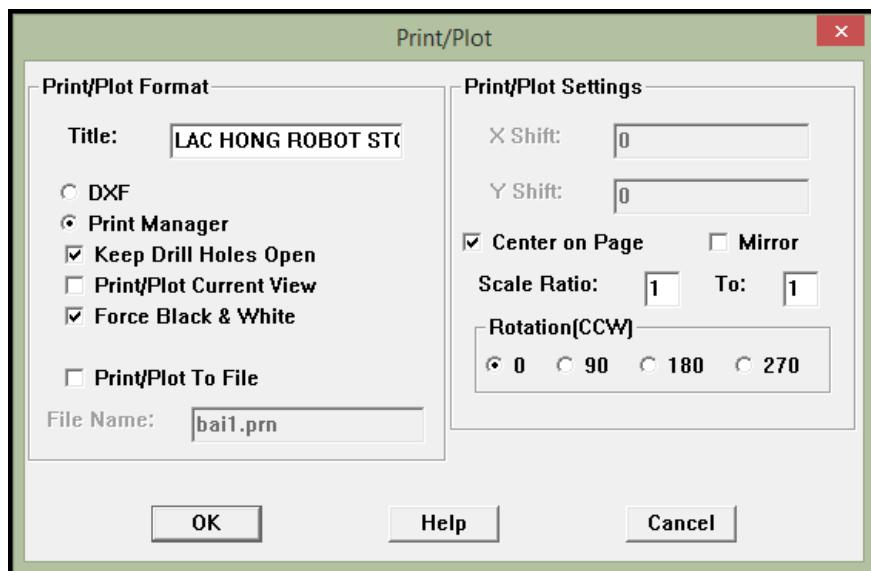
### Bước 3: In file .MAX

Có 3 loại giấy thường được sử dụng để in bo đó là giấy Ford (giấy A4 thường), giấy Couche (loại giấy được dùng để in tạp chí) và mặt sau (màu vàng) của giấy in decal.



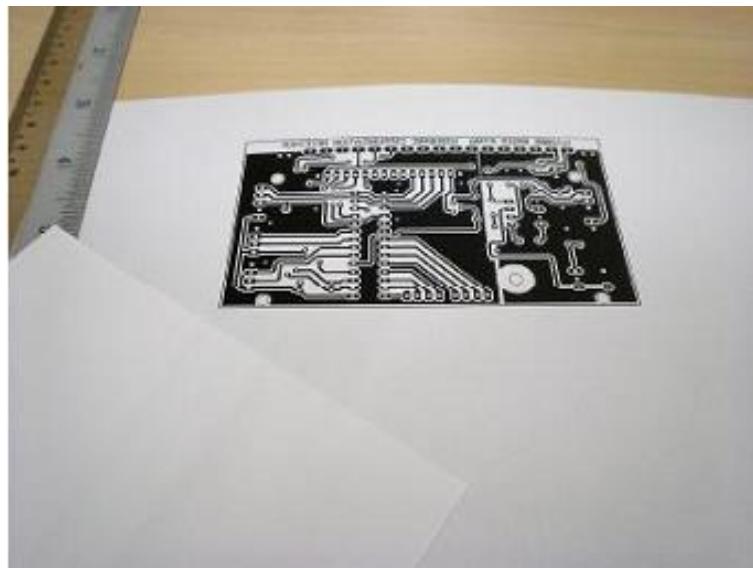
E.7 Các loại giấy in bo (A4, Couche, decal)

Để in file đường mạch lên giấy chúng ta chọn menu *File>Print/Plot...* sau đó chọn mục Keep Drill Holes Open để phần mềm giữ lại lỗ khoan tại các pad khi in, việc này sẽ giúp chúng ta xác định chính xác được vị trí khi khoan mạch. Đồng thời chúng ta chọn mục Force Black & White để tăng cường độ tương phản. Ngoài ra chúng ta còn có thể chọn chức năng lấy đối xứng (Mirror) hoặc xoay bo mạch (Rotation) theo các góc 90°, 180°, 270°...



E.8 Hộp thoại Print/Plot...

Sau đó chọn *OK* để in bo mạch ra giấy như Hình E.9, chúng ta có thể chuyển file mạch in này sang định dạng PDF bằng phần mềm máy in ảo nhưng chú ý phải giữa đúng tỷ lệ 100% khi in để đảm bảo chính xác kích thước của footprint.



E.9 Bo mạch được in trên giấy

#### Bước 4: Ủi mạch lên bo đồng

Để ủi mạch in lên bo đồng chúng ta cần chuẩn bị các vật dụng như bàn ủi, dao rọc giấy, đồ chìu xoong, bàn chải đánh răng loại mềm. Trước khi ủi chúng ta cần vệ sinh bo đồng bằng đồ chìu xoong để đảm bảo bìa mạch bo không bị oxy hóa nhầm làm tăng khả năng bám mực in của bo khi ủi.



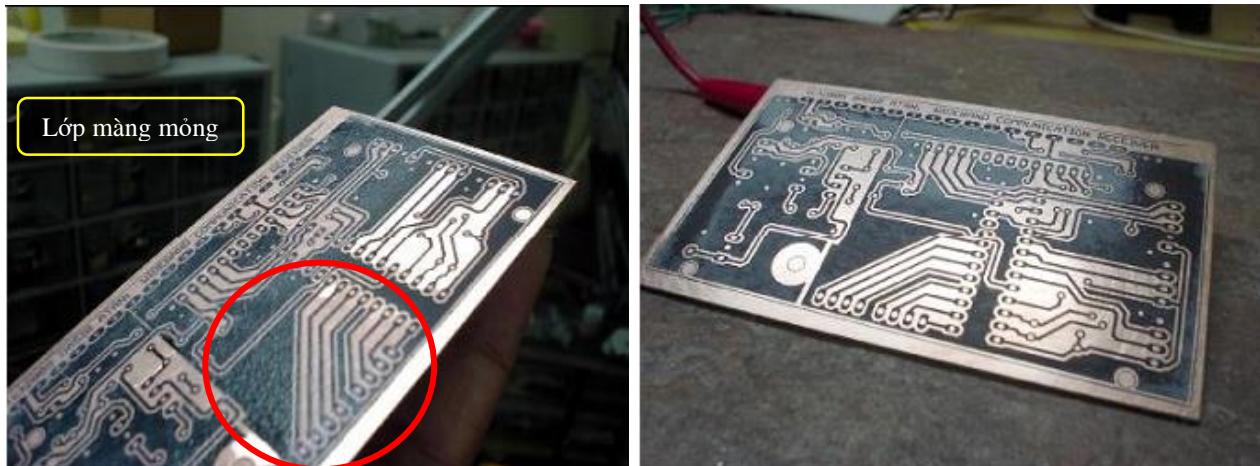
E.10 Chuẩn bị các dụng cụ cần thiết và vệ sinh bìa mạch bo đồng

Sau đó chúng ta đặt mạch cần in lên bo đồng và ủi khoảng 3-5 phút với nhiệt độ vừa phải. Nếu để bàn ủi quá nóng hoặc ủi quá lâu sẽ làm hỏng bo đồng. Nếu như chúng ta sử dụng loại giấy A4 thường thì sau khi ủi xong chúng ta phải ngâm nước để có thể tách bỏ lớp giấy ra khỏi bo đồng và chỉ giữ lại lớp mực in như Hình E.11. Nhưng nếu chúng ta sử dụng loại giấy Couche hoặc giấy Decal thì chúng ta có thể tách bỏ lớp giấy mà không cần phải ngâm vào nước.



E.11 Ủi mạch lên bo đồng và tách bỏ lớp giấy

Chú ý chúng ta phải thao tác cẩn thận khi tách bỏ lớp giấy ra khỏi bo đồng để tránh làm đứt các đường mạch in. Nếu sử dụng loại giấy A4 thì sau khi tách bỏ lớp giấy xong trên bo thường còn lại lớp màng mỏng, chúng ta phải tách bỏ được cả lớp màng này nếu không thuốc rửa mạch không thể tác động lên lớp đồng và quá trình ăn mòn sẽ không xảy ra.



E.12 Lớp mực in còn lại sau khi tách bỏ lớp giấy ra khỏi bo đồng

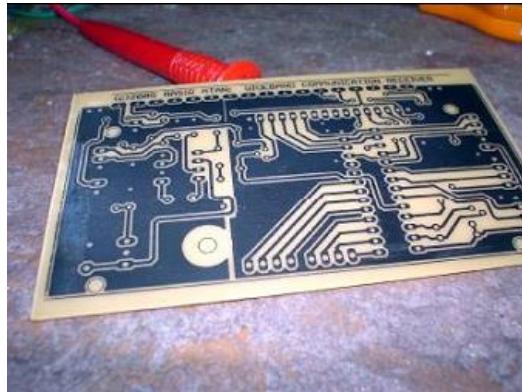
#### Bước 5: Ngâm bo mạch với thuốc rửa ( $\text{FeCl}_3$ )

Sau khi vệ sinh và tách bỏ các lớp màng mỏng bằng bàn chải mềm chúng ta sẽ thực hiện bước ngâm bo mạch in với thuốc rửa. Thuốc rửa mạch in là loại hợp chất có khả năng ăn mòn kim loại do đó chúng ta chỉ có thể sử dụng các loại khay bằng nhựa để tạo bể rửa bo. Tốc độ ăn mòn phụ thuộc vào sự tiếp xúc giữa bể rửa và dung dịch thuốc rửa do đó chúng ta cần tạo ra sự ma sát bằng cách lắc khay để tạo luồng di chuyển của dung dịch lên bề mặt bo đồng. Chú ý tránh tạo ra ma sát giữa bề mặt bo và đáy bể rửa vì như vậy có thể làm tróc các đường mạch in.

Tốc độ ăn mòn còn phụ thuộc vào nồng độ của dung dịch thuốc rửa đặc hay loãng do đó chúng ta phải thường xuyên kiểm tra khi rửa bo để tránh ăn mòn những đường mạch không mong muốn.



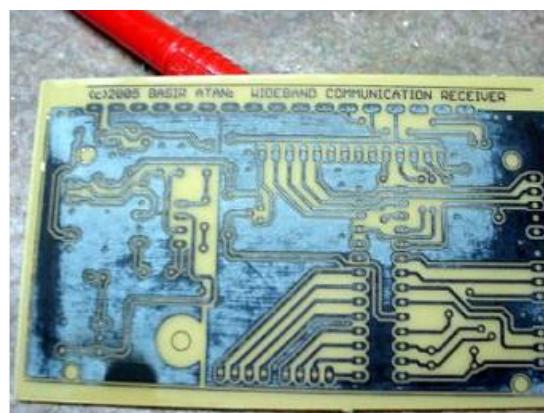
E.13 Ngâm bo mạch với thuốc rửa



E.14 Bo mạch in sau khi ngâm với thuốc rửa

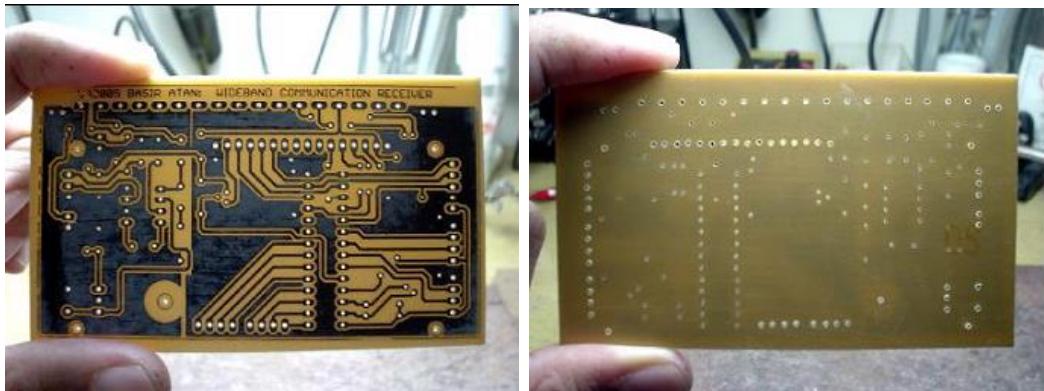
#### Bước 6: Kiểm tra đường mạch in

Bo mạch in sau khi rửa phải được kiểm tra bằng mắt và VOM để đảm bảo không có đường mạch in nào bị đứt hoặc bị nối tắt.



E.15 Kiểm tra lỗi đứt đường mạch in và lỗi ngắn mạch

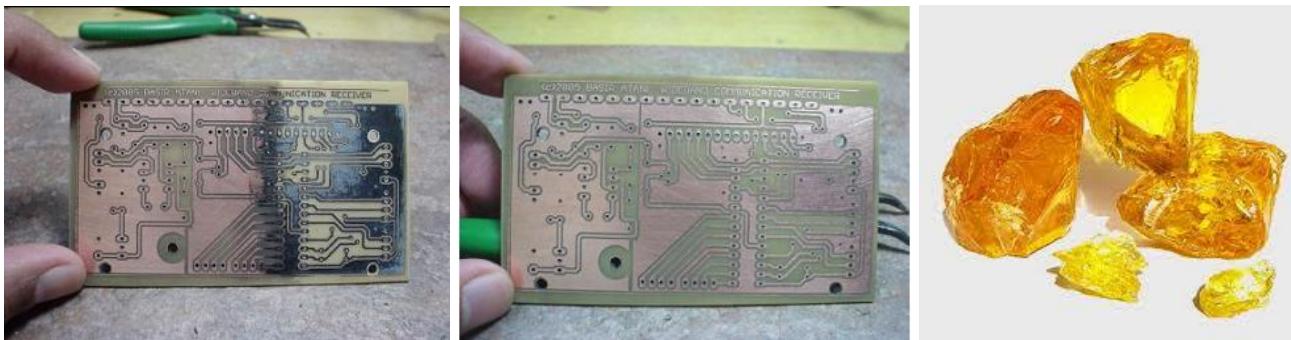
### Bước 7: Khoan mạch



E.16 Bo mạch sau khi khoan chân linh kiện

### Bước 8: Tẩy bỏ lớp mực in phủ lớp nhựa thông chống oxy hóa

Chúng ta sử dụng giấy nhám mịn hoặc đồ chìu xoong để tẩy bỏ lớp mực in. Nếu không thực hiện bước này thì khi hàn linh kiện chì hàn sẽ không kết dính vào pad đồng được. Tiếp theo chúng ta cần phủ một lớp nhựa thông để chống oxy hóa bì mặt bo đồng bằng cách pha các hạt nhựa thông nhuyễn với xăng để tạo thành dung dịch dạng keo.



E.17 Tẩy bỏ lớp mực in và phủ lớp nhựa thông chống oxy hóa

### Bước 9: Lắp ráp linh kiện và kiểm tra

Sau khi phơi khô lớp phủ nhựa thông chúng ta tiến hành lắp ráp linh kiện và kiểm tra hoạt động của bo mạch.



E.18 Lắp ráp linh kiện và kiểm tra