

**МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ  
УНИВЕРСИТЕТ ИТМО**

П. В. Кустарев, С. В. Быковский

# **Функциональная схемотехника**

**Методические указания к лабораторной работе №3**



Санкт-Петербург

2019

# Содержание

<b>1</b>	<b>Лабораторная работа №3. «Проектирование цифровых устройств на ПЛИС»</b>	<b>4</b>
1.1	Цель работы	4
1.2	Указания к выполнению работы	4
1.3	Порядок выполнения работы	4
<b>2</b>	<b>Требования к оформлению отчета</b>	<b>6</b>
<b>3</b>	<b>Пример создания прошивки для ПЛИС в Vivado Design Suite</b>	<b>8</b>

# Лабораторная работа №3. «Проектирование цифровых устройств на ПЛИС»

## 1.1 Цель работы

Получить навыки разработки цифровых устройств на базе программируемых логических интегральных схем (ПЛИС).

## 1.2 Указания к выполнению работы

Лабораторная работа посвящена знакомству с особенностями разработки цифровых устройств на базе микросхем ПЛИС. Работа выполняется в Vivado Design Suite и с использованием отладочной платы [Nexys 4 DDR](#) (новое название [Nexys A7](#))

По результатам выполнения лабораторной работы составляется отчет в соответствии с требованиями, приведенными в разделе «Требования к оформлению отчета».

## 1.3 Порядок выполнения работы

1. Доработайте схему функционального блока, разработанного в лабораторной работе №2, в соответствии с рисунком [1.1](#). Необходимо добавить возможность работы с блоком посредством дискретных портов ввода/вывода, подключенных к переключателям, светодиодам и кнопкам платы Nexys 4 DDR:
  - Значения операндов должны вводиться с помощью переключателей (SW).
  - Результат должен выводиться на светодиоды (LEDS).
  - С целью увеличения удобства работы пользователя допускается использование дополнительных кнопок, переключателей и светодиодов.
  - Интерфейс пользователя должен обеспечивать возможность многократного использования вычислительных возможностей блока без постоянного нажатия на кнопку сброса.
2. Разработайте тестовое окружение и проведите моделирование.

3. Проведите синтез и размещение схемы для ПЛИС XC7A100T-1CSG324C, входящей в состав отладочной платы Nexys 4 DDR.
4. Определите количество и тип используемых ресурсов ПЛИС после размещения схемы.
5. Проверьте работоспособность схемы на отладочной плате Nexys 4 DDR.

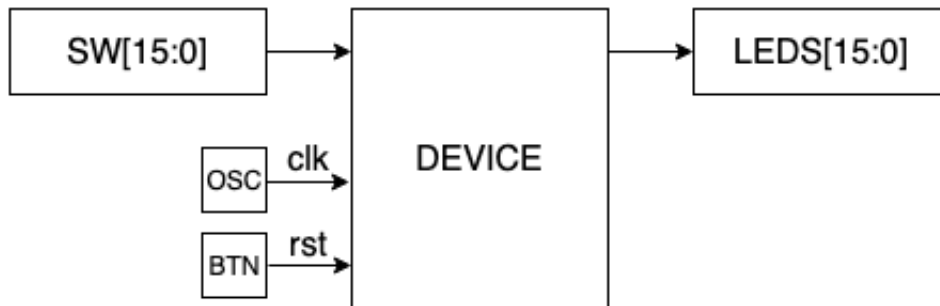


Рисунок 1.1: Схема сопряжения функционального блока с дискретными портами ввода/вывода: SW - переключатели, LEDS - светодиоды, OSC - генератор тактового сигнала, BTN - тактовая кнопка

# Требования к оформлению отчета

Отчет выполняется в виде самостоятельного документа. Материал, изложенный в отчете, должен быть понятным без дополнительных комментариев со стороны исполнителей.

На защиту предоставляется только распечатанный титульный лист. Электронная версия отчета высылается на почту преподавателю.

## Отчет должен содержать:

- Титульный лист, на котором указываются:
  - название университета;
  - название факультета;
  - название дисциплины;
  - номер и тема лабораторной работы;
  - вариант лабораторной работы;
  - фамилия, инициалы и номер группы каждого исполнителя;
  - фамилия и инициалы преподавателя;
  - текущий год.
- Содержание.
- Цель работы.
- Задание в соответствии с вариантом.
- Схема (рисунок) сопряжения разработанного блока и устройств ввода/вывода (переключателей, светодиодов, кнопок и др.). Копирование схемы из задания не допускается. На схеме должно быть указано актуальное количество используемых устройств ввода/вывода.
- Описание алгоритма работы пользователя. Приводится блок-схема алгоритма и краткое описание порядка взаимодействия пользователя с устройством (какие кнопки/переключатели в какой последовательности нажимать/переключать, где смотреть и как интерпретировать результат работы).

- Результат тестирования (временные диаграммы) блока в симуляторе.
- Таблицу с используемыми ресурсами ПЛИС.

#### **Требования к оформлению:**

- отчет выполняется как текстовый документ в соответствии с ГОСТ 2.105-95;
- шрифт Times New Roman 12-14 pt, межстрочный интервал 1-1,5, поля с краев листа – не менее 2 см;
- сквозная нумерация страниц;
- обязательны нумерация и подписи к рисункам и таблицам, а также ссылки на них в тексте отчета;
- схемы и временные диаграммы должны быть темными на светлом фоне; если наложение временных диаграмм нескольких сигналов мешает их однозначному восприятию, они должны разноситься на отдельные координатные сетки;
- в распечатанном отчете линии на схемах и временных диаграммах должны быть четко видны.

# Пример создания прошивки для ПЛИС в Vivado Design Suite

В данном разделе описывается процесс создания прошивки ПЛИС XC7A100T-1CSG324C, входящей в состав отладочной платы Nexys 4 DDR с помощью Vivado Design Suite.

Подразумевается, что проект устройства создан и отлажен в симуляторе. Следующим шагом на пути к получению прошивки является синтез схемы. В процессе синтеза описание на Verilog HDL переводится в базис базовых операционных элементов и вентилях.

Для запуска синтеза необходимо в левой панели Vivado Design Suite нажать на кнопку «Run Synthesis» (рисунок 3.1).



Рисунок 3.1: Кнопка запуска процесса синтеза

После нажатия на кнопку высветится диалоговое окно с настройками синтеза (рисунок 3.2). В окне настроек можно указать в какое количество потоков (jobs) будет производиться синтез. Для продолжения синтеза необходимо нажать «ОК».

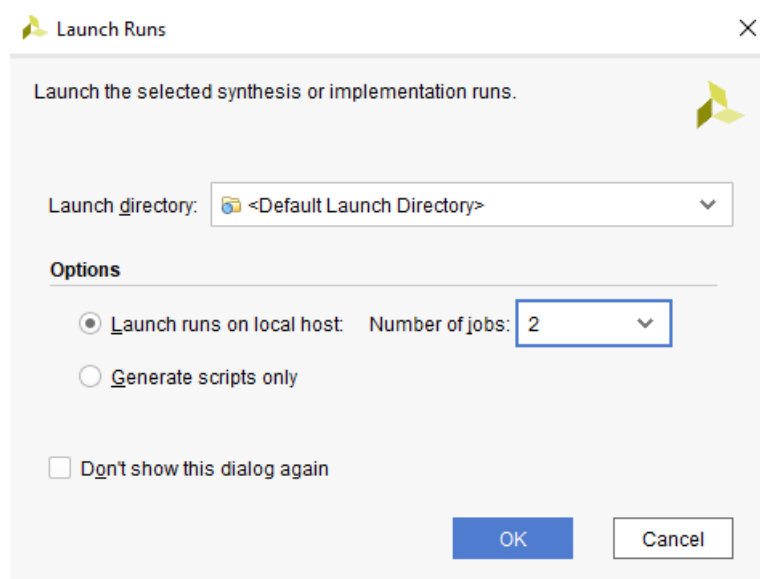


Рисунок 3.2: Диалоговое окно настройки синтеза

После завершения синтеза откроется диалоговое окно с вопросом открытия синтезированного проекта (рисунок 3.3). При первом синтезе необходимо открыть синтезированный проект, чтобы установить соответствие виртуальных портов ввода/вывода, имеющихся в проекте, реальным портам ПЛИС. Для этого в открывшемся окне выбираем «Open Synthesis Design» и нажимаем «ОК».

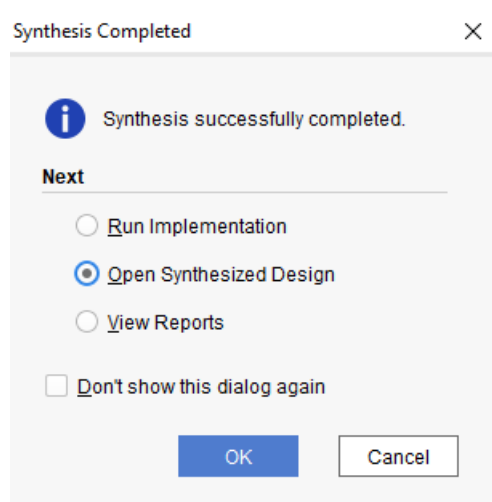


Рисунок 3.3: Диалоговое окно открытия синтезированного проекта

Чтобы перейти на редактирования привязок для портов, надо в открывшемся синтезированном проекте выбрать в правом верхнем угле режим I/O Planning (рисунок 3.4).



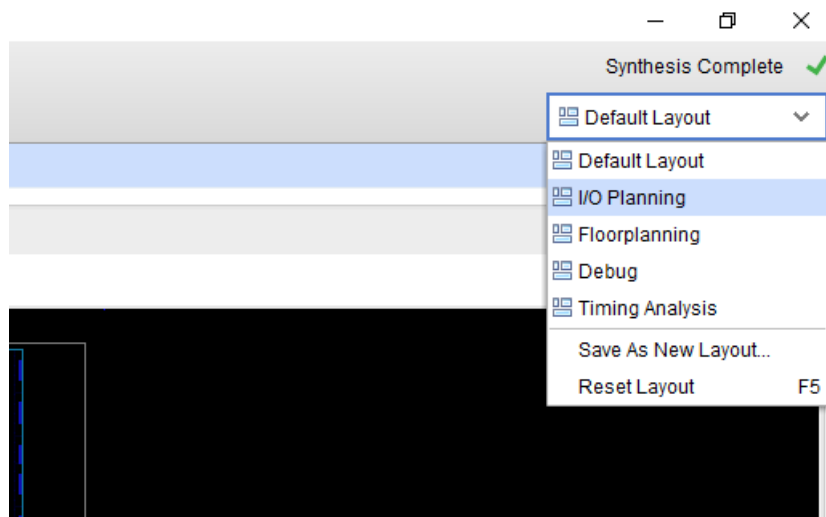


Рисунок 3.4: Выбор режима I/O Planning

В режиме I/O Planning необходимо задать соответствия портов в нижней части окна проекта (область выделена красным на рисунке 3.5). Для всех дискретных портов ввода/вывода (переключатели, светодиоды и кнопки) необходимо в качестве параметра «IO Std» задавать (LVCMOS33).

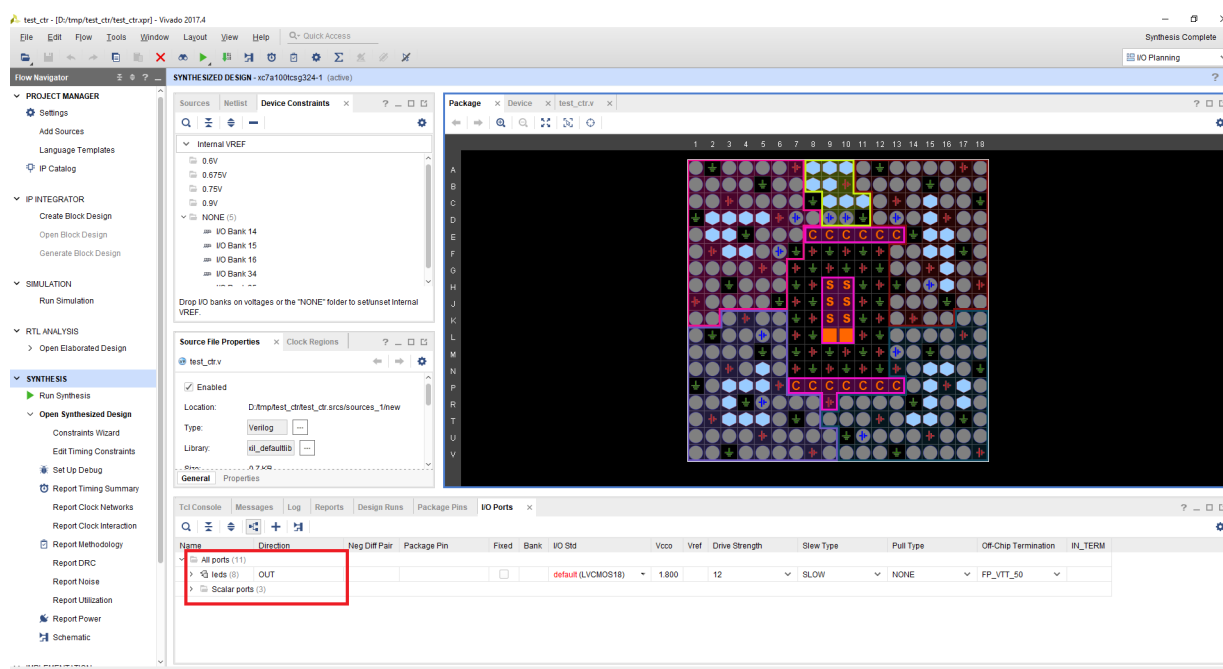


Рисунок 3.5: Интерфейс редактирования привязки портов/ввода вывода

Информацию о названии реальных ножек ПЛИС и к чему они подключены на плате можно взять из официальной [документации](#) к плате. Подключение дискретных портов ввода/вывода представлено на рисунке 3.6.

После завершения редактирования привязок необходимо сохранить изменения. Это можно сделать комбинацией клавиш «Ctrl+S». При первом сохранении будет

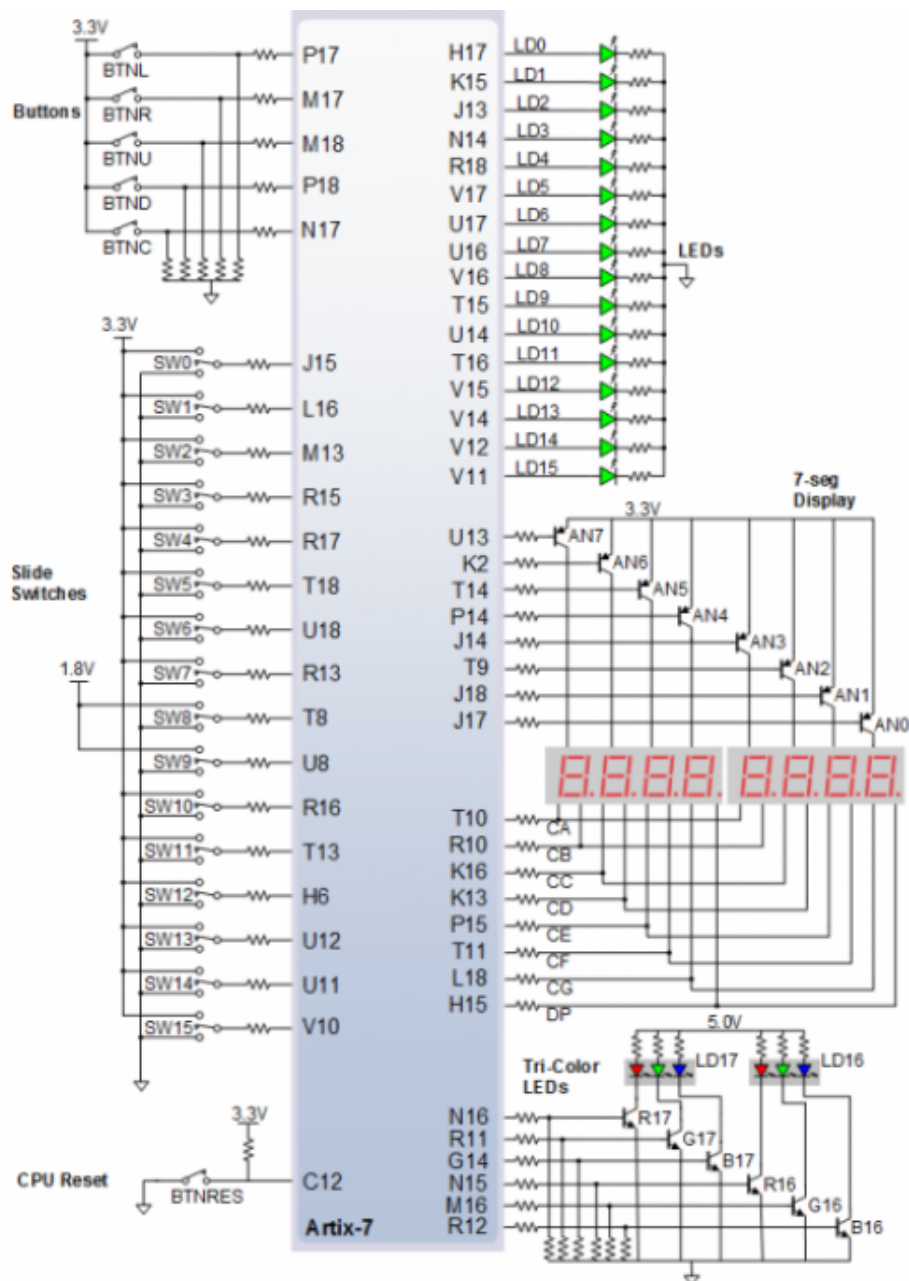


Рисунок 3.6: Схема подключения дискретных портов ввода/вывода ПЛИС XC7A100T-1CSG324C на плате Nexys 4 DDR

выведено окно с предложением ввести имя для вновь создаваемого файла ограничений, в котором будут сохранены установленные настройки портов (рисунок 3.7). Вводим имя и сохраняем ограничения в XDC файл.

Заданные ограничения можно просмотреть в текстовом виде, щелкнув дважды на названии файла в панели исходных файлов проекта (рисунок 3.8).

Нам необходимо добавить ограничение на частоту тактового сигнала. На рисунке 3.9 необходимая строчка выделена цветом. Выставляем ограничение на период

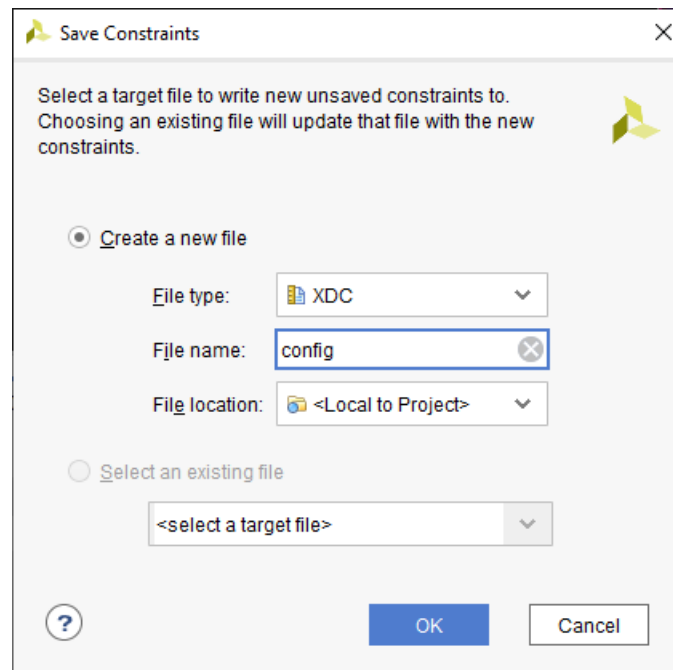


Рисунок 3.7: Диалоговое окно сохранения ограничений проекта

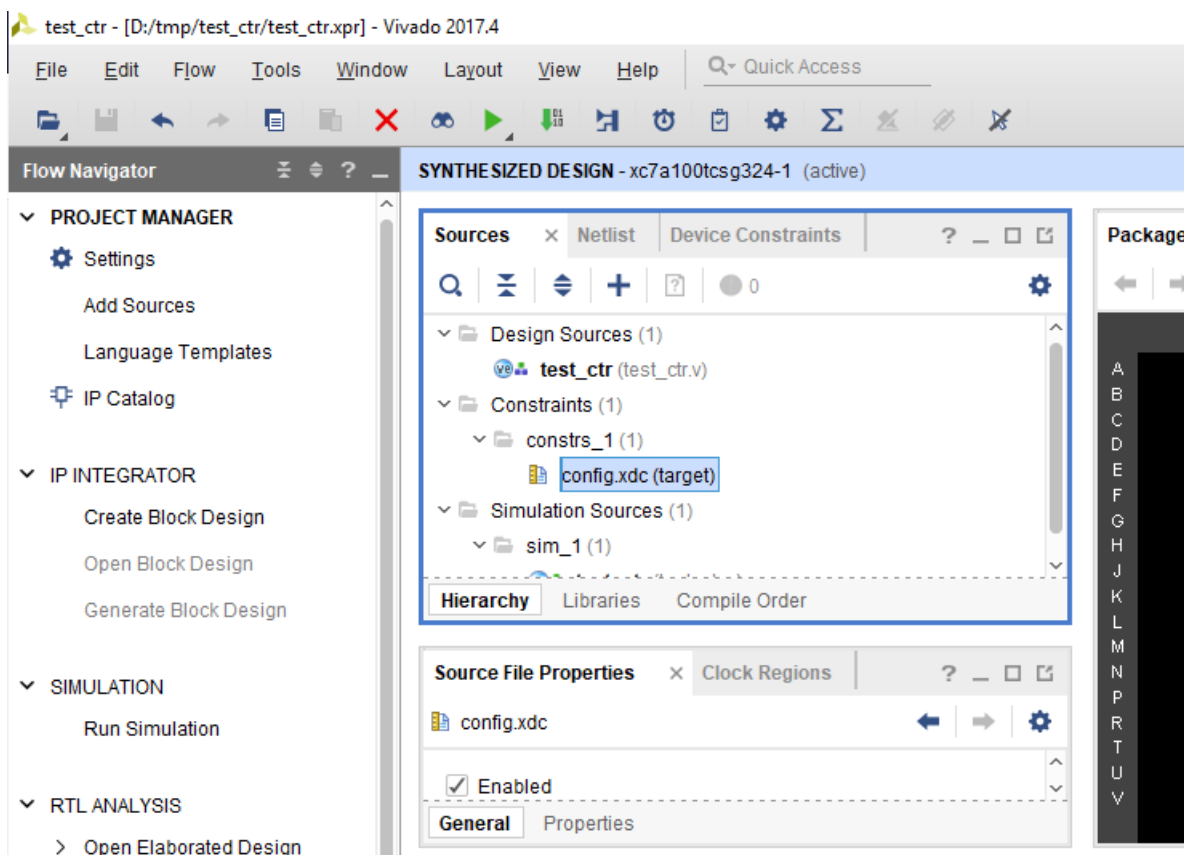


Рисунок 3.8: Диалоговое окно сохранения ограничений проекта

10 нс, что соответствует 100 МГц. Эта информация необходима Vivado для правильного временного анализа схемы после размещения её компонентов на ПЛИС. Если временные ограничения не будут соблюдаться Vivado выдаст предупреждение.

```

14 set_property PACKAGE_PIN V17 [get_ports {leds[5]}]
15 set_property PACKAGE_PIN U17 [get_ports {leds[6]}]
16 set_property PACKAGE_PIN U16 [get_ports {leds[7]}]
17 set_property IOSTANDARD LVCMOS33 [get_ports clk]
18
19 set_property PACKAGE_PIN E3 [get_ports clk]
20 create_clock -add -name clk -period 10.00 -waveform {0 5} [get_ports { clk }];|
21
22 set_property PACKAGE_PIN P18 [get_ports rst]
23 set_property PACKAGE_PIN J15 [get_ports sw]
24 set_property IOSTANDARD LVCMOS33 [get_ports rst]
25 set_property IOSTANDARD LVCMOS33 [get_ports sw]
26

```

Рисунок 3.9: Содержимое файла ограничений проекта

После задания ограничений необходимо перейти к шагу отображения схемы на ресурсы ПЛИС и физическому размещению. Эти шаги запускаются нажатием на «Run Implementation» в левой части интерфейса проекта Vivado (рисунок 3.10).

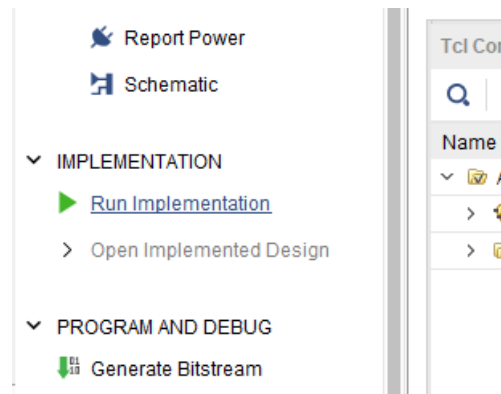


Рисунок 3.10: Кнопка запуска процесса отображения и размещения схемы на ресурсах ПЛИС

После успешного выполнения шага размещения схемы на ПЛИС будет предложено выполнить создание файла прошивки. Выбираем «Generate Bistream» и нажимаем «ОК» (рисунок 3.11).

После успешного создания файла прошивки отобразится окно с предложением открыть проект после размещения (рисунок 3.12). Можно нажать «Cancel». Пока нам не требуется вносить изменения в размещение на ПЛИС.

Файл прошивки имеет расширение bit и располагается в каталоге с результатами размещения проекта. Мы можем посмотреть количество ресурсов, занимаемых на ПЛИС в панели «Design Runs» (рисунок 3.13).

Также информацию о ресурсах можно посмотреть, нажав на символ суммы в верхней инструментальной панели Vivado (рисунок 3.14).

После нажатия на кнопку суммы откроется отчет о ресурсах (рисунок 3.15).

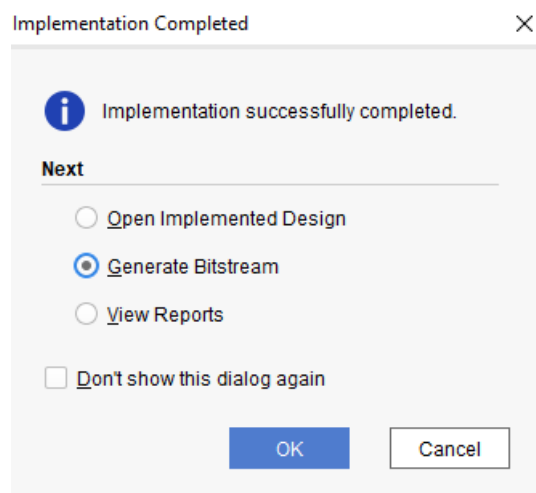


Рисунок 3.11: Окно с предложением создания прошивки ПЛИС

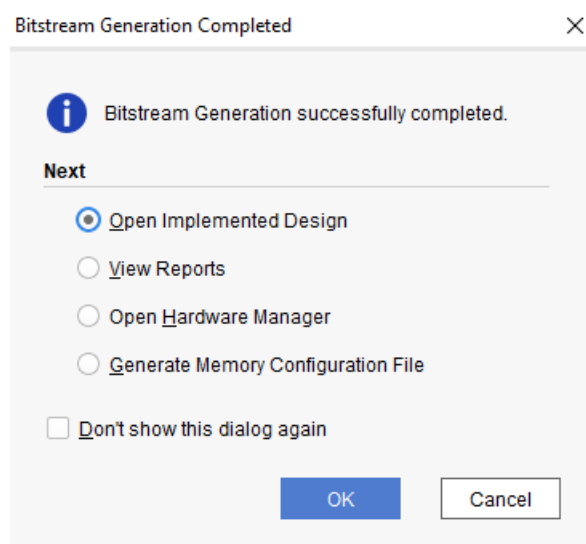


Рисунок 3.12: Окно с предложением открытия проекта после размещения

Name	Constraints	Status	WNS	TNS	WHS	THS	TPWS	Total Power	Failed Routes	LUT	FF	BRAMs	URAM	DSP
✓ synth_1	constrs_1	synth_design Complete!								46	40	0.00	0	0
✓ impl_1	constrs_1	write_bitstream Complete!	5.229	0.000	0.266	0.000	0.000	0.098	0	46	40	0.00	0	0

Рисунок 3.13: Информация по занимаемым ресурсам на ПЛИС

Для проверки работоспособности схемы необходимо загрузить полученную прошивку на ПЛИС. Это можно сделать с помощью «Hardware Manager», входящего в состав Vivado. Также можно загрузить прошивку с помощью приложения «ИМПАКТ», входящего в состав ISE Design Suite - предшественника Vivado. Далее будет описан процесс загрузки прошивки с помощью «Hardware Manager».

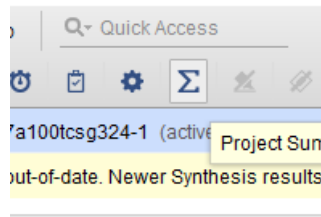


Рисунок 3.14: Кнопка просмотра отчета по занимаемым ресурсам ПЛИС

Resource	Utilization	Available	Utilization %
LUT	46	63400	0.07
FF	40	126800	0.03
IO	11	210	5.24
BUFG	1	32	3.13

Рисунок 3.15: Отчет по занимаемым ресурсам ПЛИС

Для открытия «Hardware Manager» необходимо нажать на «Open Hardware Manager» на левой панели Vivado (рисунок 3.16).

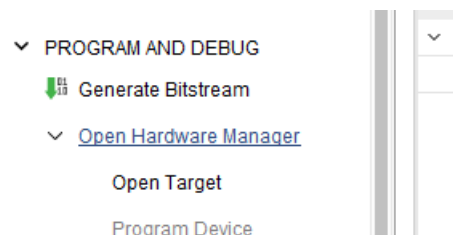


Рисунок 3.16: Кнопка открытия режима прошивки ПЛИС

После открытия Hardware Manager необходимо подключить плату Nexys 4 DDR и включить питание. Затем нажать на кнопку автоопределения «Auto Connect» подключенного устройства (рисунок 3.17).

После успешного определения ПЛИС необходимо щелкнуть правой кнопкой мышки на ней и выбрать «Program Device» (рисунок 3.18).

После нажатия на «Program Device» откроется диалоговое окно с выбором файла прошивки. Если «Hardware Manager» запускается из текущего проекта, как в данном

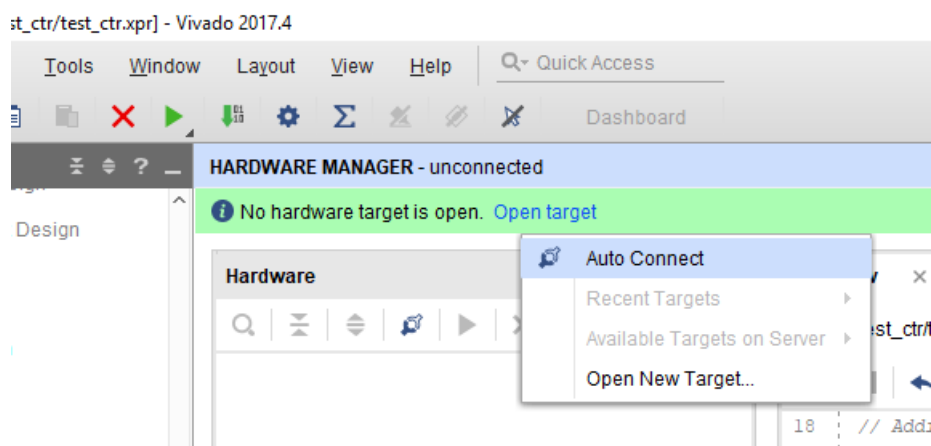


Рисунок 3.17: Кнопка автоопределения платы с ПЛИС

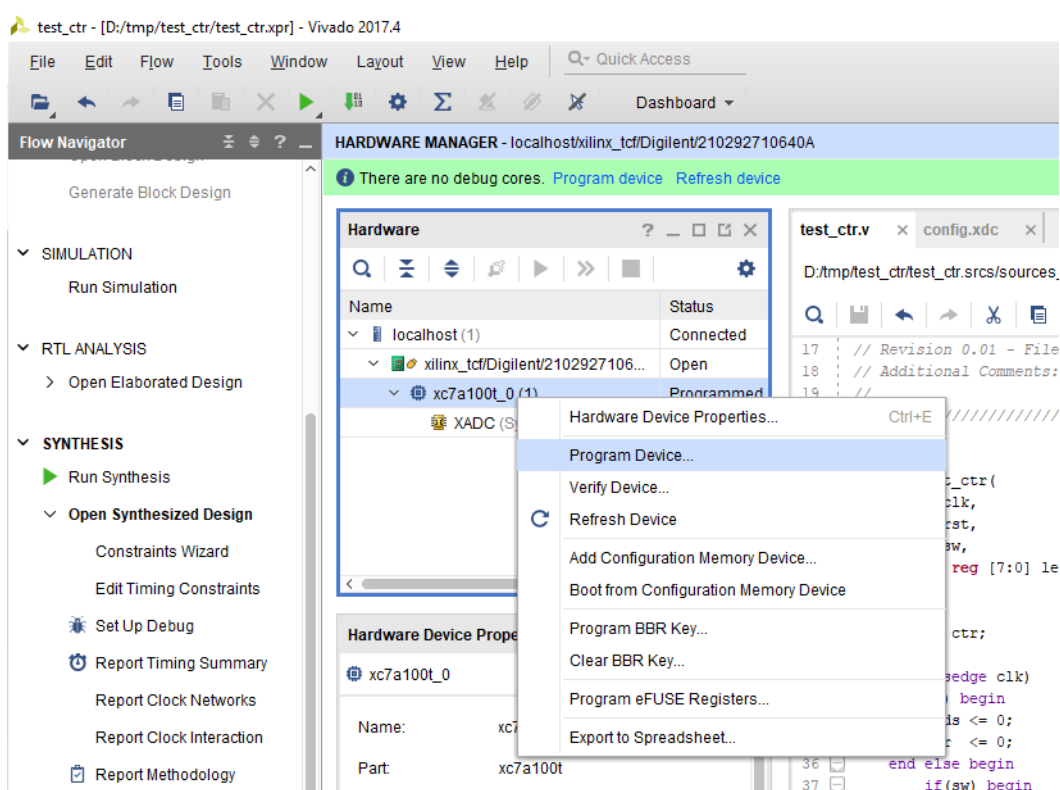


Рисунок 3.18: Меню программирования ПЛИС

примере, то путь к файлу прописывается автоматически. Для программирования нажимаем «Program» (рисунок 3.19).

После успешного завершения процесса программирования можно увидеть на плате результат работы спроектированной схемы.

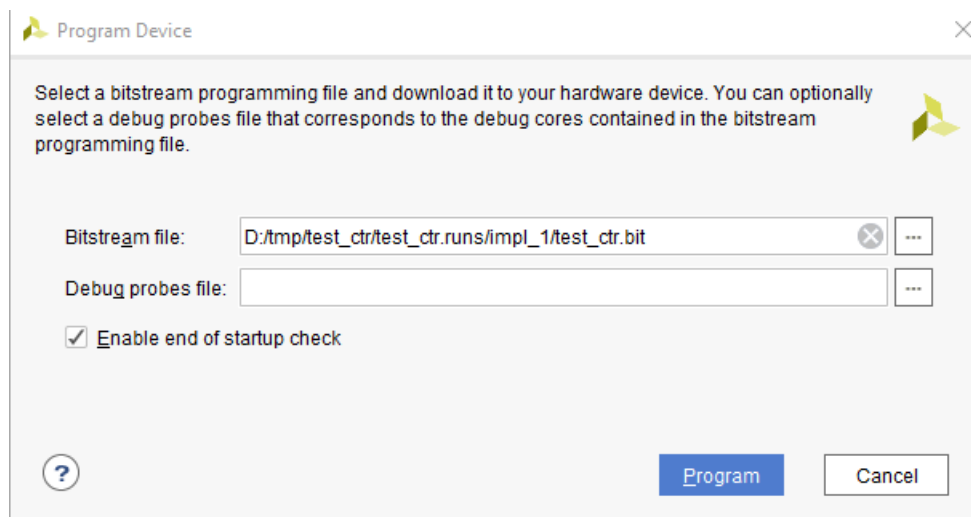


Рисунок 3.19: Окно выбора файла прошивки