

# Final Exam: UART

Môn học: Kiểm chứng và kiểm tra vi mạch

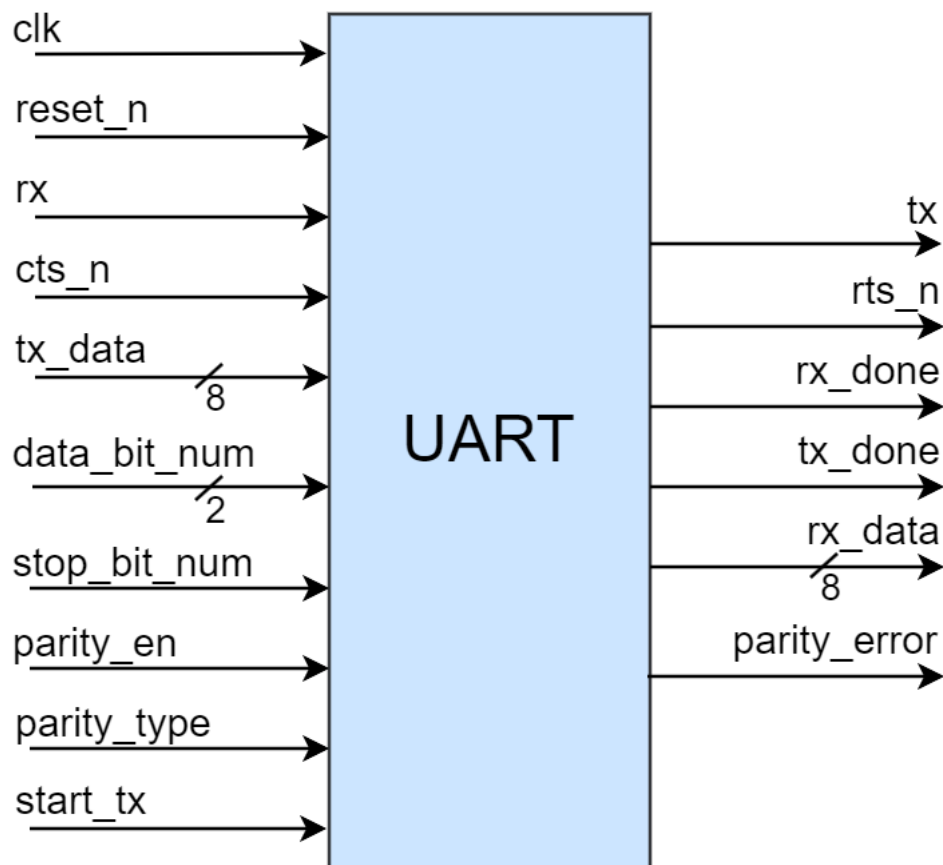
Giảng viên: PSG.TS Nguyễn Đức Minh

Trợ giảng: Trần Tùng Dương - Trương Đại Dương

Học kỳ: 2024.1

## I. Top module

### 1. Sơ đồ khối top module



Hình 1: Sơ đồ khối mô tả top module UART

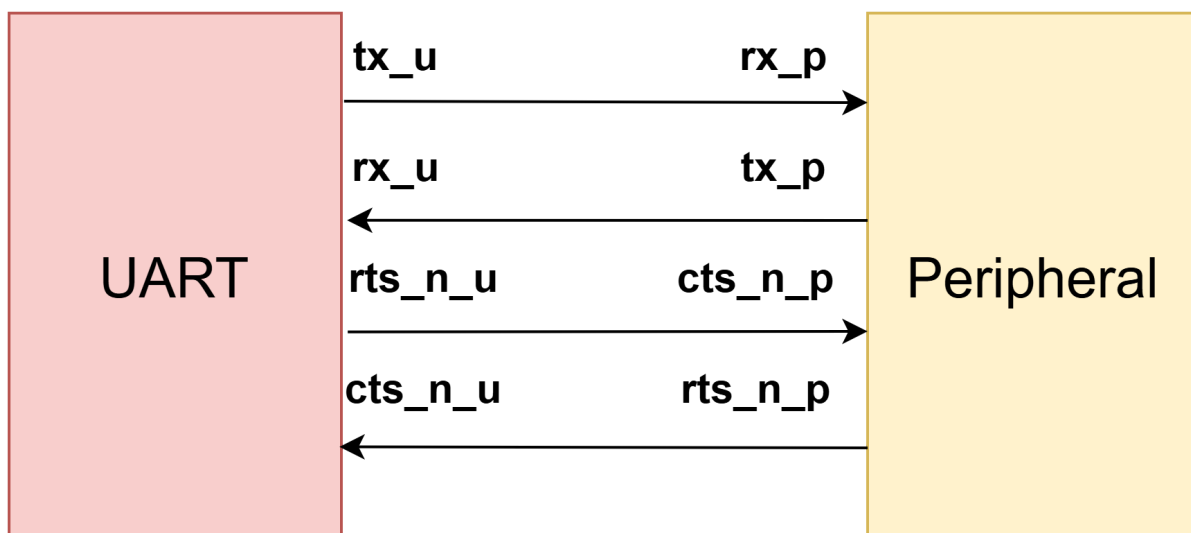
UART (Universal Asynchronous Receiver-Transmitter – Bộ truyền nhận dữ liệu không đồng bộ) là một giao thức truyền thông phần cứng dùng giao tiếp nối tiếp không đồng bộ và có thể cấu hình được tốc độ

Giao thức UART là một giao thức đơn giản và phổ biến, bao gồm hai đường truyền dữ liệu độc lập là TX (truyền) và RX (nhận). Dữ liệu được truyền và nhận qua các đường truyền này dưới dạng các khung dữ liệu (data frame) có cấu trúc chuẩn, với một bit bắt đầu (start bit), một số bit dữ liệu (data bits), một bit kiểm tra chẵn lẻ (parity bit) và một hoặc nhiều bit dừng (stop bit).

Thông thường, tốc độ truyền của UART được đặt ở một số chuẩn, chẳng hạn như 9600, 19200, 38400, 57600, 115200 baud và các tốc độ khác. Tốc độ truyền này định nghĩa số lượng bit được truyền qua mỗi giây. Các tốc độ truyền khác nhau thường được sử dụng tùy thuộc vào ứng dụng và hệ thống sử dụng.

Khung UART lập trình được, bao gồm:

- Số lượng bit dữ liệu: 5 đến 8
- Số lượng bit lẻ: 0 hoặc 1
- Loại bit lẻ (nếu có): lẻ hoặc chẵn
- Số lượng bit dừng: 1 hoặc 2

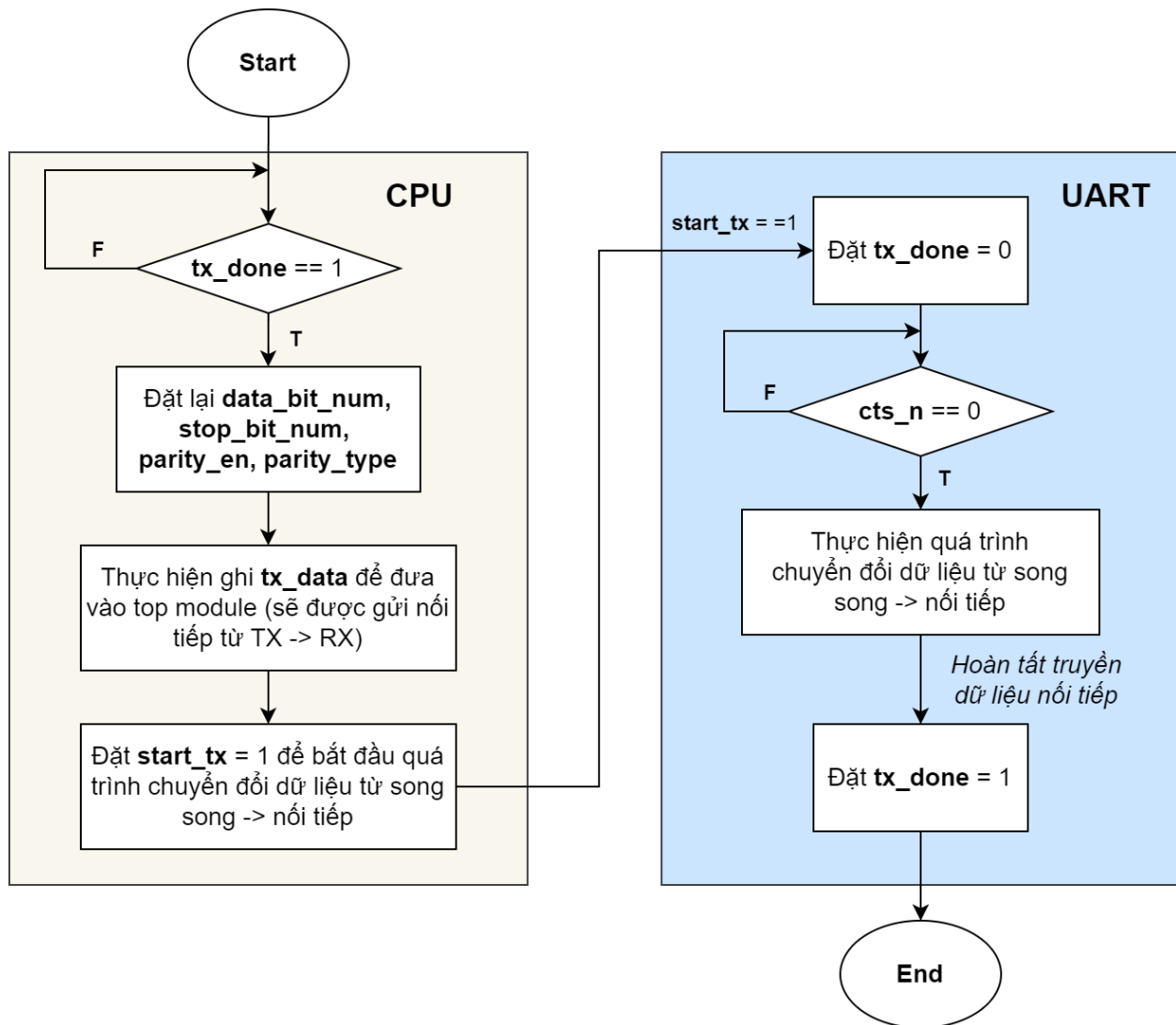


## 2. Bảng mô tả các tín hiệu vào - ra

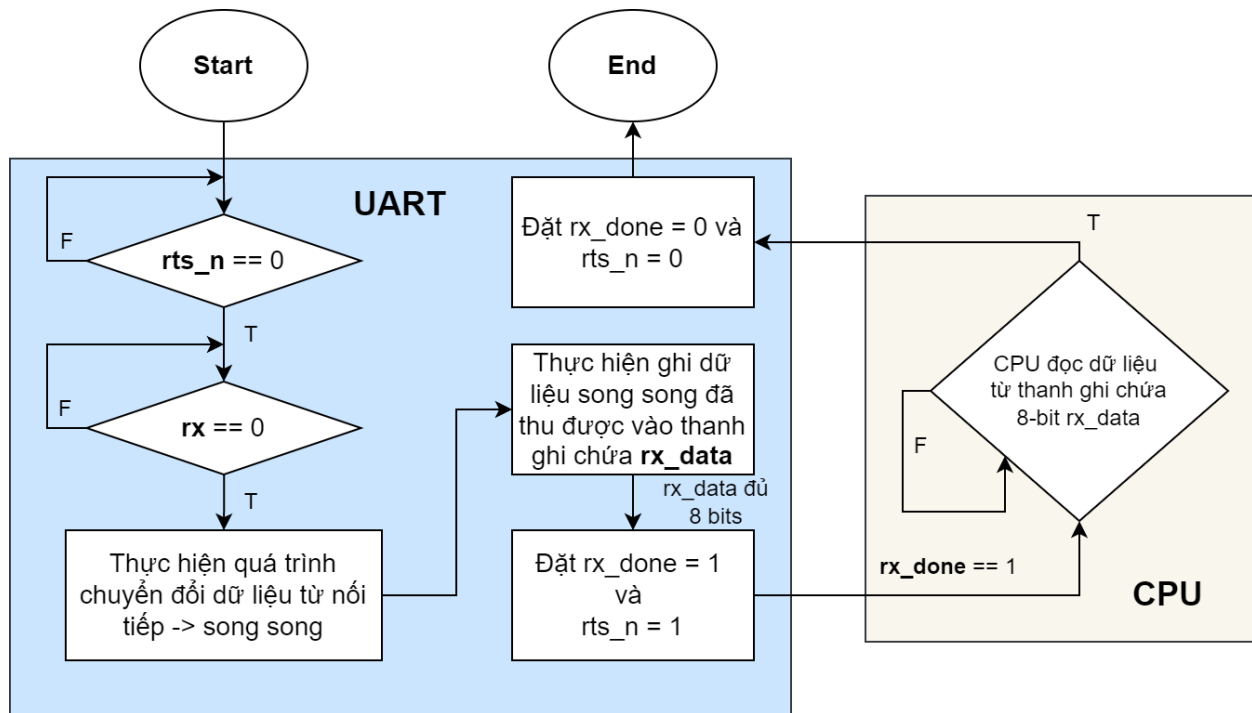
Signal name	Width	I/O	Description
clk	1	Input	System clock signal
reset_n	1	Input	System asynchronous reset, active LOW
rx	1	Input	Serial data receive
cts_n	1	Input	Clear-to-send handshaking signal
tx_data	8	Input	Parallel data from the host which is converted to serial data sent to peripheral device
data_bit_num	2	Input	The number of data bits 2'b00: 5 bits 2'b01: 6 bits 2'b10: 7 bits 2'b11: 8 bits
stop_bit_num	1	Input	The number of stop bits 1'b0: 1 bits 1'b1: 2 bits
parity_en	1	Input	Parity enable 1'b1: enable 1'b0: disable
parity_type	1	Input	Parity type select 1'b1: even 1'b0: odd
start_tx	1	Input	Set to start converting parallel data received from the host to serial data sent to peripheral device
tx	1	Output	Serial data transmit
rts_n	1	Output	Request-to-send handshaking signal
rx_done	1	Output	Set to indicate that previous serial-to-parallel conversion on data received on peripheral device is completed
tx_done	1	Output	Set to indicate that previous parallel-to-serial conversion on

Signal name	Width	I/O	Description
			data received from the host is completed
rx_data	8	Output	Parallel data archived after serial-to-parallel conversion on data received on peripheral device
parity_error	1	Output	A parity error occurs when the parity of the received character does not match the calculated parity

### 3. Lưu đồ thuật toán mô tả hoạt động của hệ thống sử dụng UART



Hình 3: Lưu đồ thuật toán mô tả quá trình chuyển đổi dữ liệu từ song song → nối tiếp



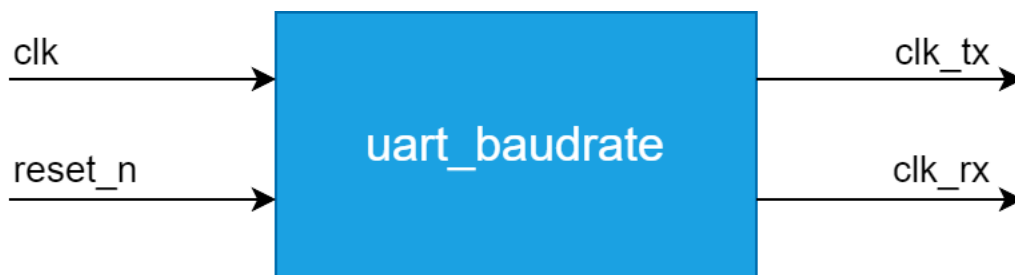
Hình 4: Lưu đồ thuật toán mô tả quá trình chuyển đổi dữ liệu từ nối tiếp → song song

## II. Sub-modules

### 1. UART Baudrate

- Khối Uart Baudrate có tác dụng cấu hình xung đồng hồ cho hai khối Uart Tx và Uart Rx dựa trên hai thông số: Baudrate và Tần số

#### Sơ đồ khối Uart Baudrate



Hình 5: Sơ đồ khối của module Uart Baudrate

#### Bảng cấu hình tham số cho module Uart Baudrate

Parameter	Value	Description
BAUDRATE	`CFG_BAUDRATE Default: 115200	Baud rate value
CLK_FREQ	Default: 50000000	Device clock frequency

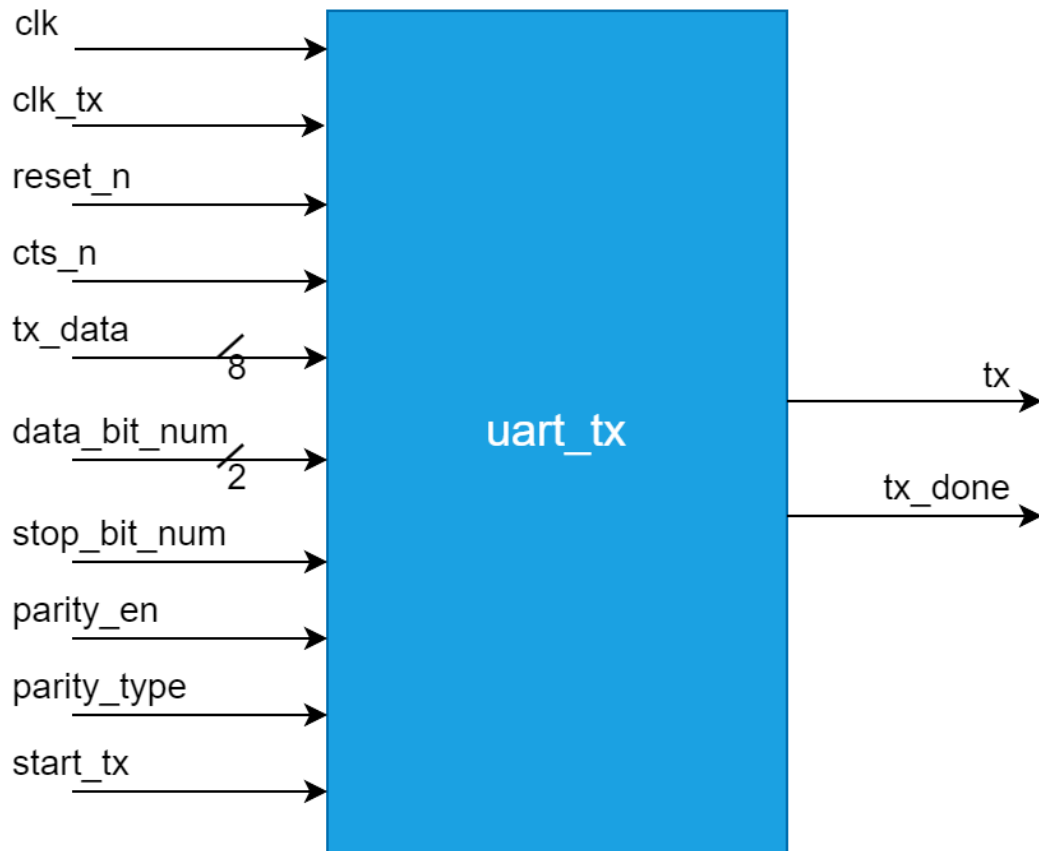
## Bảng mô tả tín hiệu vào - ra

Signal name	Width	I/O	Description
clk	1	Input	System clock signal
reset_n	1	Input	System asynchronous reset, active LOW
clk_tx	1	Output	A baud cycle for transmitter
clk_rx	1	Output	A baud cycle for receiver

## 2. UART TX

- Đóng vai trò là khối truyền tín hiệu nối tiếp tới khối Receiver (Rx)

### Sơ đồ khối Uart Tx



Hình 6: Sơ đồ khối UART TX

## Bảng mô tả tín hiệu vào - ra

Signal	Width	I/O	Description
clk	1	Input	System clock signal
clk_tx	1	Input	A baud cycle for transmitter
reset_n	1	Input	System asynchronous reset, active LOW
cts_n	1	Input	Clear-to-send handshaking signal
tx_data	8	Input	Parallel data from the host which is converted to serial data sent to peripheral device
data_bit_num	2	Input	Number of data bits
stop_bit_num	1	Input	Number of stop bits
parity_en	1	Input	Parity enable

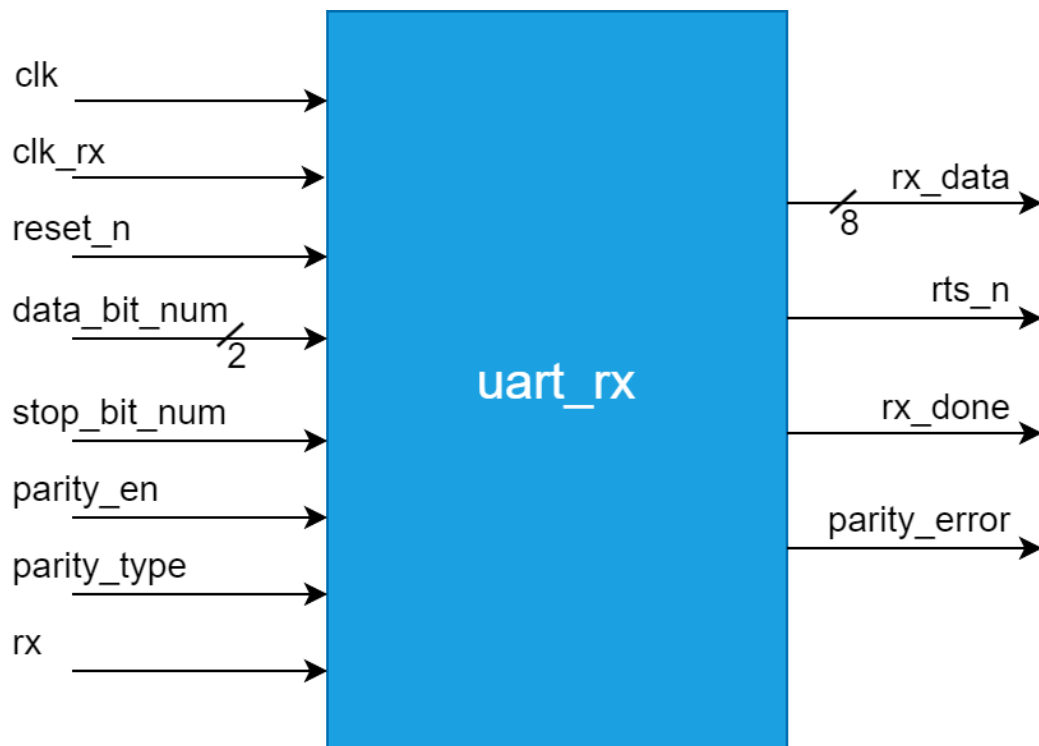


Signal	Width	I/O	Description
parity_type	1	Input	Parity select
start_tx	1	Input	Start converting parallel data received from the host to serial data sent to peripheral device
tx	1	Output	Serial data transmit
tx_done	1	Output	Previous parallel-to-serial conversion on data received from the host is completed

### 3. UART RX

- Đóng vai trò là khối nhận tín hiệu nối tiếp từ Tx, sau khi hoàn tất quá trình nhận chuỗi tín hiệu nối tiếp, Rx sẽ trả kết quả là 8-bit dữ liệu song song.

#### Sơ đồ khối



#### Bảng mô tả tín hiệu vào - ra

Signal	Width	I/O	Description
clk	1	Input	System clock signal
clk_rx	1	Input	A baud cycle for receiver
reset_n	1	Input	System asynchronous reset, active LOW
data_bit_num	2	Input	Number of data bits
stop_bit_num	1	Input	Number of stop bits
parity_en	1	Input	Parity enable
parity_type	1	Input	Parity select
rx	1	Input	Serial data receive
rx_data	8	Output	Parallel data archived after serial-to-parallel conversion on data received on peripheral device
rts_n	1	Output	Request-to-send handshaking signal
rx_done	1	Output	Previous serial-to-parallel conversion on data received on peripheral device is completed
parity_error	1	Output	The received character does not match the calculated parity