## 01076113 Digital System Fundamentals in Practice 2567/1

ภาควิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

**การทดลองที่ 2** การลดรูปสมการบูลีน (Boolean Simplification) วงจร Combinational Logic

## <u>วัตถุประสงค์</u>

- 1. เพื่อให้นักศึกษาสามารถลดรูปสมการบูลีนโดยใช้ Boolean Algebra และ K-Map ได้
- 2. เพื่อให้นักศึกษาสามารถออกแบบวงจรสำหรับใช้งานบน FPGA เบื้องต้นได้
- 3. เพื่อให้นักศึกษาเข้าใจขั้นตอนการออกแบบวงจร Combinational logic

## <u>การทดลอง</u>

1. $f(a, b, c, d) = \sum m(2,3)$	3,4,7,10,11,13,15) +	$\sum d(0,5,8,14)$
จากสมการบูลีนให้นักศึกษา		

1.1 เขียน Truth Table ของสมการ

1.2 แสดงการลดรูปด้วยวิธีพีชคณิตบูลีน (Boolean Algebra) โดยแสดงวิธีการลดรูปบรรทัดละ 1 ขั้นตอน		

1.3 แสดงการลดรูปโดยใช้ K-Map

1.4 วาด Logic Diagram ของวงจรภายหลังการลดรูปพร้อมระบุขา IC และเบอร์ IC ที่ใช้ทุกตัวทุกเกต

2. เหนาวงจรจาก Logic Diagram เนขอ 1.4 วาดลงบนเบรแกรม Xilinx และอพเหลดแบบ PROM ลงบน FPGA พร้อมอธิบายการทำงาน โดยกำหนดให้ใช้อินพุต SWO - SW3 และเอาท์พุต LO

## ใบตรวจการทดลองที่ 3

วัน/เดือน/ปี	🗌 กลุ่ม 116 🔲 กลุ่ม 117 🔲 กลุ่ม 153
รหัสนักศึกษา	ชื่อ-นามสกุล
การตรวจการทดลอง	
การทดลองข้อ 2 ลายเซ็นผู้ควบคุมการทดลอ	۹

หมายเหตุ ไม่รับ ใบตรวจการทดลองที่มีร่องรอยการแก้ไข ขูด ลบ ขีดฆ่า เปลี่ยนแปลงทุกชนิด