

การทดลองที่ 7 วงจรจับเวลาโดยใช้วิธี Schematic บนบอร์ด FPGA

วัตถุประสงค์

1. เพื่อให้นักศึกษาฝึกใช้งานโปรแกรมช่วยการออกแบบวงจรดิจิทัลให้เก่งขึ้น
2. เพื่อให้นักศึกษาฝึกการใช้งาน FPGA ให้คล่องตัว
3. เพื่อให้นักศึกษาฝึกการออกแบบวงจรดิจิทัลอย่างเป็นระบบ

การทดลอง

1. ให้นักศึกษานำเอกสารใบตรวจการทดลองให้ผู้ควบคุมการทดลองเซ็นรับรองเอกสารก่อนเริ่มทำการทดลองภายใน 30 นาทีแรกของตารางชั่วโมงปฏิบัติของอาทิตย์ที่ทำการทดลองนี้
2. ให้นักศึกษาสร้างนาฬิกาจับเวลาโดยมีข้อกำหนดดังนี้
 - 1.1 ให้มีปุ่มกดเพื่อให้เวลาเริ่มเดินเมื่อเริ่มจับเวลา และกดอีกครั้ง(ปุ่มเดิม) เพื่อหยุดเวลาชั่วคราว (กดอีกครั้งเพื่อนับต่อ สลับกันไปเรื่อยๆ)
 - 1.2 ให้มีปุ่มกดเพื่อลบเวลาให้เป็น 00:00 ขณะที่เวลาหยุดเดิน(ขณะกำลังจับเวลาไม่สามารถกดลบเวลาได้)
 - 1.3 แสดงผลเวลาการนับเป็นหน่วยนาที่และวินาทีบนตัวเลขแสดงผลเจ็ดส่วนจำนวนอย่างละ 2 หลัก (นาที่ 00 – 99, วินาที 00 - 59)
 - 1.4 ให้มีจุดสองจุดตรงกลางระหว่างนาที่และวินาทีกระพริบทุกวินาที(ติดครึ่งวินาที ดับครึ่งวินาที) เหมือนนาฬิกาโดยทั่วไป
3. ให้ออกแบบวงจรโดยกระบวนการ Top-down design โดยละเอียดและถูกต้องสมบูรณ์แล้วส่งให้อาจารย์ผู้ควบคุมการทดลองตรวจ
4. เมื่อผ่านขั้นตอนที่ 3 แล้ว จึงทำวงจรนาฬิกาในคอมพิวเตอร์เพื่อ Download ลง FPGA ในส่วนที่เป็น PROM(ปิดเครื่อง เปิดใหม่ วงจรยังอยู่และทำงานได้)

หมายเหตุ กรุณาอ่านหมายเหตุท้ายใบตรวจการทดลองให้ละเอียด

ใบตรวจการทดลองที่ 7

วัน/เดือน/ปี _____ ☐ กลุ่ม 116 ☐ กลุ่ม 117 ☐ กลุ่ม 153

รหัสนักศึกษา _____ ชื่อ-นามสกุล _____

การตรวจการทดลอง

ชื่ออาจารย์ประจำวิชา _____

การทดลองข้อ 1 ลายเซ็นผู้ควบคุมการทดลอง _____ วัน/เดือน/ปี _____ เวลา _____

☐ ไม่หักส่งซ้ำ ☐ หักส่งซ้ำ 50%

การทดลองข้อ 3 ลายเซ็นอาจารย์ _____ (Top-down)

การทดลองข้อ 4 ลายเซ็นผู้ควบคุมการทดลอง _____ (Perfect circuit)

☐ หักเพิ่ม 10%

☐ หักเพิ่ม 20%

☐ หักเพิ่ม 30%

☐ หักเพิ่ม 40%

☐ หักเพิ่ม 50%

☐ หักเพิ่ม 60%

☐ หักเพิ่ม 70%

☐ หักเพิ่ม 80%

☐ หักเพิ่ม 90%

หมายเหตุ

ไม่รับ ใบตรวจการทดลองที่มีร่องรอยการแก้ไข ขูด ลบ ชีดฆ่า เปลี่ยนแปลงทุกชนิด

หากไม่ทำตามข้อกำหนดในการทดลองข้อที่ 1 หัก 50%

หากส่งวงจรตามข้อ 4 ให้ตรวจแล้วผิดพลาด หักเพิ่มครั้งละ 10%

การทดลองนี้จำกัดการหักคะแนนไม่เกิน 90%