

Федеральное агентство по образованию
Государственное образовательное учреждение
высшего профессионального образования
Владимирский государственный университет

А.Д. ПОЗДНЯКОВ

КРЕЙТОВЫЕ СИСТЕМЫ РХІ ДЛЯ КОНТРОЛЯ, ИСПЫТАНИЙ И МОНИТОРИНГА РАДИОАППАРАТУРЫ

Учебное пособие

Владимир 2010

УДК 621.396: 681.518.3

ББК 32.811.3

П47

Рецензенты:

Доктор технических наук, профессор
зав. кафедрой радиотехники и радиосистем
Владимирского государственного университета
О.Р. Никитин

Зав. кафедрой теоретической физики
Владимирского государственного гуманитарного университета
доктор физико-математических наук, профессор
В.Г. Рау

Печатается по решению редакционного совета
Владимирского государственного университета

Поздняков, А. Д.

П47 Крейтовые системы PXI для контроля, испытаний и мониторинга радиоаппаратуры : учеб. пособие / А.Д. Поздняков ; Владим. гос. ун-т. – Владимир : Изд-во Владим. гос. ун-та, 2010. – 118 с. – ISBN 978-5-9984-0064-3.

Приводятся теоретические и практические сведения по построению крейтовых систем PXI. Представлена информация по базовым шинам PCI и CompactPCI, рассмотрены структуры и характеристики спецификаций PXI и PXI Express, особенности конфигурирования и программирования систем контроля, испытаний и мониторинга.

Предназначено для подготовки студентов в области проектирования испытательных систем различного назначения: универсальных и специализированных, технологических и эксплуатационных. Рекомендуется для студентов всех форм обучения направления «Радиотехника».

Табл. 50. Ил. 39. Библиогр.: 7 назв.

УДК 621.396: 681.518.3

ББК 32.811.3

ISBN 978-5-9984-0064-3

© Владимирский государственный
университет, 2010

ОГЛАВЛЕНИЕ

МЕЖДУНАРОДНЫЕ СОКРАЩЕНИЯ.....	6
ВВЕДЕНИЕ.....	7
Глава 1. ПЛАТФОРМА PXI.....	10
1.1. Основные сведения.....	10
1.2. Совместимость оборудования PXI.....	10
1.3. Основные дополнения шины PXI	13
1.4. Основные возможности PXI.....	14
1.5. Сравнение аппаратных платформ PCI и PXI.....	17
Глава 2. БАЗОВЫЕ ШИНЫ PCI И COMPACTPCI.....	18
2.1. Особенности PCI.....	18
2.2. Сигналы шины PCI	19
2.3. Обмен данными по шине PCI.....	22
2.4. Циклы шины PCI.....	25
2.5. Архитектура PCI.....	28
2.6. Автоконфигурирование устройств PCI	29
2.7. Шина CompactPCI	29
Глава 3. ТРЕБОВАНИЯ СПЕЦИФИКАЦИИ PXI.....	32
3.1. Конструктивные требования.....	32
3.2. Требования информационного взаимодействия.....	37
3.3. Программные требования.....	40
Глава 4. СИГНАЛЫ И ПРОТОКОЛЫ PXI.....	41
4.1. Сигналы PXI.....	41
4.2. Протоколы PXI.....	43
4.3. Система радиального запуска по линиям PXI_STAR.....	45
4.4. Модули и соединители PXI.....	45

Глава 5. ПРОЕКТИРОВАНИЕ СИСТЕМ PXI	50
5.1. Аппаратная база	50
5.2. Программная среда	54
5.3. Конфигурирование системы	56
5.4. Автоматизированный комплекс для тестирования средств радиосвязи	60
Глава 6. ШИНА PCI EXPRESS – ОСНОВА PXI EXPRESS	64
6.1. Базовые сведения о PCI Express	64
6.2. Элементы и архитектура соединений PCI Express	65
6.3. Уровневая модель PCI Express	67
6.4. Программная совместимость, качество обслуживания и виртуальные каналы	68
6.5. Сигнализация прерываний и управление энергопотреблением	69
6.6. «Горячее» подключение	70
6.7. Надежность передачи и целостность данных	71
6.8. Передача пакетов и пропускная способность	71
6.9. Физический уровень, конструктивы и сигналы PCIe	73
Глава 7. ПЛАТФОРМА PXI EXPRESS	75
7.1. Базовые сведения о PXI Express	75
7.2. Локальная шина PXIe	78
7.3. Шина синхронизации PXIe	79
Глава 8. КОНФИГУРИРОВАНИЕ И ПРОГРАММИРОВАНИЕ СИСТЕМ PXIE	83
8.1. Настройка PXI Express в MAX	83
8.2. Использование настроечных и системных файлов	84
8.3. Пример конфигурирования однокрейтовой системы	90
Глава 9. КОНСТРУКЦИЯ КРЕЙТА PXIE	93
9.1. Основные характеристики крейта	93
9.2. Описание крейта	94
9.3. Установка системного контроллера PXI Express	96
9.4. Установка модулей расширения	98
9.5. Удаленный контроль питания	98

9.6. Технические параметры шасси NI PXIe-1062Q.....	99
ПРИЛОЖЕНИЕ.....	106
ЗАКЛЮЧЕНИЕ.....	115
БИБЛИОГРАФИЧЕСКИЕ ССЫЛКИ НА ЭЛЕКТРОННЫЕ ИСТОЧНИКИ ИНФОРМАЦИИ (РЕСУРСЫ).....	117

МЕЖДУНАРОДНЫЕ СОКРАЩЕНИЯ

ANSI	American National Standards Institute – национальный институт стандартизации США
ASCII	American Standard Code for Information Interchange – американский стандартный код обмена информацией
ATE	Automated Test Equipment – автоматическое испытательное оборудование
CompactPCI	Модификация стандарта PCI для промышленных приложений
DAQ	Data Acquisition – сбор данных
DIO	Digital Input/Output – цифровой ввод/вывод
EMC	Electromagnetic compatibility – электромагнитная совместимость (ЭМС)
GPIB	General Purpose Interface Bus – стандартная шина для соединения приборов и персонального компьютера
IEC	International Electrotechnical Commission – международная электротехническая комиссия
IEEE	Institute of Electrical and Electronics Engineers – институт инженеров по электротехнике и электронике
ISO	International Standards Organization – Международная Организация Стандартов
LabVIEW	Laboratory Virtual Instrument Engineering Workbench – лабораторный пакет для проектирования виртуальных приборов
NI	National Instruments
PCI	Peripheral Component Interconnect bus – шина соединения периферийных компонентов
PICMG	PCI Industrial Computer Manufactures Group – группа производителей промышленных компьютеров на шине PCI
PXI	PCI eXtensions for Instrumentation – расширение PCI для производства

ВВЕДЕНИЕ

Современное массовое и серийное производство радиоаппаратуры характеризуется непрерывным обновлением выпускаемой продукции. В секторе бытовой электроники и систем связи средний интервал стабильности технологического процесса производства за последние годы сократился с 18 до 6 месяцев. В условиях жесткой конкуренции производитель вынужден модернизировать и осваивать выпуск новых видов изделий, непрерывно улучшая их качество. При таких темпах обновления для снижения затрат приходится искать пути сокращения расходов на контроль и испытания, поскольку доля этих расходов может достигать 50 % от общих затрат.

Снижение стоимости испытаний, а также уменьшение времени разработки специализированных систем контроля, испытаний и мониторинга (СКИМ) – это ключевые задачи, от решения которых зависят производственные затраты, время внедрения продукции на рынок сбыта и в конечном итоге прибыль. Производителю сегодня нужны такие СКИМ, которые могут гибко изменять свои возможности в соответствии с совершенствованием выпускаемой продукции, т.е. они должны быть адаптивными, перепрограммируемыми, наращиваемыми и при этом недорогими. Этим требованиям полностью отвечают крейтовые системы РХІ.

Компьютерные технологии автоматизации испытаний основаны на использовании унифицированных программно-аппаратных средств и стандартных интерфейсов. В настоящее время в эксплуатации находятся тысячи измерительных приборов и систем, управляемых ПК, аппаратное и программное обеспечение для которых поставляют сотни фирм.

У специалиста в конкретной прикладной области могут возникнуть трудности во взаимодействии с автоматизированной системой,

поскольку он не обладает достаточной квалификацией в сфере вычислительной техники и программирования. Важно предоставить такому пользователю максимальные удобства для работы, когда управление системой и представление результатов экспериментов осуществляется в привычных для него формах. Эти задачи также легко решать в рамках гибкого программного обеспечения систем PXI.

Основой современного этапа развития СКИМ является алгоритмизация измерений, совершенствование элементной базы, использование модульных архитектур, в основе которых лежат международные стандарты.

Крейтовые модульные системы строятся на основе серийных модулей, вставляемых в общий корпус – крейт. Широко используемыми в крейтовых системах являются шины VXI и PXI, которые сегодня опередили по всем основным характеристикам устаревшую шину CAMAC. Открытость архитектуры, малые габаритные размеры, высокая производительность оборудования, взаимозаменяемость и совместимость модулей разных производителей характеризует крейтовые системы с шинами PXI и VXI. Вариант компоновки крейтовой системы с внешним ПК приведен на рис. 1, а с встроенным компьютером – на рис. 2.

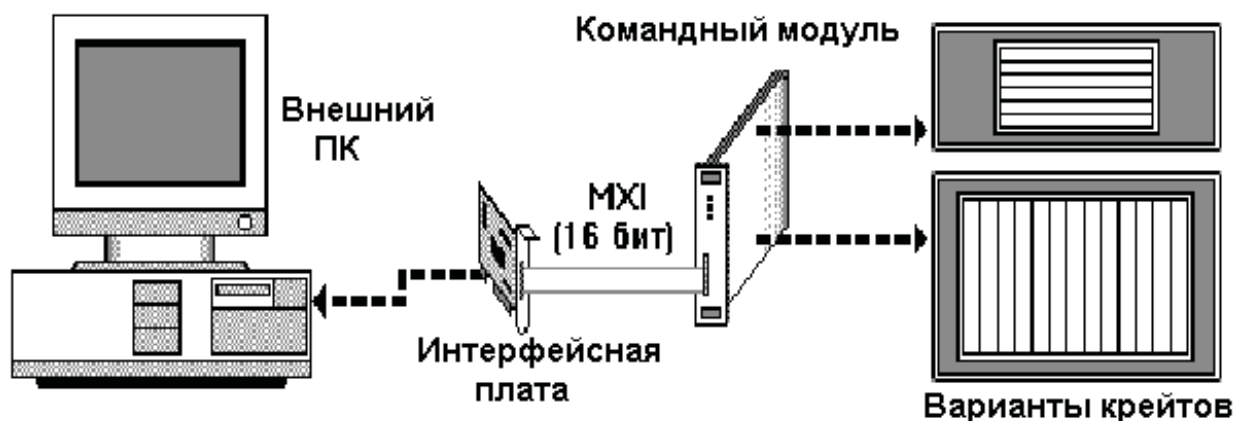


Рис. 1

Крейтовые системы практически лишены избыточности, они имеют малые габаритные размеры, высокую производительность и надежность, однако на сегодняшний день стоимость таких систем неоправданно велика.

На кафедре радиотехники и радиосистем (РТ и РС) ВлГУ в 2008 г. создана учебно-научная лаборатория, в которой размещены современные крейтовые системы PXI различного назначения.

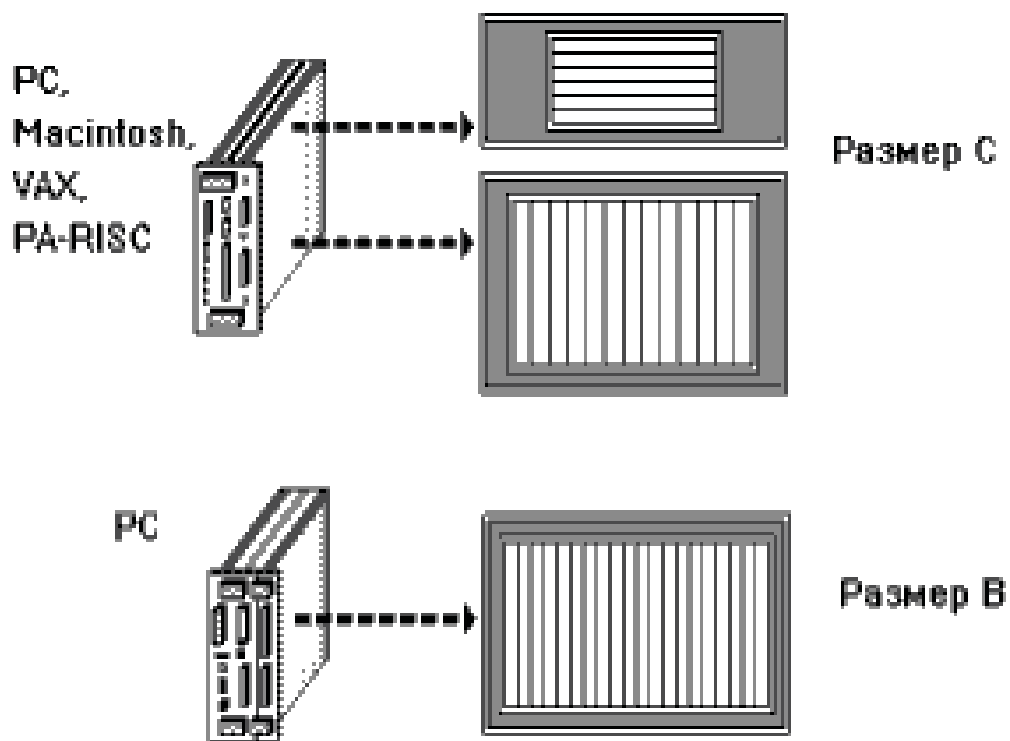


Рис. 2

Автор надеется, что материал данного учебного пособия поможет студентам и сотрудникам факультета радиофизики, электроники и медицинской техники (ФРЭМТ) глубже понять особенности построения, работы, программирования и применения крейтовых систем PXI.

Глава 1. ПЛАТФОРМА PXI

1.1. Основные сведения

Спецификация PXI (PCI eXtensions for Instrumentation – расширение PCI для инструментальных систем) разработана фирмой National Instruments и представлена в 1997 г. как открытая промышленная платформа для построения крейтовых систем управления и измерений. В основе модульной аппаратуры PXI лежит архитектура CompactPCI и операционная система Microsoft Windows. Системы PXI предоставляют пользователю широкий выбор инструментальных средств и прикладного программного обеспечения.

В шине PXI часть контактов, определенных в CompactPCI как свободно используемые, предназначены для дополнительных шин. Спецификация PXI позволяет создавать крейты с семью периферийными слотами вместо четырех, доступных для шины PCI. Системы с большим количеством слотов расширения могут быть сформированы путем использования сегментов с мостами PCI-PCI. Например, PXI система с 13 слотами может быть сформирована с использованием одного моста PCI-PCI.

Изделия PXI поддерживают полную совместимость с CompactPCI, обеспечивая целостность и облегченную интеграцию системы, а также и большее количество слотов, чем в настольных компьютерах.

PXI представляет собой надежную платформу с встроенными возможностями синхронизации и тактирования отдельных устройств, специально разработанными для решения задач тестирования и измерений. Спецификация PXI поддерживается более чем шестидесятью производителями оборудования, которыми разработано свыше 1000 различных модулей. Высокая производительность, малый размер и низкая цена систем сделали PXI одной из наиболее быстро развивающихся платформ в технологии тестирования и измерений.

1.2. Совместимость оборудования PXI

В основу PXI положена архитектура CompactPCI, которая разработана группой производителей промышленных компьютеров, базирующихся на шине PCI (PCI Industrial Computer Manufactures Group – PICMG). Спецификация PXI детализирует и расширяет (рис. 1.1) некоторые

конструктивные (механические), электрические (энергетические) и программные (информационные) параметры, оставленные стандартом CompactPCI на усмотрение разработчика. Расширения необходимы для задач прикладных программ и обеспечивают конфигурирование, локальные взаимодействия модулей, открывают новые возможности синхронизации.

Шина PXI, поддерживая характеристики PCI, реализует программную совместимость с персональными компьютерами промышленного стандарта, что позволяет использовать уже созданные программные и инструментальные средства. Опираясь на технологию CompactPCI, поддерживающую работу с модульными приборами, PXI представляет собой платформу, адаптированную для использования в высокоскоростных приложениях измерений и автоматизации. При этом обеспечивается полная совместимость и эффективное взаимодействие модулей PXI с модулями CompactPCI. Таким образом, пользователь может выбирать модули PXI и CompactPCI многочисленных производителей.

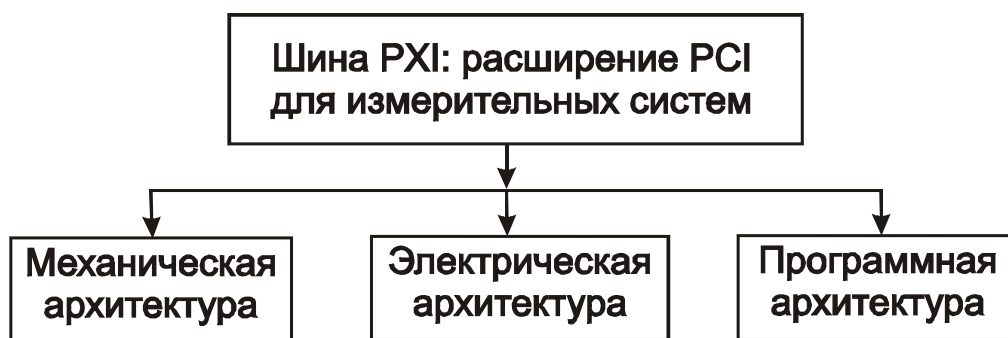


Рис. 1.1

Совместимость с CompactPCI-системами означает, что PXI-устройства будут нормально функционировать в системах, выполненных по спецификации CompactPCI и, наоборот, CompactPCI-периферия будет работать в PXI-системах. Однако в полном объеме преимущества новой спецификации можно использовать, лишь применяя PXI-устройства в PXI-системах.

Чтобы интегрировать устройства различных производителей, PXI подобно другим архитектурам шин устанавливает жесткие требования на механический и электрический интерфейсы. Но в отличие от других спецификаций PXI накладывает требования и на программное обеспе-

чение (рис. 1.2), что должно еще больше облегчить сборку и наладку таких систем, а также экономит время, необходимое для системной интеграции.

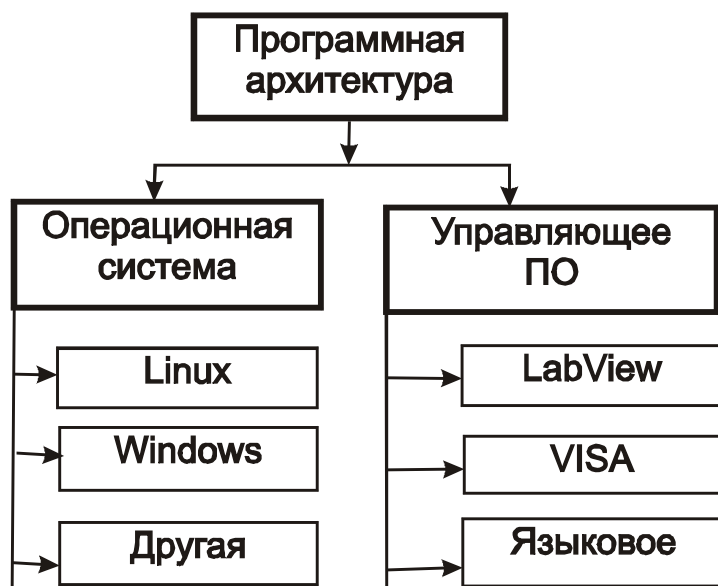


Рис. 1.2

ОС считается Windows, и модули должны поставляться с соответствующими драйверами. Кроме того, ПО для модулей должно соответствовать рекомендациям VXIplug&play Systems Alliance (VPP и VISA).

Пользователь имеет доступ к различным уровням программного обеспечения, от операционных систем с устройствами низкого уровня до высокоуровневых инструментальных систем для обеспечения графики.

PXI опирается на программную архитектуру виртуальных приборов VISA, которая может применяться для конфигурирования инструментальных средств, отладки, управления системой и связи с внешними устройствами: USB, VXI и GPIB периферийными модулями. Для создания инструментальных средств тестирования, измерений и сбора данных используется графическое программирование LabVIEW, LabWindows/CVI, ComponentWorks, Visual Basic, BridgeVIEW и Lookout HMI/SCADA.

В результате достигается высокая степень интеграции и программной унификации PXI, CompactPCI, PCI, VXI, GPIB, и других измерительных архитектур.

1.3. Основные дополнения шины PXI

В разделе механических (конструктивных) требований PXI определяет (рис. 1.3):

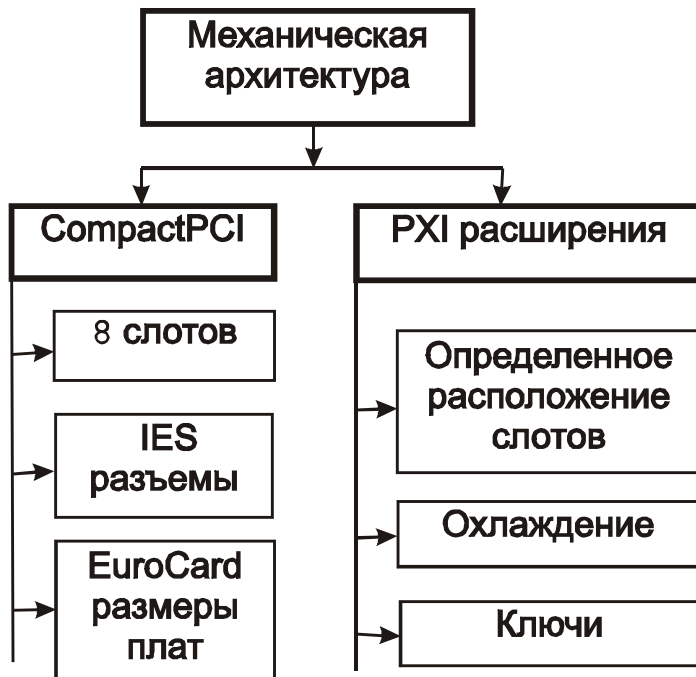


Рис. 1.3

- позицию системного слота на интерфейсной панели (backplane);

- позицию модуля системы радиального запуска (star trigger);

- требования аппаратного тестирования температуры периферийных устройств и их активное охлаждение.

Слот 1 зарезервирован для системного контроллера, и его функции определены стандартом CompactPCI.



Рис. 1.4

Основные отличия стандартов PXI и CompactPCI лежат в области электрической и информационной совместимости (рис. 1.4).

Возможности обмена данными и синхронизации, предоставляемые шинами PCI и CompactPCI, недостаточны для ряда задач контроля и измерений, поэтому спецификация PXI расширяет группы сигналов.

Спецификация PXI добавляет следующие группы сигналов:

1. Локальная шина из 13 линий введена для непосредственного взаимодействия смежных устройств. По ней могут передаваться высоко-

частотные аналоговые (до 48 В) или цифровые сигналы между периферийными соседними модулями. Локальные шины объединяют смежные слоты попарно (исключая слот системного контроллера), образуя цепочку.

2. Шина радиального запуска предназначена для передачи синхросигналов. Для этого задействованы неиспользуемые линии локальной шины от слота 2 радиального запуска. Задающий генератор по выделенным линиям подает на остальные модули высокоточный опорный сигнал. Если такой модуль не используется в системе, то его место в слоте 2 может занять другой периферийный модуль. Шина запуска обеспечивает подключение к ней различных модулей по топологии «звезда» с учетом длины пути сигналов переключения с целью уменьшения задержки и сдвига моментов запуска различных приборов.

3. Для синхронизации операций между несколькими различными модулями в систему добавлена триггерная шина (trigger bus) из 8 линий. По ней сигналы могут передаваться от одного модуля к другому, обеспечивая гарантированный отклик системы на контролируемое асинхронное внешнее событие. Триггерная шина управляет передачей высокоскоростных сигналов тактирования и синхронизации между всеми устройствами и модулями.

4. Для прецизионной синхронизации имеется сигнал опорной тактовой частоты 10 МГц PXI_CLK, который с одинаковыми задержками распространения разводится по слотам.

1.4. Основные возможности PXI

Использование высокоскоростной шины PCI обеспечивает среднюю скорость передачи данных 132 Мб/с и максимальную – 528 Мб/с.

Гибкость и надежность обусловлена:

1. Расширением возможностей платформы CompactPCI для использования в условиях, требующих повышенной надежности и производительности.

2. Применением модульной архитектуры, обеспечивающей простоту сборки, модификации и замены модулей.

3. Взаимозаменяемостью типовых модулей разных производителей.

4. Программируемой системой взаимодействия модулей и расширяемых сегментов шины.

5. Унификацией габаритных размеров и разъемов.

Особенности PXI шасси:

- рабочий диапазон температур от 0 до 55 °С;
- многофункциональная задняя панель;
- надежный и прочный корпус в конструктивном исполнении для настольных, стоечных и мобильных систем.

Повышение надежности обусловлено в том числе выполнением условий спецификации PXI, относящихся к электромагнитной совместимости (ЕМС).

Выгоды модульной архитектуры Eurocard доказывались десятилетиями. Модульность упрощает конфигурирование, реконфигурирование и ремонт PXI системы, а также позволяет пользователям улучшать и заменять отдельные модули вместо того, чтобы заменять целую систему.

Модульная открытая архитектура PXI позволяет интегрировать различные универсальные приборы и компьютер в единый блок (крейт). Большое число производителей обеспечивают широкий выбор изделий PXI и CompactPCI для автоматизации производства, контроля и испытаний продукции. PXI поддерживает стандартное прикладное программное обеспечение.

Модули приборов PXI – это измерительные приборы, а также многофункциональные модули сбора данных и интерфейсов.

Номенклатура контрольно-измерительных модулей PXI:

- генераторы/анализаторы сигналов радиочастотного диапазона;
- генераторы сигналов произвольной формы;
- цифровые мультиметры;
- высокоскоростные осциллографы;
- генераторы/анализаторы цифровых сигналов;
- источники питания;
- переключатели, мультиплексоры, коммутаторы;
- системы сбора сигналов;
- системы машинного зрения;
- другие модули.

Управление внешними приборами осуществляется через стандартные интерфейсы: GPIB, MXI, IEEE 1284, RS-232, USB и др.

Интерфейс PXI-GPIB управляет любым GPIB-прибором, а интерфейс MXI позволяет управлять любой VXI или VME системой. Можно использовать эти интерфейсы, чтобы объединиться с готовыми GPIB, VXI и VME системами.

Модули сбора данных – это многофункциональные изделия ввода-вывода, которые реализуют:

- аналоговый ввод-вывод до 96 каналов на модуль (672 канала в одном шасси);
- цифровой ввод-вывод до 64 каналов на модуль (448 каналов в одном шасси);
- счетчик/таймер;
- генерацию и управление параметрами сигналов;
- получение и обработку изображений;
- и др.

Возможности счетчика/таймера позволяют измерять длительность импульсов и частоту, а также выполнять анализ переходных процессов. Цифровые модули ввода-вывода обеспечивают связь с внешними цифровыми схемами или управляют реле. Точные измерения предполагают преобразование сигналов перед подачей их непосредственно к модулю сбора данных. Это модули, реализующие усиление, мультиплексирование, фильтрацию, ослабление, преобразование частоты и т.д.

Если нужен быстродействующий прибор для анализа переходных процессов, генерирования формы сигналов, измерения частоты или регистрации данных, то можно выбрать его из набора многофункциональных модулей Е-серии. С этими модулями можно проводить измерения с термopарами, терморезисторами или другими датчиками. Имеется быстродействующий цифровой интерфейс ввода-вывода с 32 каналами для генерирования и передачи данных.

Характеристики систем РХІ:

- шасси с 8 слотами (1 слот контроллера системы, 7 периферийных слотов);
- возможность расширения системы;
- высокоскоростная архитектура РСІ;
- системный контроллер с интерфейсами для монитора, мыши и клавиатуры;
- стандартные дополнительные внешние интерфейсы;
- управление внешними приборами и модулями;
- системные часы 10 МГц;
- 8-разрядная триггерная шина;
- шина радиального запуска;
- сетевая, настольная и портативная конфигурация;
- Plug and Play технология;

- высокоскоростной сбор данных;
- развитое программное обеспечение в среде LabVIEW, LabWindows/CVI и др.

1.5. Сравнение аппаратных платформ PCI и PXI

Для многих приложений с малым числом слотов (до четырех) подходят решения на базе шины PCI в силу своей доступной цены и хорошего качества работы. При этом в стандартный корпус ПК вставляется ограниченное число модулей расширения. Это вариант архитектуры виртуальных приборов.

По мере увеличения числа необходимых для компоновки слотов требуется использование платформы CompactPCI или PXI. Несколько PXI-шасси (с числом ячеек в каждом до 16) могут быть организованы в единую систему с использованием специализированных средств синхронизации.

Важными факторами, определяющими выбор платформы, являются условия работы и перспективы развития системы. Платформа PXI обеспечивает лучшее взаимодействие модулей, их более надежную работу и охлаждение, чем в компьютерах. Сравнительная балльная оценка приведена в таблице.

Номер	ПАРАМЕТР	Балл	
		Система PXI	Система PCI
1	Возможность расширения системы	5	4
2	Модульность конструкции для облегчения модернизации системы	5	4
3	Надежность и прочность конструкции для технологических приложений	5	4
4	Поддержка специализированного системного таймера с частотой 10 МГц	5	3
5	Линии запуска модулей	5	3
6	Линии запуска с топологией “звезда”	5	3
7	Локальные шины запуска для взаимодействия соседних модулей	5	3
8	Наличие удобной программной среды разработчика и библиотек программ	5	4
9	Расходы на обслуживание системы	5	4
10	Число одновременно подключаемых модулей ввода/вывода	5	4
11	Номенклатура готовых модулей (общее число выпускаемых модулей)	4 (больше 1000)	5 (больше 10000)

Поскольку продукция для шин PCI, CompactPCI и PXI разрабатывается с использованием одинаковых драйверов, то эти изделия и программное обеспечение полностью совместимы. Поэтому можно на начальном этапе использовать оборудование на базе шины PCI, а затем, если изменится число каналов, или потребуется улучшить синхронизацию, можно перейти на PXI без необходимости изменения программного кода.

Глава 2. БАЗОВЫЕ ШИНЫ PCI И CompactPCI

2.1. Особенности PCI

PCI (Peripheral Component Interconnect) bus – шина соединения периферийных компонентов. Эта шина занимает особое место в современной архитектуре PC, являясь мостом между системной шиной процессора и шиной ввода/вывода ISA/EISA или MCA. В основе стандарта лежит мультиплексирование, при котором через одни и те же контакты (линии) передаются разнотипные сигналы.

Шина является синхронной – фиксация всех сигналов выполняется по положительному перепаду (фронту) сигнала CLK.

На PCI определены два основных вида устройств, которые участвуют в каждой транзакции (обмене по шине):

- иницилирующее устройство (ИУ, INITIATOR или Master) – затчик, получивший от арбитра шины разрешение на ее захват;
- целевое устройство (ЦУ, TARGET или Slave) – устройство назначения, с которым инициатор выполняет цикл обмена данными.

Процессор через мосты (PCI Bridge) может быть подключен к нескольким каналам, обеспечивая возможность одновременной передачи данных между независимыми сегментами.

При частоте шины 33 МГц скорость теоретически достигает 132/264 Мбайт/с для 32/64 бит; при частоте синхронизации 66 МГц – в два раза выше.

Шина PCI не привязана к архитектуре PC, она является независимой от процессора и применяется также в компьютерах Macintosh.

Автоконфигурирование устройств (выбор запросов прерывания, каналов DMA) поддерживается средствами BIOS материнской платы в соответствии с требованиями Plug&Play.

В состав шины PCI введены сигналы для тестирования адаптеров. На системной плате эти сигналы задействованы не всегда, но они могут и организовывать логическую цепочку тестируемых адаптеров.

Поддерживается функция «горячей» замены PCI устройств, называемой в стандарте PCI Hot-Plug, которая позволяет добавлять/изымать PCI платы без выключения компьютера. Такая возможность особенно необходима для серверных платформ.

Специальная система позволяет управлять энергопотреблением как для внешних PCI плат, так и для встроенных на материнской плате устройств.

Важной особенностью шины PCI является возможность обмена данными между процессором и памятью одновременно с обменом между другими устройствами PCI – Concurrent PCI Transferring. Эта возможность реализуется не всеми чипсетами (в описаниях она всегда специально подчеркивается), а обычными устройствами (видеокарты и контроллеры дисков) используется редко.

2.2. Сигналы шины PCI

На рис. 2.1 приведена функциональная схема контактов разъема PCI для комбинации ведущего и целевого устройств. Направления передачи данных показаны стрелками.

Для большинства линий активным уровнем сигнала является логический ноль; обозначение [XX:0] означает группу сигналов с номерами от 0 до XX.

Обозначения и назначение сигналов

AD[31:0] (Address/Data) – мультиплексируемая шина адреса/данных. Адрес передается по сигналу FRAME; в последующих тактах передаются данные;

C/BE[3:0] (Command/Byte Enable) – команда/разрешение обращения к байтам. Команда, определяющая тип очередного цикла шины (чтение – запись памяти, ввода/вывода или чтение/запись конфигурации, подтверждение прерывания и др.) задается четырехбитным кодом в фазе адреса по сигналу – FRAME;

FRAME (кадр) – индикатор фазы адреса. Введением сигнала отмечается начало транзакции, снятие сигнала указывает на то, что *последующий цикл передачи данных является последним в транзакции*;

DEVSEL (Device Select) – устройство назначения выбрано (ответ TARGET на адресованную ему транзакцию);

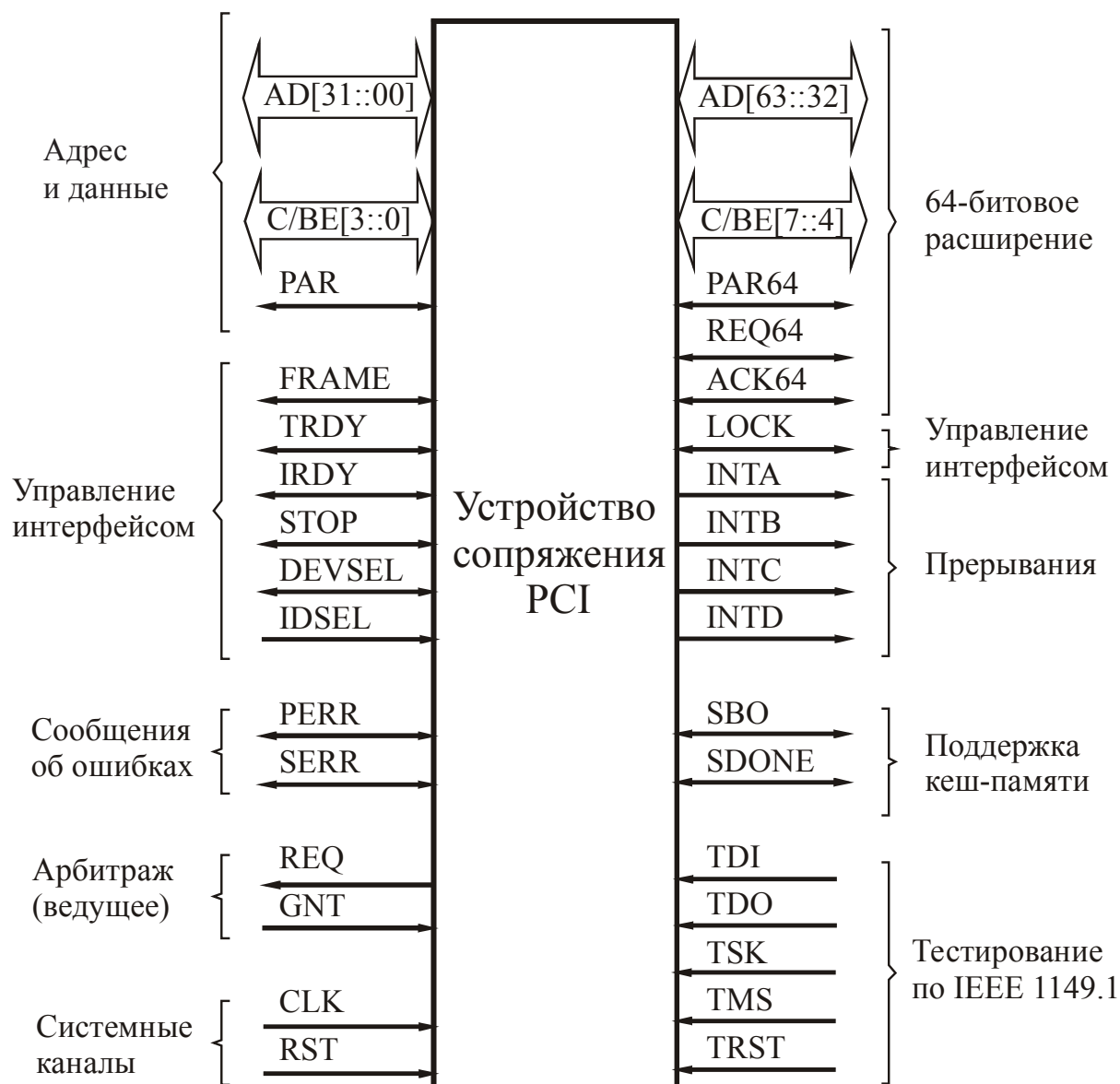


Рис. 2.1

IRDY (Initiator Ready) – готовность INITIATOR к обмену данными;
 TRDY (Target Ready) – готовность TARGET к обмену данными;
 STOP – запрос TARGET к INITIATOR на остановку текущей транзакции;

LOCK – используется для установки, обслуживания и освобождения захвата ресурса PCI;

REQ[3:0] (Request) – запрос INITIATOR на захват шины (для слотов 3:0);

GNT[3:0] (Grant) – предоставление мастеру управления шиной;
PAR (Parity) – бит четности (паритета) для линий AD[31:0] и C/BE[3:0];

PERR (ParityError) – сигнал об ошибке четности (паритета) от устройства, ее обнаружившего;

PRSNT[1,2] (Present) – индикаторы присутствия платы, кодирующие запрос потребляемой мощности;

RST (Reset) – сброс всех регистров (устройств) в начальное состояние;

IDSEL (Initialization Device Select) – выбор устройства назначения в циклах конфигурационного считывания и записи;

SERR (System Error) – системная ошибка. Активизируется любым устройством PCI и вызывает маскируемое прерывание процессора (NMI);

REQ64 (Request 64 bit) – запрос на 64-битный обмен;

ACK64 – подтверждение 64-битного обмена;

INTRA, INTRB, INTRC, INTRD (Interrupt A, B, C, D) – линии запросов прерывания циклически сдвигаются в слотах и направляются на доступные линии IRQ. Запрос по низкому уровню допускает разделяемое использование линий прерывания. В команде подтверждение прерывания контроллер прерываний передает вектор прерывания по шине AD;

CLK (Clock) – сигнал синхронизации на тактовой частоте шины;

M66EN (66MhzEnable) – разрешение частоты синхронизации до 66 МГц;

SDONE (Snoop Done) – сигнал завершения цикла слежения для текущей транзакции. Сигнал, используется только устройствами с кэшируемой памятью;

SBO (Snoop Backoff) – попадание текущего обращения к памяти абонента шины в модифицированную строку кэша. Сигнал используется только абонентами шины с кэшируемой памятью;

TCK (Test Clock) – сигнал для тестирования адаптера синхронизации;

TDI (Test Data Input) – сигнал для тестирования адаптера входных данных;

TDO (Test Data Output) – сигнал для тестирования адаптера выходных данных;

TMS (Test Mode Select) – сигнал для тестирования адаптера выбора режима;

TRST (Test Reset) – сигнал для тестирования адаптера сброса.

2.3. Обмен данными по шине PCI

В PCI все транзакции являются пакетными: каждая начинается фазой адреса, за которой может следовать одна или несколько фаз данных.

Адреса и данные мультиплексируются на одни и те же линии AD, поэтому одиночная передача по шине PCI состоит из двух фаз: фаза адресации сопровождается одной или несколькими фазами данных. Ведущее устройство выдает адрес и сообщает конкретному устройству на шине: «Просыпайся». Выбранное устройство переходит в режим приема данных или инструкций, а затем ведущее устройство посылает пакет данных по тем же контактам, которые использовались для вызова. После этого ведущее устройство может посылать данные без повторения адресации, так как целевое устройство уже выбрано. Передача данных может включать в себя и чтение и запись информации.

На рис. 2.2 приведена временная диаграмма обмена, в которой INITIATOR и TARGET вводят такты ожидания. Если бы они оба ввели сигналы готовности в конце фазы адреса и не снимали их до конца обмена, то в каждом такте после фазы адреса передавались бы по 32 бита данных, что обеспечило бы выход на предельную производительность обмена.

Четыре мультиплексируемые линии C/BE[3:0] используются для кодирования команд в фазе адреса и разрешения байт в фазе данных. В начале транзакции INITIATOR активизирует сигнал FRAME, по шине AD передает целевой адрес, а по линиям C/BE – информация о типе транзакции (команде).

Адресованное ЦУ (TARGET) отзывается сигналом DEVSEL, после чего INITIATOR может указать на свою готовность к обмену данными сигналом IRDY. Когда к обмену данными будет готово и TARGET, оно установит сигнал TRDY. Данные по шине AD могут передаваться толь-

ко при одновременном наличии сигналов IRDY и TRDY. С помощью этих сигналов INITIATOR и TARGET согласуют свои скорости, вводя такты ожидания.

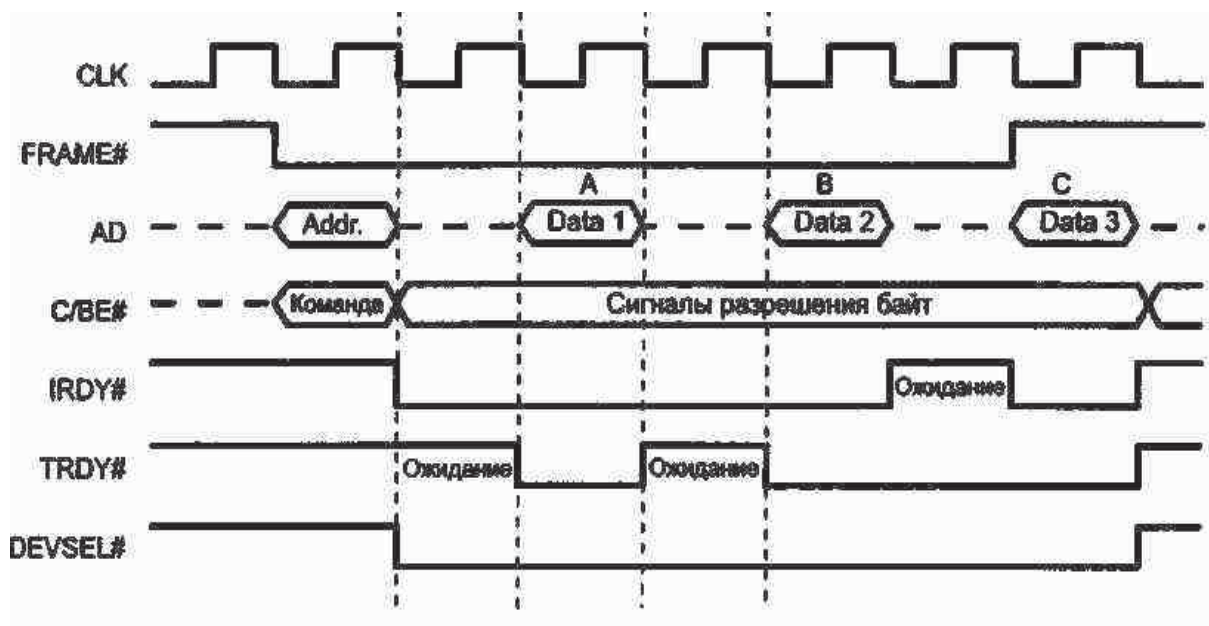


Рис. 2.2

Количество фаз (циклов) данных в пакете заранее не определено, но перед последним циклом INITIATOR при введенном сигнале IRDY снимает сигнал FRAME. По окончании последней фазы данных INITIATOR снимает сигнал IRDY, и шина переходит в состояние покоя (PCI Idle), при этом оба сигнала FRAME и IRDY находятся в пассивном состоянии. Максимальное количество циклов данных в пакете может быть неявно ограничено таймером, определяющим максимальное время, в течение которого INITIATOR может пользоваться шиной.

INITIATOR завершает транзакцию одним из следующих способов:

1. Нормальное завершение выполняется по окончании обмена данными.
2. Завершение по тайм-ауту (Time-out) происходит, когда во время транзакции у INITIATOR отбирают право на управление шиной (снятием сигнала GNT) или когда истекает время, указанное в его таймере (медленное TARGET или слишком длинная транзакция).

3. Транзакция отвергается (Abort), когда в течение заданного времени INITIATOR не получает ответа TARGET (DEVSEL).

Транзакция может быть прекращена и по инициативе TARGET, для этого оно может ввести сигнал STOP. Возможны три типа прекращения:

1. Отключение (Disconnect) – сигнал STOP вводится во время активности TRDY. В этом случае транзакция завершается после фазы данных.

2. Отключение с повтором (Disconnect/Retry) – сигнал STOP вводится при пассивном состоянии TRDY, и последняя фаза данных отсутствует. Является указанием INITIATOR на необходимость повтора транзакции.

3. Отказ (Abort) – сигнал STOP вводится одновременно со снятием DEVSEL (в случаях 1 и 2 во время появления сигнала STOP сигнал DEVSEL был активен). При отказе последняя фаза данных тоже отсутствует, но повтор не запрашивается.

Протокол квитирования обеспечивает надежность обмена – INITIATOR всегда получает информацию об отработке транзакции TARGET. Средством повышения надежности (достоверности) является применение контроля паритета: линии AD[31:0] и C/BE[3:0] и в фазе адреса, и в фазе данных защищены битом паритета PAR (количество единичных бит этих линий, включая PAR, должно быть четным). Действительное значение PAR появляется на шине с задержкой в один такт относительно линий AD и C/BE. При обнаружении ошибки TARGET со сдвигом на такт вырабатывается сигнал PERR.

Арбитражем запросов на использование шины занимается специальный узел системной платы. Каждый INITIATOR имеет пару линий: REQ для запроса на управление шиной и GNT для подтверждения предоставления управления шиной. Схема приоритетов (фиксированный, циклический, комбинированный) определяется арбитром.

Каждое устройство INITIATOR (PCI Master) имеет собственный программируемый таймер MLT (Master Latency Timer), определяющий максимальное количество тактов шины, допустимое для одной транзакции.

Каждое устройство TARGET имеет инкрементный механизм слежения за длительностью циклов (Incremental Latency Mechanism), который не позволяет интервалу между соседними фазами данных в пакете

превышать 8 тактов шины. Если TARGET не успевает работать в таком темпе, оно обязано остановить транзакцию.

Для PCI определяются три физических адресных пространства: памяти, ввода-вывода и конфигурации. Адресация памяти, портов и конфигурационных регистров различна. Байты шины AD, несущие действительную информацию, выбираются сигналами C/BE[3:0] в фазах данных (внутри пакета эти сигналы могут менять состояние). В циклах обращения к памяти адрес передается по линиям AD[31:2], а линии AD[1:0] задают порядок чередования адресов в пакете:

- 00 – линейное инкрементирование;
- 01 – чередование адресов с учетом длины строки кэш-памяти;
- 1х – зарезервировано.

2.4. Циклы шины PCI

По сигналам C/BE (от C/BE3 до C/BE0) во время фазы передачи адреса определяется тип цикла передачи данных в соответствии с табл. 2.1.

Подтверждение прерывания (0000)

Контроллер прерываний автоматически распознает сигнал INTR и реагирует на него передачей вектора прерывания по шине AD.

Специальный цикл (0001)

Специальный цикл декодируется содержимым линий AD[15:0] (табл. 2.2) и используется для указания на отключение (Shutdown), остановку (Halt) процессора или специфические функции процессора, связанные с кэшем и трассировкой. Этим состояниям соответствуют коды 0000, 0001 и 0002; коды 0003-FFFFh зарезервированы.

Таблица 2.1

C/BE	Команда
0000	Interrupt Acknowledge (подтверждение прерывания)
0001	Special Cycle (специальный цикл)
0010	I/O Read (чтение порта)
0011	I/O Write (запись в порт)
0100	Reserved (зарезервировано)
0101	Reserved (зарезервировано)
0110	Memory Read (чтение памяти)
0111	Memory Write (запись в память)

C/BE	Команда
1000	Reserved (зарезервировано)
1001	Reserved (зарезервировано)
1010	Configuration Read (чтение конфигурации)
1011	Configuration Write (запись конфигурации)
1100	Multiple Memory Read (множественное чтение памяти)
1101	Dual Address Cycle (двойной цикл адреса)
1110	Memory-Read Line (чтение строк памяти)
1111	Memory Write and Invalidate (запись в память и проверка)

Таблица 2.2

AD15-AD0	Описание
0x0000	Processor Shutdown (процессор прекращает работу)
0x0001	Processor Halt (останов процессора)
0x0002	x86 Specific Code (код для Intel x86)
0x0003 to 0xFFFF	Reserved (зарезервировано)

Чтение порта (0010) и запись в порт (0011)

В циклах обращения к портам ввода/вывода для адресации байта используются все линии AD[31:0]. Порты PCI могут быть 8-, 16- или 32-битными. Хотя для адресации портов на шине PCI доступны все 32 бита адреса, процессоры x86 могут использовать только младшие 16 бит. Однако и 16-разрядный адрес порта не всегда может быть использован, так как карты на шине ISA, как правило, могут декодировать только 10 разрядов.

Чтение памяти (0110) и запись в память (0111)

В командах чтения и записи памяти шина AD содержит адреса двойных слов, и линии AD0, AD1 не должны декодироваться – на конкретные байты указывают сигналы C/BE[3:0].

По шине AD передается адрес двойным словом (четыре байта). Сигналы AD0 и AD1 декодировать не требуется. Истинность данных определяется сигналами C/BE.

Чтение (1010) и запись (1011) конфигурационных данных

В циклах конфигурационной записи/чтения устройство выбирается индивидуальным сигналом IDSEL, конфигурационные регистры выбираются двойными словами по линиям AD[7:2], при этом AD[1:0]=00.

Сигнал выборки IDSEL воспринимается устройством только в фазе адреса, поэтому обычно в качестве него используют старшие биты адреса с позиционным кодированием адреса устройства. Все операции выполняются для конфигурационного пространства PCI карты. Размер области конфигурации составляет 256 байт, причем читать/записывать в нее можно только в 32 разрядах, т.е. двойными словами.

Конфигурационные данные содержат следующую информацию:

- Unit ID – идентификационный номер устройства;
- Manufacturer ID – идентификатор производителя устройства;
- Status – состояние;
- Command – команда;
- Revision – редакция;
- Class Code – код класса устройства;
- BIST – **B**uilt-**I**n **S**elf **T**est – встроенный тест;
- Регистр адреса;
- Базовый адрес ПЗУ устройства;
- и другие данные.

Множественное чтение памяти (1100)

Множественное чтение памяти используется для транзакций, пересекающих границы строк кэш-памяти. Это расширение обычного цикла чтения памяти. Используется для чтения больших блоков памяти без кэширования.

Двойной цикл адреса (1101)

Двойной цикл адреса необходим в том случае, если требуется передать 64-разрядный адрес в версии PCI с 32-разрядной адресной сеткой. В первом цикле передаются четыре младших байта адреса, затем четыре старших байта. Во втором цикле необходимо также передать команду, определяющую тип устройства, чей адрес выставлен (порт ввода/вывода, память и т.д.). Собственно PCI поддерживает 64 разряда адреса для портов ввода/вывода, но в PC на процессорах архитектуры от Intel такое адресное пространство не поддерживается (не позволяет сам процессор).

Чтение строк памяти (1110)

Цикл применяется, когда в транзакции планируется более двух 32-битных передач (обычно это чтение до конца строки кэша).

Запись с инвалидацией (1111)

Цикл применяется к целым строкам кэша и позволяет оптимизировать циклы обратной записи «грязных» строк кэша.

Выделение специальных циклов множественного чтения, чтения строк и записи с инвалидацией позволяет контроллеру памяти предпринять определенные меры для оптимизации передачи данных.

2.5. Архитектура PCI

Целевое устройство воспринимает команды и реагирует на запросы задатчика, который представляет собой более интеллектуальное устройство и может проводить обработку независимо от шины или других устройств. Инициатор разделяет шину с основным процессором и целевыми устройствами. Кроме того, оно может выступать целевым устройством для других ведущих устройств.

На одной шине PCI может быть не более четырех модулей и, следовательно, слотов. Для расширения шины применяются специальные аппаратные средства – мосты PCI (PCI Bridge).

Одноранговый мост (Peer-to-Peer Bridge) используется для соединения двух сегментов шин PCI. Несколько шин PCI применяются в серверах – это позволяет увеличить число подключаемых устройств.

Каждый мост программируется – ему указываются диапазоны адресов пространств памяти и ввода/вывода, отведенные устройствам его шин. Если адрес TARGET текущей транзакции на одной шине (стороне) моста относится к шине противоположной стороны, мост перенаправляет транзакцию на соответствующую шину и выполняет действия по согласованию протоколов. Таким образом, совокупность мостов PCI выполняет маршрутизацию (routing) обращений по связанным шинам. Считается, что устройство с конкретным адресом может присутствовать только на одной из шин, а на какой именно, «знают» запрограммированные мосты. Решать задачу маршрутизации призван также сигнал DEVSEL.

Стандарт PCI требует 47 контактов для целевого устройства и 49 контактов для ведущего. При этом реализуются все функции передачи данных и адресации, управления интерфейсом, арбитража, а также системные функции. Вместе с тем спецификация предусматривает до 120 соединений для стандартной 32-битовой платы и 184 для 64-битовых плат.

2.6. Автоконфигурирование устройств PCI

Спецификация требует автоматического конфигурирования съемных плат шины PCI. Для этого информация о периферийном устройстве хранится непосредственно на самой плате расширения. Процессор привлекает эту информацию для определения типа устройства, с которым он взаимодействует, поэтому от пользователя не требуется выполнять программу конфигурирования или производить какие-либо переключения.

Автоконфигурирование устройств (выбор адресов и прерываний) поддерживается средствами BIOS и ориентировано на технологию Plug and Play (PnP). Стандарт PCI определяет для каждого слота конфигурационное пространство размером до 256 8-битных регистров, не приписанных ни к пространству памяти, ни к пространству ввода/вывода. Доступ к ним осуществляется по специальным циклам шины Configuration Read и Configuration Write, вырабатываемым контроллером при обращении процессора к регистрам контроллера шины PCI, расположенным в его пространстве ввода/вывода. После аппаратного сброса (или при включении питания) устройства PCI не отвечают на обращения к пространству памяти и ввода/вывода, они доступны только для операций конфигурационного считывания и записи. В этих операциях устройства выбирают по индивидуальным сигналам IDSEL и сообщают о потребностях в ресурсах и возможных диапазонах памяти. По окончании распределения ресурсов, выполняемых контроллером, в устройства записываются параметры конфигурирования. Только после этого к устройствам становится возможным доступ по командам обращения к памяти и портам ввода/вывода.

2.7. Шина CompactPCI

В 1994 г. производители компьютеров объединились в консорциум PCI Industrial Computer Manufacturers Group (PICMG) с целью разработки спецификации промышленных систем и периферийных устройств, базирующихся на интерфейсе PCI. В настоящее время в PICMG входит более 300 компаний, включая IBM, Hewlett-Packard, Texas Microsystems, Dialogic, Force Computers, Industrial Computer Source, Prolog, Hybricon, Ziatech.

В 1995 г. была выпущена спецификация CompactPCI (cPCI), которая

объединила проверенный временем формат Eurocard (платы форматов 3U и 6U), используемый в промышленности разъем НМ IЕС 1076, а также электрический, логический и программные интерфейсы шины РСІ.

С точки зрения электрического, логического и программного интерфейсов CompactPCI полностью совместим со стандартным РСІ и может использовать все микросхемы, разработанные для него. На шине CompactPCI могут размещаться восемь слотов (рис. 2.3) – в два раза больше, чем в обычном ПК на РСІ. В связи с этим появились новые четыре пары сигналов запросов и предоставления управления шиной.



Рис. 2.3

Варианты крейтов разного размера систем CompactPCI показаны на рис. 2.4.

Шина поддерживает 32-битные и 64-битные обмены. При частоте шины 33 МГц максимальная пропускная способность составляет 133 Мбайт/с для 32 бит и 266 Мбайт/с для 64 бит. Возможна работа и на частоте 66 МГц, при этом производительность удваивается.

Шина поддерживает спецификацию РnР – в ней работают все механизмы идентификации и автоконфигурирования, имеющиеся в РСІ. Кроме того, в шине возможно применение географической адресации, когда адрес модуля (на который он отзывается при программном обращении) определяется его положением в каркасе.

Для этого на коннекторе J1 имеются контакты GA0...GA4, коммутацией которых на «землю» для каждого слота может быть задан его

двоичный адрес. Географическая адресация позволяет переставлять однотипные модули, не заботясь о конфигурировании их адресов.

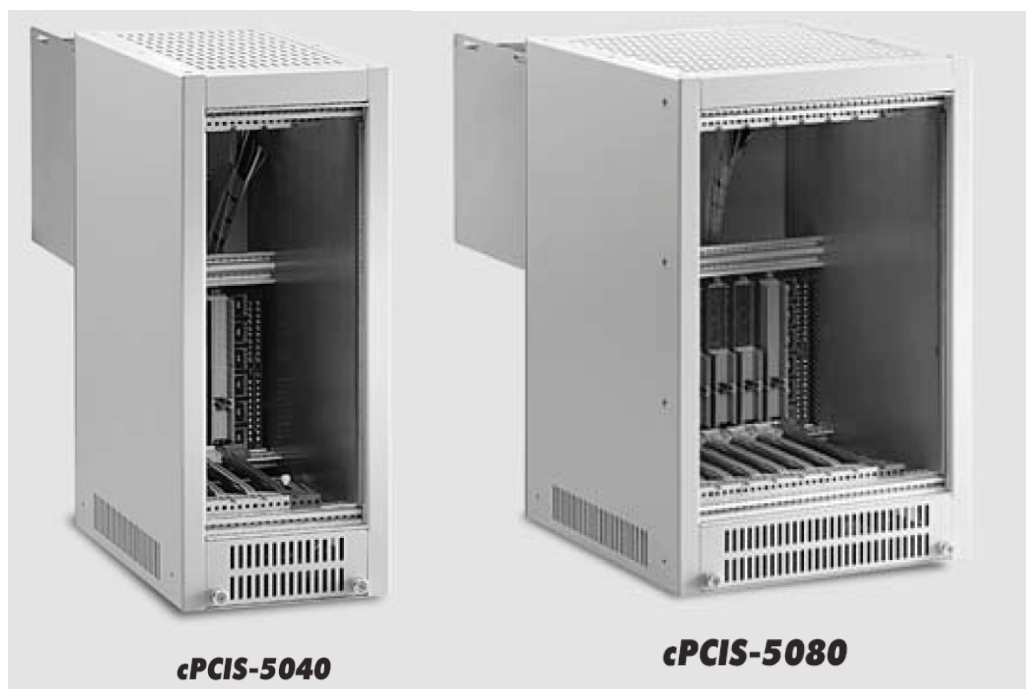


Рис. 2.4

Конструктивно платы Compact PCI представляют собой еврокарты высотой 3U (100×160 мм) с одним коннектором или 6U (233×160 мм) с двумя коннекторами.

Коннекторы – 7-рядные штырьковые разъемы с шагом 2 мм между контактами, на кросс-плате – вилка, на модулях – розетки. Контакты коннекторов имеют разную длину: более длинные контакты цепей питания при установке модуля соединяются раньше, а при вынимании разъединяются позже, чем сигнальные.

Такое решение закладывает основу для реализации возможности «горячей» замены модулей. Собственно шина использует только один коннектор (J1), причем в 32-битном варианте не полностью – часть контактов выделяется на использование по усмотрению пользователя. Для 64-битной шины коннектор используется полностью.

Одно посадочное место на кросс-плате резервируется под контроллер, на который возлагаются функции арбитража и синхронизации. На его коннекторе используется большее число контактов, чем на остальных. У больших плат коннектор J2 используется по усмотрению поль-

зователя (разработчика), а между коннекторами J1 и J2 может устанавливаться 95-контактный коннектор J3. Конструкция коннекторов позволяет для J2 применять специфические модификации, в которых могут, например, присутствовать разделяющий экран и механические ключи. В крейте предусматривается наличие независимых источников питания +5, +3,3 и ± 12 В.

Глава 3. ТРЕБОВАНИЯ СПЕЦИФИКАЦИИ PXI

3.1. Конструктивные требования

На рис. 3.1 показан крейт типичной PXI системы, который помогает проиллюстрировать ее главные конструктивные особенности:

1. *PXI система* или *PXI сегмент* представляет собой конструктивно обособленный *крейт* (корпус) с системой питания и материнской платой.

2. *Крейт* должен иметь один *системный* и несколько *периферийных слотов* для конструктивного объединения контроллера с функциональными модулями PXI.

3. *Материнская плата* содержит *соединители шины PXI* (P1, P2, ...) и служит для информационного взаимодействия модуля системного контроллера с периферийными модулями.

4. *Соединители* со стороны модулей обозначаются как J1, J2 и т.д.

5. Любое число *слотов расширения контроллера* можно использовать слева от системного слота.

6. Максимум семь периферийных модулей можно использовать в одиночном *PXI сегменте шины*.

7. Мост PCI-PCI можно использовать, чтобы добавить сегменты шины PXI для дополнительных слотов расширения.

8. *Система радиального запуска* должна располагаться рядом с модулем контроллера системы. Если система радиального запуска не используется, вместо нее в слот рядом с модулем контроллера может быть установлен периферийный модуль.

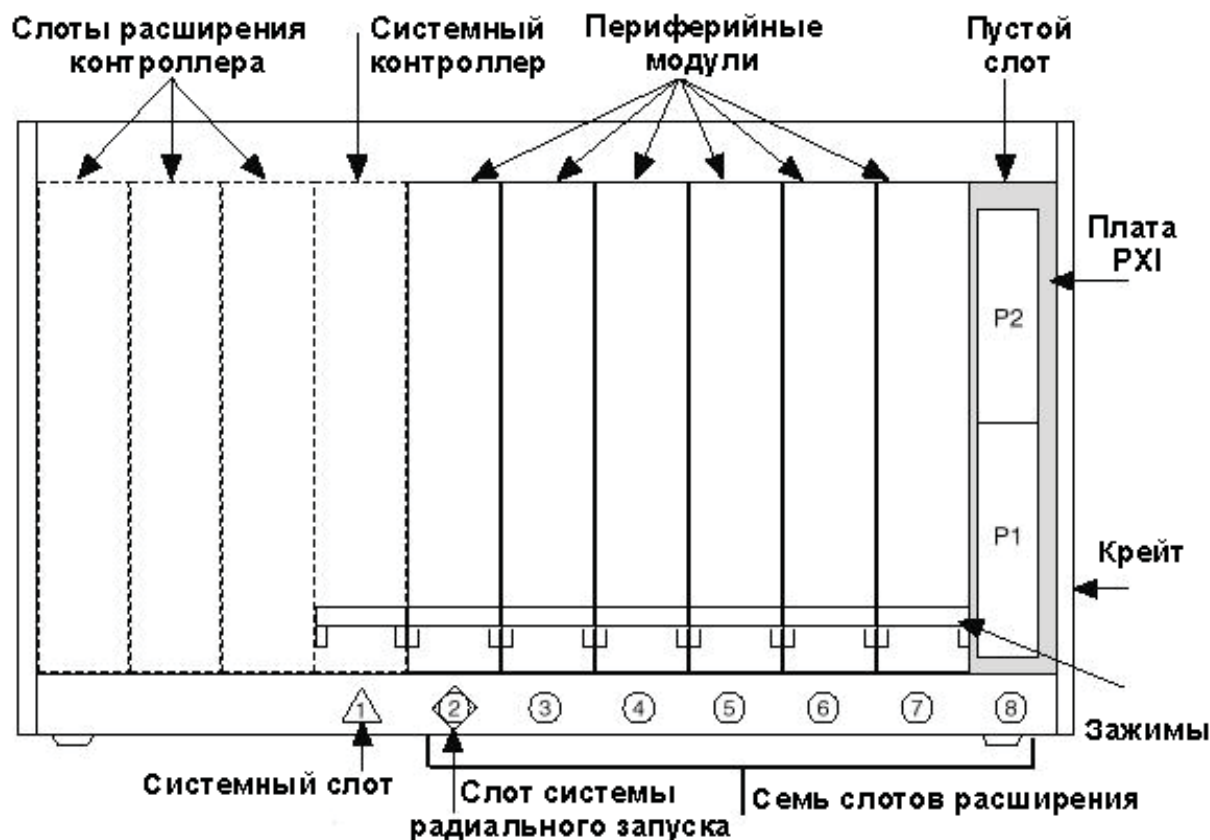


Рис. 3.1

Обозначения слотов на рис. 3.1:

- 1 – слот системного контроллера;
- 2 – система радиального запуска или периферийный слот;
- 3...n – периферийные слоты.

Системный слот должен быть расположен на левом конце шины. Для CompactPCI системный слот может быть размещен в любом месте на материнской плате. Определенное положение системного слота упрощает интеграцию и увеличивает степень совместимости между PXI модулями. Кроме того, PXI спецификация требует, чтобы в случае необходимости модуль контроллера системы расширялся влево, что не допускает расхода ценных периферийных слотов. Спецификация PXI также определяет расположение слота системы радиального запуска, которая может обеспечивать синхронизацию всех периферийных модулей. Сигналы системы радиального запуска может вырабатывать периферийный модуль или специальный модуль системы контроллера.

PXI поддерживает два размера плат (рис. 3.2):

- 1. 3U с размерами 100 × 160 мм имеет два соединителя J1 и J2;

2. 6U с размерами 233,35 × 160 мм может иметь до трех дополнительных соединителей для будущего расширения PXI.

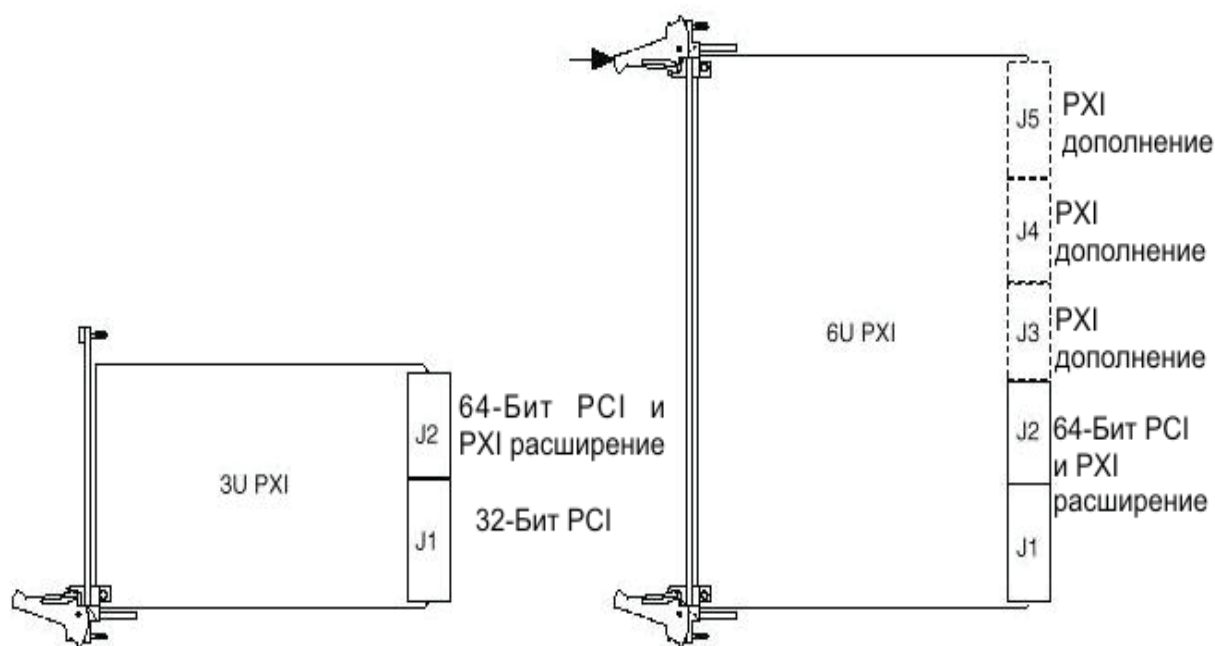


Рис. 3.2

Соединитель J1 содержит линии, требуемые для 32-разрядной PCI локальной шины, J2 содержит линии, требуемые для 64-разрядной шины PCI и дополнительные линии сигналов для выполнения особенностей PXI.

Совместимость стандартов PXI и CompactPCI – очень важный параметр, обеспечивающий совместимость и взаимозаменяемость модулей. Можно использовать базисные функции PXI совместимого модуля в CompactPCI блоке, но при этом будут недоступны функции PXI. Способность к взаимодействию между PXI-совместимыми изделиями, использующими J2 соединитель для PXI сигналов, в блоке CompactPCI также не гарантируется. Аналогичная ситуация при использовании модулей CompactPCI в крейте PXI.

Вместе с тем и CompactPCI и PXI имеют PCI локальную шину, вследствие чего гарантируется программная и электрическая совместимость модулей по базисным функциям, как показано на рис. 3.3.

Все конструктивные требования спецификации CompactPCI применяются в PXI системах, однако, PXI включает дополнительные требования, которые упрощают интеграцию системы. В PXI крейте требуется принудительное охлаждение, и направление потока воздуха строго

определено. Требуются испытания на загрязнение окружающей среды, а номиналы температуры всех PXI элементов должны быть четко определены и зарегистрированы поставщиками.

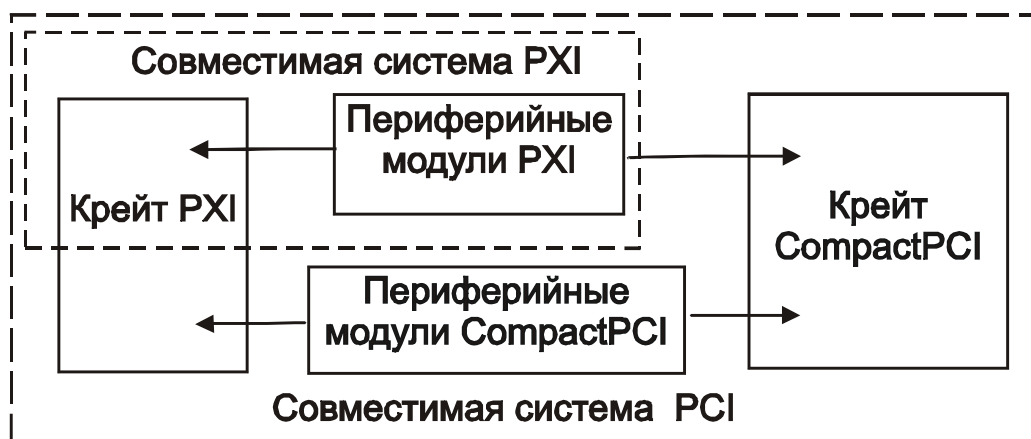


Рис. 3.3

Охлаждение

Сменные модули разрабатываются так, чтобы позволить подходить потоку воздуха от дна до верхней части, как показано на рис. 3.4.

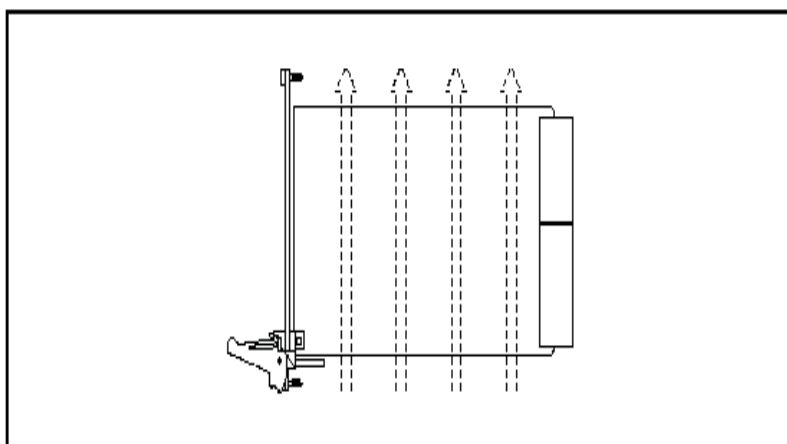


Рис. 3.4

Крейт должен обеспечивать активное воздушное охлаждение, которое направлено от низа до верха каждого из модулей.

Изготовители крейта или сменного модуля обязаны документировать и делать доступной пользователю данные о номинальной потребляемой мощности (активной мощности) и эксплуатационных режимах.

Изготовители крейта должны документировать и делать доступны-

ми данные о максимальной потребляемой и рассеиваемой мощности для рабочих и нерабочих слотов. Кроме того, изготовитель обязан документировать результаты теста, проведенного для определения этих величин потребляемой мощности.

Требования к ЕМС (ЭМС)

Все модули и крейт проходят испытания по ЭМС, которые выполняются изготовителем или зарегистрированной компетентной лабораторией, показывающей соответствие IEC 61326-1:1997 «Электрическое оборудование для измерения, управления и лабораторного использования – ЕМС требования».

Изготовители крейта должны подтвердить ЭМС крейта с работающим контроллером. Данные о скорости процессора достаточны для этого теста. Полная система контроллера включает жесткий диск, дисковод для гибких дисков, последовательный и параллельный порты, клавиатуру, мышь и порты видеосигнала для работы с типичными периферийными устройствами.

3.2. Требования информационного взаимодействия

Многие измерительные прикладные программы требуют обеспечения возможностей синхронизации взаимодействия модулей системы, которые не могут быть непосредственно выполнены на стандартных компьютерных материнских платах типа ISA, PCI или PCMCIA.

PXI использует стандартную PCI шину и добавляет специальные сигналы радиального запуска, синхронизации, системных часов и локальных взаимодействий соседних слотов.

Элементы периферийного межкомпонентного соединения

PXI предлагает то же самое исполнение элементов, определенных рабочим столом PCI спецификации, с одним исключением. PXI система может иметь до восьми слотов на сегмент (один слот системы и семь периферийных слотов), в то время как рабочий стол PCI системы может иметь только пять на сегмент (одна системная плата или слот системы и четыре периферийных слота). В CompactPCI спецификации определена возможность иметь три дополнительных периферийных слота, на которые выводят PXI.

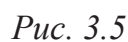
Базовые элементы PCI перешли в PXI:

- тактовая частота 33 MHz;
- 32- и 64-битная передача данных;
- 132 Mbytes/s (32-битный) и 264 Mbytes/s (64-битный) максимальная скорость передачи данных;

- Все элементы материнской платы, кроме мостов PCI-PCI и периферийных слотов, имеют собственные IDSEL линии, соединенные с одной из линий AD[25:31]. Размещенные на материнской плате мосты PCI-PCI должны иметь индивидуальные линии IDSEL, соединенные с линиями AD сверх AD[25:31].

Локальная шина PXI – это шина шлейфового подключения каждого периферийного слота со смежными левым и правым периферийными слотами. При этом правая локальная шина данного периферийного слота соединяется с левой локальной шиной смежного слота и т. д. Каждая локальная шина содержит 13 линий и в дополнение к основным ресурсам PXI может:

- На рис. 3.5 схематично показана полная РХІ система.



37

выполняется перед подключением локальной шины. Для этого используется специальное программное обеспечение (ПО), которое запрещает использование несовместимых модулей, используя данные конфигурирования системы, обязательные для каждого модуля.

Это обеспечивает гибкость определения функциональных возможностей локальной шины, линии которой для крайнего левого периферийного слота материнской платы PXI используются для радиального запуска.

Системные часы (System Reference Clock)

В PXI есть сигнал меток времени (системные часы – PXI_CLK 10 MHz), который подведен ко всем периферийным модулям. Системные часы могут использоваться для синхронизации модулей при измерениях или в системе управления. Спецификация PXI определяет принципы реализации сигнала PXI_CLK10, способы подстройки импульсов для идеально точной синхронизации модулей, используя при этом протоколы триггерной шины.

Триггерная шина (Trigger Bus)

Восьмиразрядная PXI триггерная шина достаточно гибкая и может использоваться множеством способов, а именно, чтобы синхронизировать работу различных PXI периферийных модулей. Шина может быть задействована, когда необходимо, чтобы один из модулей управлял последовательностью действий, выполняемых другими модулями системы. Линии шины могут обеспечивать индивидуальные соединения модулей, позволяя точно устанавливать отклики на асинхронные внешние события, которые контролируются или управляются. По шине может осуществляться специализированный опрос между первым периферийным слотом и другими периферийными слотами. Для обслуживания триггерной шины нужна специальная прикладная программа, которая следит за событиями.

Шина радиального запуска (Star Trigger) предполагает использование сверхскоростных элементов синхронизации для повышения эффективности PXI систем. Контроллер системы радиального запуска может быть установлен в слот, смежный к системному слоту. В системах, не требующих точного сигнала радиального запуска в этот слот, можно устанавливать любой стандартный периферийный модуль. Такая архитектура системы радиального запуска для PXI дает два уникальных преимущества. Первое преимущество – гарантия индивидуально-

го вызова **PXI_STAR** каждого модуля в системе. Это устраняет необходимость объединять многомерные функции модуля по единственной линии системы радиального запуска или искусственно ограничивать время доступа системы радиального запуска. Второе преимущество – низкая расфазировка синхронизирующих импульсов при соединении с однопроводной системой радиального запуска. Линии системы радиального запуска обеспечивают очень точное согласованное время распространения от слота системы радиального запуска к каждому модулю и обеспечивают необходимые связи между всеми модулями.

Расширение системы с технологией моста PCI-PCI (PCI Bridge Technology)

При использовании моста PCI-PCI (рис. 3.6) система PXI может быть сформирована с дополнительным сегментом шины.

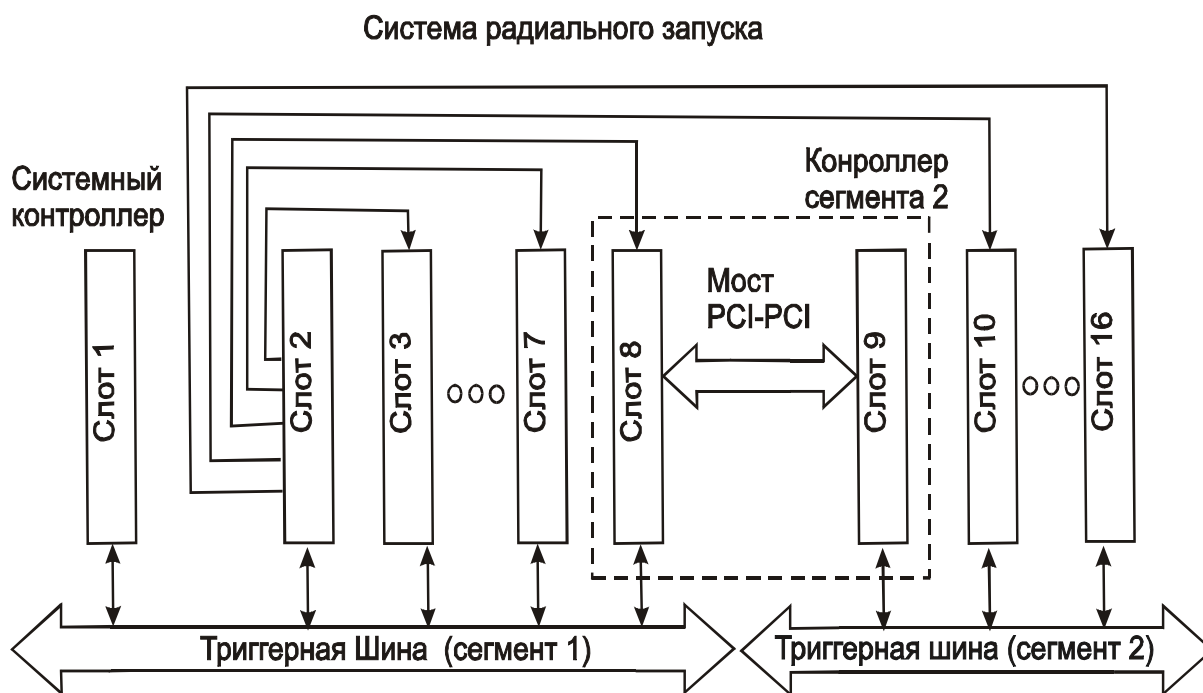


Рис. 3.6

Система с двумя сегментами шины обеспечит 13 слотов *расширения* для *PXI* периферийных модулей: (2 сегмента шины) × (8 слотов на сегмент) – (1 слот контроллера системы) – (2 слота для моста *PCI-PCI*) = 13 доступных слотов расширения.

Точно также в системе с тремя сегментами шинами получилось бы 19 слотов расширения для периферийных модулей *PXI*. В *PXI* шина системы радиального запуска обеспечивает связь между одиночными

сегментами шины и не допускает физического соединения к смежному сегменту шины. Это сохраняет высокоэффективные характеристики шины системы радиального запуска и позволяет в многократных сегментных системах объединять инструменты в логические группы. Многократные сегменты могут быть логически связаны, обеспечивая буферизацию между физическими сегментами. Система радиального запуска обеспечивает способ независимого обращения ко всем 13 периферийным слотам.

3.3. Программные требования

PXI позволяет программам различных разработчиков работать совместно. Однако в отличие от многих других спецификаций PXI резервирует линии и определяет программные требования для будущего облегчения интеграции новых модулей. Эти требования включают поддержку стандартных операционных систем типа Windows NT и поддержку измерительных стандартов VXI. Важным условием является совместимость драйверов для всех периферийных модулей.

Требования к стандартному программному обеспечению

PXI контроллер должен поддерживать доступные в настоящее время операционные системы с возможными будущими обновлениями. Это означает, что контроллер будет поддерживать наиболее популярные интерфейсы программирования прикладных программ промышленного стандарта типа Microsoft и Borland C++, Visual Basic, LabVIEW и LabWindows/CVI.

PXI также требует, чтобы все периферийные модули имели программное обеспечение драйверов приборов, выполняемое в соответствующих стандартах. Стоимость настройки, программирования и интеграции нестандартных систем велика, поэтому изготовители должны позаботиться о программных драйверах.

Совместимость с системой VISA

PXI системы требуют обеспечения совместимости с системой VISA (программной архитектурой виртуальных приборов) как главного механизма унифицированного управления GPIB, VXI и PXI инструментами. Применение системы VISA к PXI сохраняет затраты пользователя измерительной аппаратуры на программное обеспечение.

Спецификация VISA обеспечивает унификацию ПО и взаимодействие систем PXI, VXI, GPIB, а также автономных GPIB-приборов и приборов с последовательным портом. Система VISA реализует стандартный механизм конфигурирования и управления PXI модулями в системе пользователя.

Другие программные требования

PXI также требует обязательного использования некоторых программных компонентов. При обращении ко всем периферийным модулям должны быть доступными данные инициализации, которые определяют конфигурацию и возможности устройства. Эта информация гарантирует работоспособность соответствующей конфигурации системы. Например, этот механизм позволяет идентифицировать периферийные смежные модули и проверить совместимость их локальных шин. Если информация отсутствует, то использование локальной шины не допускается, и к соответствующим функциональным возможностям нельзя обращаться.

Глава 4. СИГНАЛЫ И ПРОТОКОЛЫ PXI

4.1. Сигналы PXI

Сигналы PXI – это сигналы стандартные для CompactPCI, размещенные на P1/J1, и специальные, размещенные на P2/J2.

Сигналы P1/J1

Все сигналы на P1/J1 соединителях PXI модуля и материнской платы должны удовлетворять требованиям спецификации (CompactPCI) для и периферийных модулей, и модулей системы.

Все элементы материнской платы, кроме мостов PCI-PCI и периферийных слотов, должны иметь собственные IDSEL линии, связанные с одним источником напряжения.

Контроллер системы для поддержки многократных прерываний модулей может использовать INTP или INTS как разновидность IRQ прерывания.

Сигналы P2/J2

Различия между 64-разрядными соединителями PXI и CompactPCI заключаются в сигналах, которые зарезервированы или не используются

в CompactPCI спецификации. Следовательно, все модули, которые удовлетворяют требованиям CompactPCI 64-разрядной спецификации, будут функционировать в PXI системе. Кроме того, все PXI модули будут работать в системе, которая удовлетворяет требованиям CompactPCI 64-разрядной спецификации, но без полной системы выгод PXI.

Сигналы CompactPCI 64-разрядной спецификации

В системном слоте полностью соответствуют спецификации 64-разрядного CompactPCI соединителя выводы: GND, VI/O, AD[32:63], C/BE[4:7], DEG, FAL, PRST, SYSEN, CLK[1:6], GNT[1:6], REQ[1:6].

Модуль контроллера системы должен обеспечивать полную поддержку пары REQ / GNT для каждого слота на данной материнской плате (до семи слотов). Эта поддержка должна быть доступна всем слотам в системе сразу.

В PXI реализации для непосредственно доступа к элементам в модулях системы могут использоваться выводы BRSV, которые зарезервированы в CompactPCI 64-разрядном соединителе.

В периферийных слотах должны удовлетворять всем требованиям спецификации 64-разрядного CompactPCI соединителя следующие выводы: GND, VI/O, AD[32:63], C/BE[4:7], DEG, FAL, PRST и SYSEN .

В PXI реализации в периферийных измерительных приборах используются базовые контакты CLK[1:6], GNT[1:6], REQ[1:6] и RSV в CompactPCI 64-разрядном соединителе. При этом сигналы CLK[1:4], GNT[1:6] и REQ [1:6] не реализованы в CompactPCI периферийных модулях и слотах.

На материнской плате должны удовлетворять всем требованиям спецификации 64-разрядного CompactPCI следующие выводы: GND, VI/O, AD[32:63], C/BE[4:7], DEG, FAL, PRST и SYSEN. Как и в CompactPCI спецификации, материнская плата направляет сигналы CLK[1:4], GNT[1:6] и REQ[1:6] от системного слота до соответствующих штырей J1 соединителей на периферийных слотах.

В каждом сегменте шины материнская плата должна направить сигналы локальной шины PXI_LBR[0:12] от каждого слота к контактам соседнего разъема PXI_LBL[0:12]. На материнской плате *не должно* быть никаких других локальных шин.

Системные часы (PXI_CLK10)

На материнской плате PXI имеются сигналы ТТЛ системных часов для синхронизации работы модулей при измерениях или системе управления. Сигнал PXI_CLK10 – 10 MHz приходит к каждому периферийному слоту.

Материнская плата должна позволять получать сигналы PXI_CLK10 от внешних более точных источников. В слоте системы радиального запуска должен быть зарезервирован контакт для подключения внешних часов.

Передача сигнала системных часов позволяет модулям совместно использовать любые временные метки, которые не зависят от PXI_CLK10. Например, два модуля сбора данных, использующие звуковую частоту дискретизации, могут применить системные часы с частотой 44,1 кГц.

4.2. Протоколы PXI

Триггерная шина

В PXI триггерная шина состоит из восьми линий PXI_TRIG[0:7]. Триггерная шина обеспечивает межмодульную синхронизацию и связь. Линии триггерной шины могут использоваться для вызова или передачи сигнала системных часов. Несколько стандартных протоколов триггерной шины определены, чтобы облегчить совместимость, однако использование триггерной шины не ограничено определенными протоколами. В PXI линии триггерной шины могут применяться как универсальные межмодульные линии взаимодействия, использующие иные определенные изготовителем протоколы.

PXI протоколы триггерной шины

Асинхронный запуск

Параметры PXI асинхронного протокола запуска по выделенной линии показаны на рис. 4.1 и в табл. 4.1. Параметры длительности представлены для эквивалентной емкости нагрузки 50 пф.

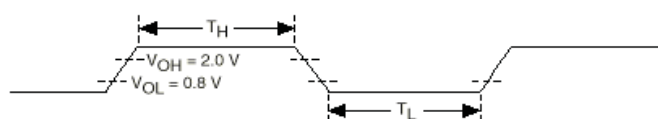


Рис. 4.1

Таблица 4.1

Символ	Параметр	Min	Max
T_H	Длительность высокого уровня	18 нс	—
T_L	Длительность низкого уровня	18 нс	—

Синхронный запуск

PXI синхронный запуск может использоваться совместно с сигналом PXI_CLK10, как показано на рис. 4.2. При этом линия PXI_TRIG управляется модулем. Синхронная система запуска должна удовлетворять требованиям табл. 4.2. Параметры минимальной длительности представлены для нулевой эквивалентной емкости нагрузки. Параметры максимальной длительности представлены для эквивалентной емкости нагрузки 50 пф.

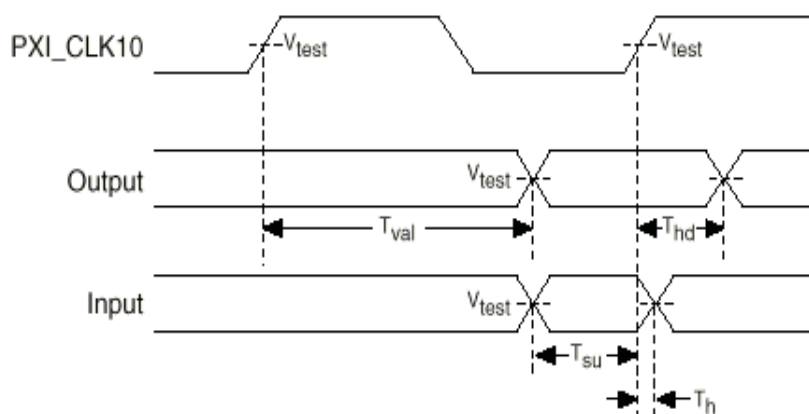


Рис. 4.2

PXI модуль (периферийный или системный) может использовать любое количество сигналов триггерной шины.

Для передачи или приема команд следует использовать линию PXI_TRIG[7]. Буфер ввода – вывода на каждой линии PXI_TRIG[0:7] должен удовлетворять спецификации, приведенной в табл. 4.3.

Таблица 4.2

Символ	Параметр	Min	Max
T_{hd}	Задержка по выходу относительно PXI_CLK10	2 ns	—
T_{val}	Время установки выходного сигнала относительно PXI_CLK10	—	65 ns
T_{su}	Время установки входного сигнала относительно PXI_CLK10	23 ns	—
T_h	Задержка по входу относительно PXI_CLK10	0 ns	—

Таблица 4.3

Символ	Параметр	Условия	Min	Max
V_{ih}	Входной высокий уровень	—	2,0 V	$V_{cc} + 0,5 V$
V_{il}	Входной низкий уровень	—	-0,5 V	0,8 V
V_{oh}	Выходной высокий уровень	$I_{out} = -2 \text{ mA}$	2,4 V	—
V_{ol}	Выходной низкий уровень	$I_{out} = 4 \text{ mA}$	—	0,55 V
C_{pin}	Паразитные емкости входа, выхода, контактов разъема	—	—	10 pf

4.3. Система радиального запуска по линиям PXI_STAR

PXI шина радиального запуска содержит индивидуальные линии PXI_STAR для каждого слота. Слот системы радиального запуска смежен к системному слоту и использует 13 свободных линий локальной шины. Это позволяет единой системе радиального запуска управлять или контролировать работу модулей в двух сегментах шины PCI.

В системах с большим числом сегментов одна система радиального запуска вызывает слот, предназначенный для двух сегментов шины. PXI спецификация не определяет строгих функциональных задач модуля системы радиального запуска. В системе радиального запуска резервируется контакт для подключения к внешнему эталону частоты 10 MHz в качестве сигнала PXI_CLK10.

Слот 2 в крейте является слотом системы радиального запуска. Он может также использоваться как периферийный универсальный слот за исключением того, что левая локальная шина недоступна, потому что ее контакты соединяются с системой радиального запуска. Слот системы радиального запуска не имеет своей линии PXI_STAR. Этот контакт используется для внешней опорной частоты.

По PXI материнской плате сигналы системы радиального запуска направляются к каждому периферийному слоту согласно табл. 4.4 с сопротивлением входа и выхода $65 \text{ Ом} \pm 10 \%$.

Задержка в линиях PXI_STAR при распространении не должна превышать 1 ns, а задержка при вызове системой радиального запуска любого периферийного слота не должна превышать 5 ns.

4.4. Модули и соединители PXI

Модули двойного размера 6U нуждаются в дополнительном пространстве крейта и допускают в будущем расширение функциональ-

ных возможностей. Во многих случаях дополнительное пространство для 6U модуля необходимо только для его функциональной части. При этом модуль нуждается только в соединителях J1 и J2, в то время как J3, J4 и J5 зарезервированы для будущих изменений PXI спецификации.

Таблица 4.4

Сигнал Star Trigger	Слот	Сигнал Star Trigger	Слот
PXI_STAR0	3	PXI_STAR7	10
PXI_STAR1	4	PXI_STAR8	11
PXI_STAR2	5	PXI_STAR9	12
PXI_STAR3	6	PXI_STAR10	13
PXI_STAR4	7	PXI_STAR11	14
PXI_STAR5	8	PXI_STAR12	15
PXI_STAR6	9		

Назначения ножек соединителей (J1/P1 и J2/P2)

В табл. 4.5 приводятся все группы сигналов PXI, CompactPCI и PCI в алфавитном порядке.

Таблица 4.5

Шина	Структура сигналов		
PXI	PXI_BRSV PXI_CLK10 PXI_CLK10_IN	PXI_LBL[0:12] PXI_LBR[0:12] PXI_RSV	PXI_STAR PXI_STAR[0:12] PXI_TRIG[0:7]
CompactPCI	BRSV	FAL	PRST
	CLK[0:6]	GNT[0:6]	REQ[0:6]
	DEG	INTP	RSV
	ENUM	INTS	SYSEN
PCI	ACK64	IRDY	STOP
	AD[0:63]	LOCK	TCK
	C/BE[0:7]	M66EN	TDI
	CLK	PAR	TDO
	DEVSEL	PAR64	TMS
	FRAME	PERR	TRDY
	GND	REQ	TRST
	GNT	REQ64	V(I/O)
	IDSEL	RST	3,3 V
	INTA	SBO	5 V
	INTB	SDONE	+12 V
	INTC	SERR	-12 V
	INTD		

В табл. 4.6 показаны ножки слотов PCI для J1/P1 соединителя. В табл. 4.7 показаны ножки периферийного слота для J2/P2 соединителей. В табл. 4.8 показаны ножки системного слота для J2/P2 соединителей. В табл. 4.9 показаны ножки слота системы радиального запуска для J2/P2 соединителей. Специфичные сигналы PXI в таблицах обозначены жирным.

Таблица 4.6

Разъем J1/P1 для слотов шины PCI							
Pin	Z	A	B	C	D	E	F
25	G	5 V	REQ64#	ENUM#	3,3 V	5 V	G
24	G	AD[1]	5 V	V(I/O)	AD[0]	ACK64#	G
23	G	3,3 V	AD[4]	AD[3]	5 V	AD[2]	G
22	G	AD[7]	G	3,3 V	AD[6]	AD[5]	G
21	G	3,3 V	AD[9]	AD[8]	M66EN	C/BE[0]#	G
20	G	AD[12]	G	V(I/O)	AD[11]	AD[10]	G
19	G	3.3V	AD[15]	AD[14]	G	AD[13]	G
18	G	SERR#	G	3,3 V	PAR	C/BE[1]#	G
17	G	3,3 V	SDONE	SBO#	G	PERR#	G
16	G	DEVSEL#	G	V(I/O)	STOP#	LOCK#	G
15	G	3,3 V	FRAME#	IRDY#	G	TRDY#	G
12 – 14	Key Area						
11	G	AD[18]	AD[17]	AD[16]	G	C/BE[2]#	G
10	G	AD[21]	G	3,3 V	AD[20]	AD[19]	G
9	G	C/BE[3]#	IDSEL	AD[23]	G	AD[22]	G
8	G	AD[26]	G	V(I/O)	AD[25]	AD[24]	G
7	G	AD[30]	AD[29]	AD[28]	G	AD[27]	G
6	G	REQ#	G	3,3 V	CLK	AD[31]	G
5	G	BRSVP1A5	BRSVP1B5	RST#	G	GNT#	G
4	G	BRSVP1A4	G	V(I/O)	INTP	INTS	G
3	G	INTA#	INTB#	INTC#	5 V	INTD#	G
2	G	TCK	5 V	TMS	TDO	TDI	G
1	G	5 V	–12 V	TRST#	+12 V	5 V	G
Pin	Z	A	B	C	D	E	F

Таблица 4.7

Разъем J2/P2 универсального периферийного слота							
Pin	Z	A	B	C	D	E	F
22	G	PXI_ RSVA22	PXI_ RSVB22	PXI_ RSVC22	PXI_ RSVD22	PXI_ RSVE22	G
21	G	PXI LBR0	G	PXI LBR1	PXI LBR2	PXI LBR3	G
20	G	PXI LBR4	PXI LBR5	PXI LBL0	G	PXI LBL1	G
19	G	PXI LBL2	G	PXI LBL3	PXI LBL4	PXI LBL5	G
18	G	PXI TRIG3	PXI TRIG4	PXI TRIG5	G	PXI TRIG6	G
17	G	PXI TRIG2	G	PRST#	PXI_STAR	PXI CLK10	G
16	G	PXI TRIG1	PXI TRIG0	DEG#	G	PXI TRIG7	G
15	G	PXI_ BRSVA15	G	FAL#	PXI_LBL6	PXI_LBR6	G
14	G	AD[35]	AD[34]	AD[33]	G	AD[32]	G
13	G	AD[38]	G	V(I/O)	AD[37]	AD[36]	G
12	G	AD[42]	AD[41]	AD[40]	G	AD[39]	G
11	G	AD[45]	G	V(I/O)	AD[44]	AD[43]	G
10	G	AD[49]	AD[48]	AD[47]	G	AD[46]	G
9	G	AD[52]	G	V(I/O)	AD[51]	AD[50]	G
8	G	AD[56]	AD[55]	AD[54]	G	AD[53]	G
7	G	AD[59]	G	V(I/O)	AD[58]	AD[57]	G
6	G	AD[63]	AD[62]	AD[61]	G	AD[60]	G
5	G	C/BE[5]#	G	V(I/O)	C/BE[4]#	PAR64	G
4	G	V(I/O)	PXI_ BRSVB4	C/BE[7]#	G	C/BE[6]#	G
3	G	PXI LBR7	G	PXI LBR8	PXI LBR9	PXI LBR10	G
2	G	PXI LBR11	PXI LBR12	SYSEN#	PXI LBL7	PXI LBL8	G
1	G	PXI LBL9	G	PXI LBL10	PXI BL11	PXI LBL12	G
Pin	Z	A	B	C	D	E	F

Таблица 4.8

Разъем J2/P2 системного слота							
Pin	Z	A	B	C	D	E	F
22	G	PXI_ RSVA22	PXI_ RSVB22	PXI_ RSVC22	PXI_ RSVD22	PXI_ RSVE22	G
21	G	CLK6	G	RSV	RSV	RSV	G
20	G	CLK5	G	RSV	G	RSV	G
19	G	G	G	RSV	RSV	RSV	G
18	G	PXI TRIG3	PXI TRIG4	PXI TRIG5	G	PXI TRIG6	G
17	G	PXI TRIG2	G	PRST#	REQ6#	GNT6#	G
16	G	PXI TRIG1	PXI TRIG0	DEG#	G	PXI TRIG7	G
15	G	PXI_ BRSVA15	G	FAL#	REQ5#	GNT5#	G

Окончание табл. 4.8

Разъем J2/P2 системного слота							
Pin	Z	A	B	C	D	E	F
14	G	AD[35]	AD[34]	AD[33]	G	AD[32]	G
13	G	AD[38]	G	V(I/O)	AD[37]	AD[36]	G
12	G	AD[42]	AD[41]	AD[40]	G	AD[39]	G
11	G	AD[45]	G	V(I/O)	AD[44]	AD[43]	G
10	G	AD[49]	AD[48]	AD[47]	G	AD[46]	G
9	G	AD[52]	G	V(I/O)	AD[51]	AD[50]	G
8	G	AD[56]	AD[55]	AD[54]	G	AD[53]	G
7	G	AD[59]	G	V(I/O)	AD[58]	AD[57]	G
6	G	AD[63]	AD[62]	AD[61]	G	AD[60]	G
5	G	C/BE[5]#	G	V(I/O)	C/BE[4]#	PAR64	G
4	G	V(I/O)	PXI_ BRSVB4	C/BE[7]#	G	C/BE[6]#	G
3	G	CLK4	G	GNT3#	REQ4#	GNT4#	G
2	G	CLK2	CLK3	SYSEN#	GNT2#	REQ3#	G
1	G	CLK1	G	REQ1#	GNT1#	REQ2#	G
Pin	Z	A	B	C	D	E	F

Таблица 4.9

Разъем J2/P2 системы радиального запуска							
Pin	Z	A	B	C	D	E	F
22	G	PXI_ RSVA22	PXI_ RSVB22	PXI_ RSVC22	PXI_ RSVD22	PXI_ RSVE22	G
21	G	PXI_LBR0	G	PXI_LBR1	PXI_LBR2	PXI_LBR3	G
20	G	PXI_LBR4	PXI_LBR5	PXI_STAR0	G	PXI_STAR1	G
19	G	PXI_STAR2	G	PXI_STAR3	PXI_STAR4	PXI_STAR5	G
18	G	PXI_TRIG3	PXI_TRIG4	PXI_TRIG5	G	PXI_TRIG6	G
17	G	PXI_TRIG2	G	PRST#	PXI_CLK10_ IN	PXI_CLK10	G
16	G	PXI_TRIG1	PXI_TRIG0	DEG#	G	PXI_TRIG7	G
15	G	PXI_ BRSVA15	G	FAL#	PXI_STAR6	PXI_LBR6	G
14	G	AD[35]	AD[34]	AD[33]	G	AD[32]	G
13	G	AD[38]	G	V(I/O)	AD[37]	AD[36]	G
12	G	AD[42]	AD[41]	AD[40]	G	AD[39]	G
11	G	AD[45]	G	V(I/O)	AD[44]	AD[43]	G

Разъем J2/P2 системы радиального запуска							
Pin	Z	A	B	C	D	E	F
10	G	AD[49]	AD[48]	AD[47]	G	AD[46]	G
9	G	AD[52]	G	V(I/O)	AD[51]	AD[50]	G
8	G	AD[56]	AD[55]	AD[54]	G	AD[53]	G
7	G	AD[59]	G	V(I/O)	AD[58]	AD[57]	G
6	G	AD[63]	AD[62]	AD[61]	G	AD[60]	G
5	G	C/BE[5]#	G	V(I/O)	C/BE[4]#	PAR64	G
4	G	V(I/O)	PXI_BRSVB4	C/BE[7]#	G	C/BE[6]#	G
3	G	PXI_LBR7	G	PXI_LBR8	PXI_LBR9	PXI_LBR10	G
2	G	PXI_LBR11	PXI_LBR12	SYSEN#	PXI_STAR7	PXI_STAR8	G
1	G	PXI_STAR9	G	PXI_STAR10	PXI_STAR11	PXI_STAR12	G
Pin	Z	A	B	C	D	E	F

Глава 5. ПРОЕКТИРОВАНИЕ СИСТЕМ PXI

5.1. Аппаратная база

В настоящее время выпускаются несколько вариантов крейтов, системные модули и различные периферийные устройства, выполненные по спецификации PXI. Все устройства полностью совместимы с LabVIEW, LabWindows/CVI и другими программными продуктами фирмы National Instruments.

Стандартные шасси (крейты)

Например, шасси PXI-1000 вмещает в себя системный блок и до семи периферийных PXI- или CompactPCI-устройств формата 3U (100 × 60 мм). Комбинированное шасси PXI-1010 позволяет объединить в одной системе до восьми PXI-устройств и до четырех устройств, отвечающих спецификации SCXI. Шасси PXI-1000 и PXI-1010 содержат восемь слотов. Они работают в шумных, влажных и подверженных вибрации окружающих средах.

Встроенные компьютеры – контроллеры системы

Системные модули имеют параллельный и последовательные порты, разъемы для подсоединения клавиатуры, мыши, монитора, сетевой адаптер Ethernet и разъем GPIB (IEEE 488).

В основе системы может быть использован встроенный компьютер размера 3U (Pentium MMX). Он включает PCI шину 132 Мбайт/с, кэш 512 кб и до 128 Мб оперативной памяти. Адаптер SVGA, жесткий диск, дисковод для гибких дисков и все стандартные элементы ввода-вывода компьютера, включая GPIB и Ethernet, встроены в модуль контроллера. Контроллер требует только одного активного PXI слота, оставляя семь слотов для периферийных модулей.

Периферийные модули

Из периферии выпущены дополнительные интерфейсные платы, модули сбора данных, цифровые приборы, модули приема изображений и расширения, позволяющие PXI-компьютеру управлять VXI- и VME-системами.

Обработка изображения

PXI-1408 IMAQ-модуль получения изображения с 8-битным разрешением использует до четырех источников видеосигнала и совместим со стандартными форматами видеосигнала типа RS-170, NTSC, CCIR, PAL и RGB. Используя мощное программное обеспечение для анализа изображения, он обеспечивает цифровой ввод-вывод, синхронизацию с другими PXI модулями, программируемый сбор данных.

Ethernet и PC Card интерфейсы

PXI-8210 модуль объединяет Ethernet и интерфейс SCSI. Интерфейс SCSI используется для чтения и записи данных во внешние периферийные устройства, такие как CD-ROM. Совместимый с Ethernet интерфейс 100BASE-TX работает в 10 раз быстрее обычного Ethernet. Модуль PXI-8220 расширяет интерфейсные функции системы PXI через двухслотовый PC Card интерфейс (PCMCIA).

Модули понижающего преобразования NI 5600 и низкочастотного АЦП NI 5142 показаны на рис. 5.1, а и б. На рис. 5.1, в показано соединение модулей NI 5600 и NI 5142.

Индикаторы модуля понижающего преобразования NI 5600 (см. рис. 5.1, а) представлены в табл. 5.1.

Таблица 5.1

Индикатор	Назначение
POWER	Индикатор питания модуля эквивалентен индикатору ACCESS LED на соединительной панели модуля низкочастотного АЦП. «Выключен» – модуль не включен или возникли неполадки с питанием. «Зеленый» – питание подается и он функционирует
STATUS	Индикатор состояния системы автоматической фазовой подстройки частоты (PLL). «Выключен» – модуль находится в неинициализированном состоянии или производит автоматическую подстройку. «Зеленый» – модуль в состоянии готовности, автоматическая подстройка произведена

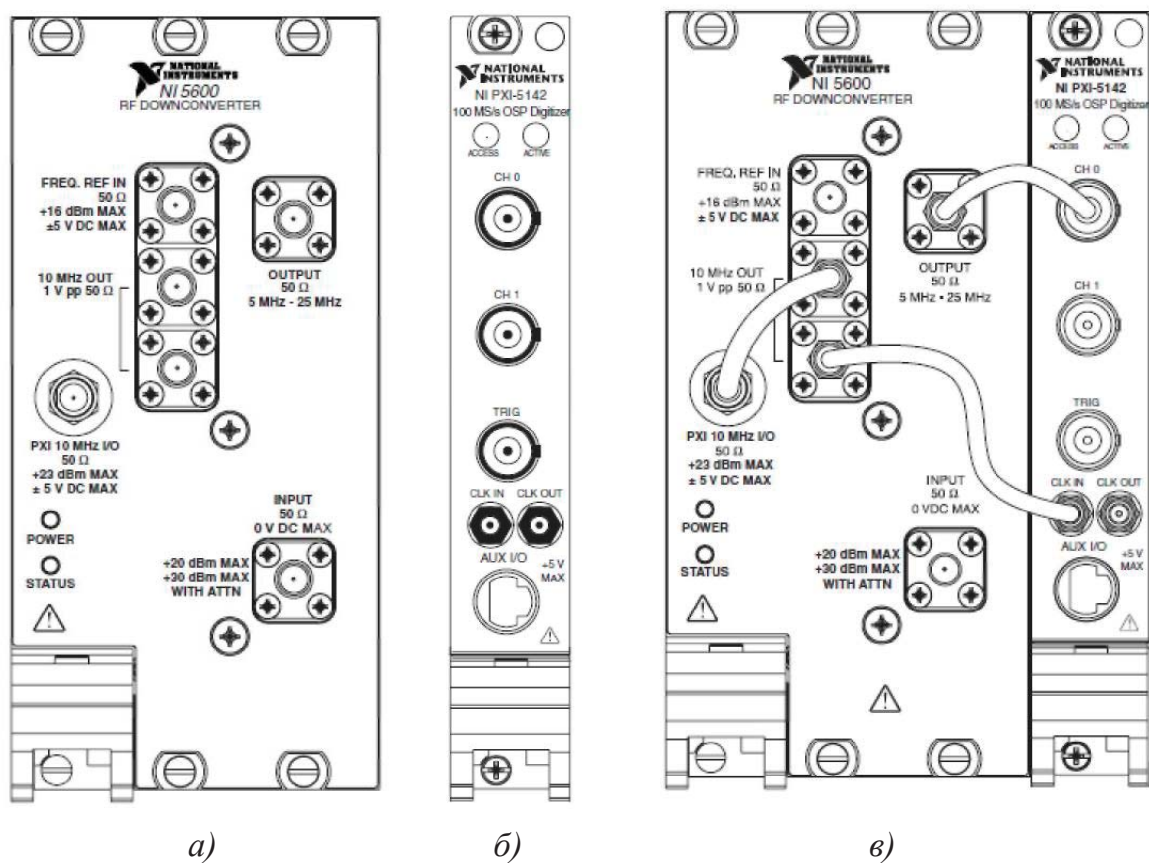


Рис. 5.1

Входы и выходы модуля понижающего преобразования NI 5600 (см. рис. 5.1, а) представлены в табл. 5.2.

Таблица 5.2

Вход/выход	Назначение
FREQ REF IN	Вход внешнего сигнала опорной частоты. Он может быть выведен на соединительную панель PXI, если NI 5600 установлен в слот 2
10 MHz OUT	Выход 10 MHz OUT соединяется с входом REF CLK IN модуля NI 5620 или CLK IN модуля NI 5142. Сигналы опорной частоты 10 MHz на выходах сдвинуты по фазе на 180°. Выходы не могут быть отключены
PXI 10 MHz I/O	Сигналопорной частоты может быть выведен на соединительную панель PXI через двунаправленный вход/выход PXI 10 MHz I/O, если модуль NI 5600 установлен в слот 2. Данный выход может выводить опорный сигнал соединительной панели PXI с модуля NI 5600, установленного в любой слот
OUTPUT	Выход соединяется с входом INPUT модуля низкочастотного АЦП. На данный выход подается предназначенный для оцифровки НЧ сигнал после понижающего преобразования
INPUT	На данный вход подается ВЧ сигнал для анализа

Модуль АЦП NI 5142 (см. рис. 5.1, б) имеет шесть разъемов, как показано в табл. 5.3.

Таблица 5.3

Вход/выход	Назначение
CH 0	Вход для НЧ сигнала после понижающего преобразования. Соединяется с выходом OUTPUT NI 5600
CH 1	Вход не используется, если модуль работает в составе векторного анализатора ВЧ сигналов. Только канал CH0 поддерживает цифровое понижающее преобразование (DDC)
TRIG	Вход для внешнего цифрового сигнала синхронизации
CLK IN	Вход для сигнала опорной частоты соединяется с выходом 10 MHz OUT модуля NI 5600
CLK OUT	Выход для сигнала опорной частоты
AUX I/O	Обеспечивает доступ к многоцелевым цифровым линиям синхронизации PFI 0 и PFI 1

На рис. 5.2 показана установка в крейт (1) модуля АЦП (2) с помощью винтов крепления (3) и защелки (4).

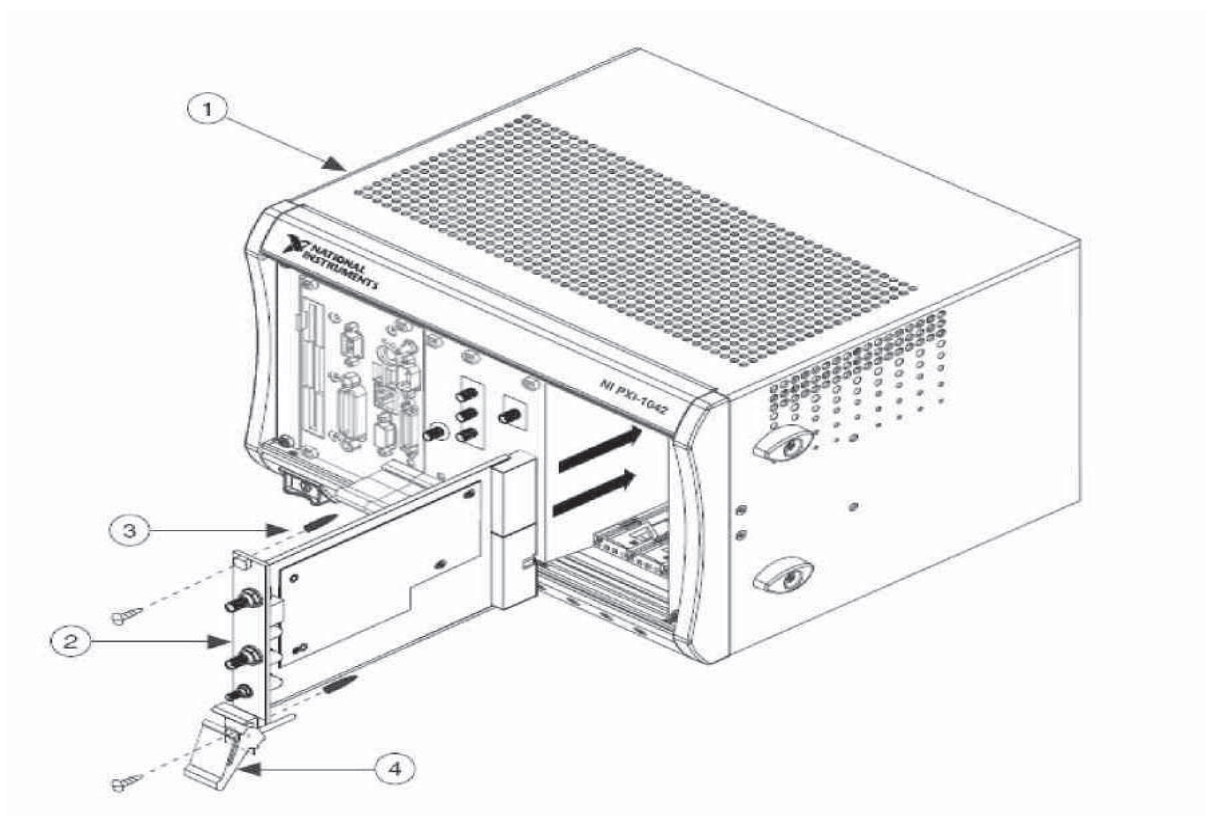


Рис. 5.2

5.2. Программная среда

Стремление к увеличению надежности, уменьшению времени создания и снижению стоимости программного обеспечения не совместимо с изготовлением узко специализированных систем. Создание дешевых, нестандартных, надежных компьютерных систем невозможно без аппаратно-программной унификации, без прикладных программ автоматизации проектирования.

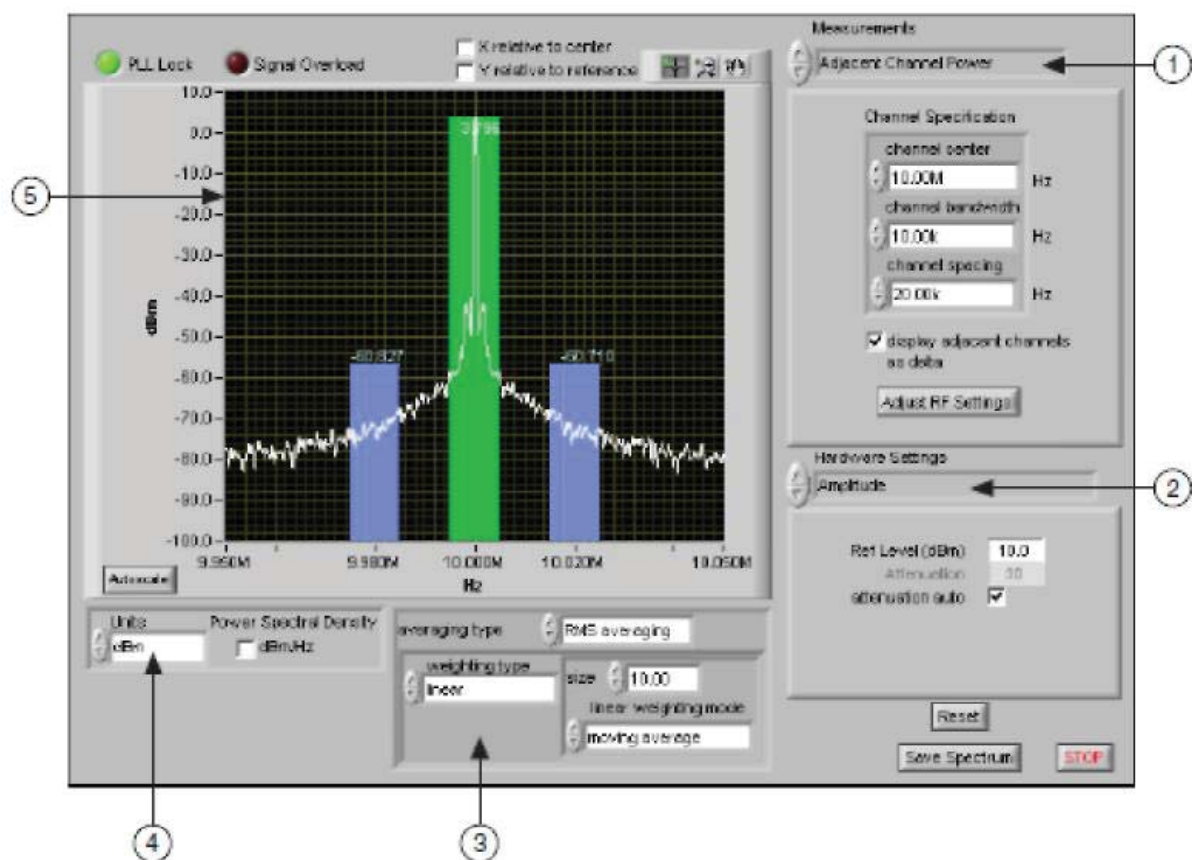
Большинство издержек, связанных с разработкой любой системы испытаний, обусловлено затратами на создание прикладного программного обеспечения. Платформа PXI в отличие от других систем определяет программные функции как часть спецификации, которая требует поддержки VISA. Использование VISA в PXI сохраняет затраты пользователя на программное обеспечение. Программный комплекс VISA обеспечивает взаимодействие систем PXI с VXI, автономными GPIB приборами и другими стандартными инструментами. Периферийные измерительные модули PXI обязаны поддерживать стандартные драйверы и лицевые панели, программное обеспечение которых не должно конфликтовать с аппаратурой VXI Plug&Play. Программная унифи-

кация для PXI инструментов обеспечивает прозрачный программный путь между VXI и PXI системами.

Все PXI модули контроллера системы обязаны работать в системе VISA, которая используется как программный интерфейс для конфигурации системы и доступа к измерительным элементам, включая триггерную шину и систему радиального запуска.

Поскольку тысячи 32-разрядных прикладных программ сегодня работают в среде Windows, то применение единой операционной системы обеспечивает более качественный выбор инструментальных средств, доступных для совместного использования.

Приложение RFSA Demo Panel (рис. 5.3) предоставляет удобный пользовательский интерфейс, позволяющий проводить спектральные и фазовые измерения.



1. Элементы управления измерениями.
2. Элементы управления параметрами оборудования.
3. Элементы управления усреднением.
4. Единицы измерения.
5. График.

Рис. 5.3

При помощи элементов управления в разделе Hardware Settings (аппаратные настройки) задаются аппаратные параметры измерений:

- параметры высокочастотного спектра (RF Spectrum Settings);
- амплитуда (Amplitude);
- постоянные времени (Timing);
- дополнительные спектральные параметры (Advanced Spectral Parameters);
- устройства (Devices).

В разделе Measurements (измерения) определяется тип измерения, которое необходимо осуществлять. Можно выбрать вариант работы:

- уровень максимумов (Peak Search);
- ширина максимума (Delta Peak);
- мощность в полосе (Power in Band);
- мощность вне полосы (Adjacent Channel Band);
- занятый диапазон (Occupied Bandwidth);
- фазовые измерения (IQ Data).

Элементы управления в разделе Averaging Type (тип усреднения) задают параметры усреднения данных.

Элемент управления Units (единицы измерения) определяет единицы измерения, в которых представлены данные. Доступны несколько общепринятых единиц измерения.

5.3. Конфигурирование системы

Для удобства конфигурирования изготовители PXI модулей должны документировать возможности всех изделий. Минимальные данные содержатся в файлах .ini, которые являются текстом ASCII.

Файлы .ini могут читаться контроллером системы и использоваться в утилитах конфигурации. Например, они помогают определить возможности периферийных модулей, которые требуется устанавливать в соседние слоты для использования локальной шины. Эти файлы также помогают определить физическое расположение периферийных модулей. Например, в системе с четырьмя идентичными модулями сбора данных драйвер прибора идентифицирует эти модули как четыре логических объекта. Документация для крейта содержится в файле chassis.ini. Информация этого файла может быть объединена с информацией о системном модуле в файле инициализации pxisys.ini. Драйверы приборов не должны иметь потребности непосредственного чтения файла chassis.ini.

Драйверы приборов и другое сервисное программное обеспечение могут считываться из файла `pxisys.ini` для получения всей необходимой информации о реальной системе.

Общий формат `.ini` файла

Файлы `.ini` состоят из строк текста ASCII. Каждый `.ini` файл содержит один или большее количество разделов, и каждый раздел содержит одну или несколько строк. Каждая строка описывает отдельное свойство раздела.

Каждый `.ini` файл *должен* содержать только следующие типы строк: строка комментария, оглавление и строка отметки. Строка комментария начинается с символа `#`. Строка оглавления начинается с символа `[` и заканчивается символом `]`. Текст между двумя скобками идентифицирует тип раздела. Строка отметки состоит из трех полей: отметка, символ и величина.

Структура строк имеет следующий вид:

```
# This line is a comment
```

```
[Section1]
```

```
IsSpecialSection = No
```

```
[Section2]
```

```
IsSpecialSection = Yes
```

Инициализация крейта и файл `chassis.ini`

`Chassis.ini` файл описывает (табл. 5.4) функциональные возможности PXI крейта, который включает слоты для периферийных модулей, слоты для модулей системы и PCI модули, которые ведут себя как модули системы или периферийные модули.

Таблица 5.4

Мнемоника	Значение	Описание
SlotNumberOfOtherHalfOfBridge	<i>None</i> или номер слота <i>n</i>	Если в этом слоте находится часть моста PCI-PCI, то номер указывает положение модуля второй части моста
SystemSlotNumber	<i>n</i> – номер системного слота	Расположение системного слота для данного сегмента PCI

Файл инициализации системы PXI (`pxisys.ini`)

`Pxisys.ini` файл описывает PXI конфигурацию системы, физическое

расположение установленных периферийных модулей и возможности периферийных слотов в крейте.

Изготовитель модуля системы должен обеспечивать `pxisys.ini` файл для каждой возможной конфигурации системы или иметь утилиту, которая может генерировать `pxisys.ini` файл.

Примеры некоторых мнемоник конфигурирования слотов системы и модулей шины PXI-1 представлены в табл. 5.5 и 5.6.

Таблица 5.5

Мнемоника	Значение	Описание
IDSEL	n – номер линии PCI	Номер адресной линии PCI, соединенной с IDSEL слота
SecondaryBus-Number	n – целое число $0 \leq n \leq 255$	Если этот слот не является мостом, то $n = 0$, если это мост PCI-PCI, то ему присваивается номер – первичный адрес. Вторичный адрес используется при обращении к модулям соединенных сегментов
ExternalBackplane-Interface	<i>None</i> или тип внешнего интерфейса	Наименование внешнего интерфейса платы. Если этот слот подключается к внешнему интерфейсу материнской платы, то указывается его тип
PCIBusNumber	n – целое число $0 \leq n \leq 255$	Номер сегмента шины PCI, заданный в конфигурационном цикле для идентификации модулей
PCIDeviceNumber	n – целое число $0 \leq n \leq 31$	Номер прибора-модуля PCI, заданный в конфигурационном цикле для идентификации модулей

Таблица 5.6

Мнемоника	Значение	Описание
SlotList	Упорядоченный список n , где целое число $n \geq 1$	Номера слотов в данном сегменте шины PCI
IDSELList	m – целое число, $1 \leq m \leq 31$	Номера линий AD[31:0], используемых линиями IDSEL в данном сегменте шины PCI
IDSEL $_m$	Slot $_n$	Указатель соединения линии PCI AD[31:0] с номером m и номера контакта IDSEL для каждого слота n в соответствии с IDSELList

Пример программирования сегмента шины PXI-1

This example describe an 8-slot PXI Express chassis with three hybrid

peripheral slots (slots 2-4) and four PXI-1 slots (slots 5-8).

[PXIIBusSegmentI]

SlotList = 5,6,7,8

IDSEList = 31,30,29,28

IDSEL31 = Slot5

IDSEL30 = Slot6

IDSEL29 = Slot7

IDSEL28 = Slot8

Программирование векторного анализатора ВЧ сигналов в LabVIEW

Для создания приложений, осуществляющих сбор данных при помощи векторных анализаторов ВЧ сигналов в LabVIEW, используется комплекс ВП NI5660. Комплекс может быть дополнен модулем понижающего преобразования NI 5600 и модулем низкочастотного АЦП NI 5620 для частотных и фазовых измерений. Комплекс ВП NI5660 находится в палитре функций LabVIEW (Instrument I/O -> Instrument Drivers -> ni5660).

Последовательность вызовов ВП ni5660

Обычно используются два варианта последовательности вызовов ВП ni5660: для спектральных и фазовых измерений. В любом приложении с использованием ВП ni5660 должны также вызываться подпрограммы ni5660 Initialize и ni5660 Close. На рис. 5.4 представлена последовательность вызовов ВП ni5660 для проведения спектральных измерений.

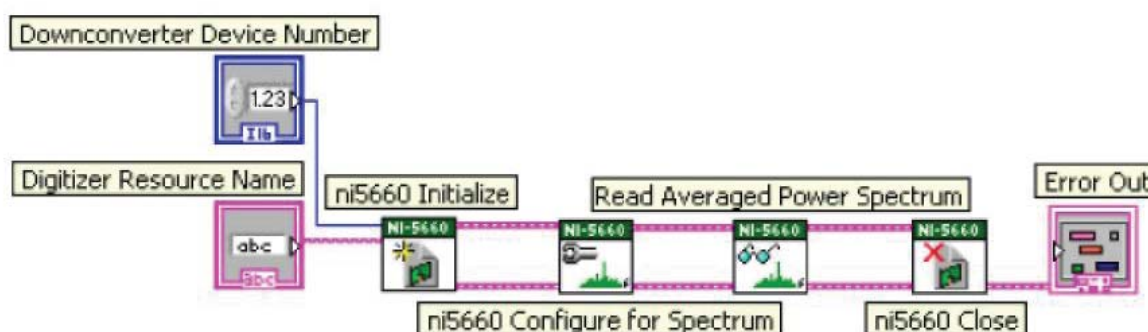


Рис. 5.4

На рис. 5.5 и 5.6 показаны последовательности вызовов ВП ni5660 для проведения фазовых измерений в однократном и непрерывном режимах соответственно.

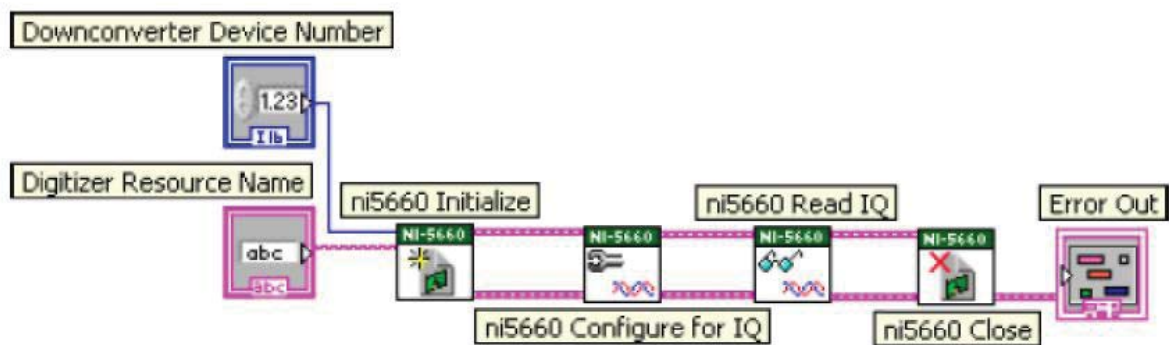


Рис. 5.5

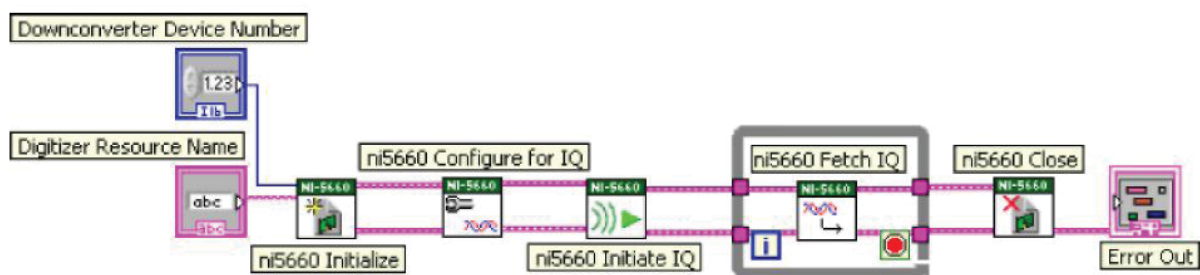


Рис. 5.6

5.4. Автоматизированный комплекс для тестирования средств радиосвязи

Универсальный автоматизированный комплекс для тестирования средств радиосвязи (рис. 5.7) предназначен для использования в качестве многофункциональной тестовой станции для одновременного проведения испытаний до двух радиостанций с произвольным типом модуляции сигналов в полосе до 20 МГц и диапазоне частот до 2,7 ГГц.

Комплекс позволяет проводить:

- Измерение параметров модулированных радиосигналов в диапазоне частот до 2,7 ГГц с реальной полосой до 20 МГц;
- Генерацию модулированных (AM, FM, PM, ASK, FSK, PSK, QAM) радиосигналов в диапазоне частот до 2,7 ГГц с полосой до 20 МГц;
- Усиление или затухание радиосигналов;
- Управление радиостанциями по последовательному порту RS-232;
- Измерение потребления тока радиостанций;
- Измерение и генерацию параметров аудиосигнала (или цифрового сообщения);

- Коммутацию сигналов для последовательного измерения параметров до двух радиостанций.

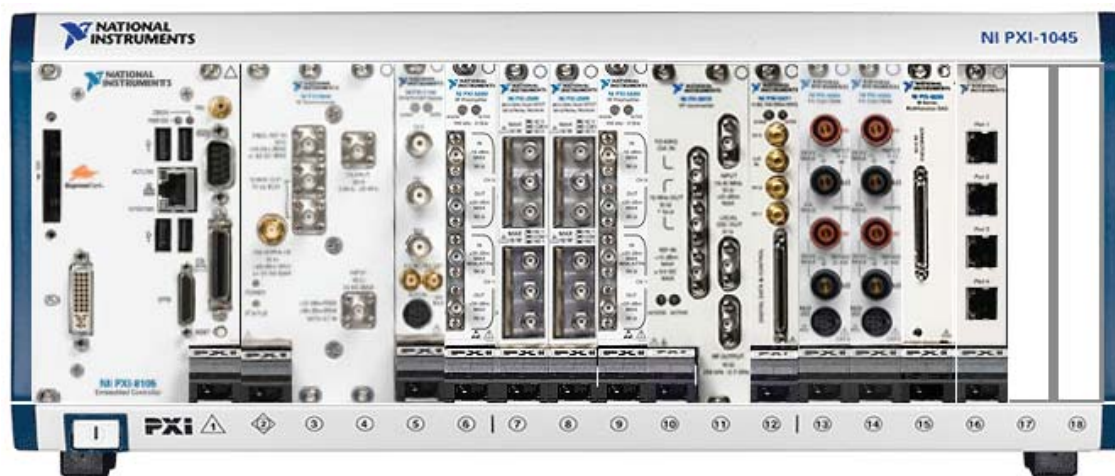


Рис. 5.7

Комплекс представляет собой измерительную станцию компании National Instruments с набором модулей для ввода/вывода сигналов. В состав системы входят:

1. **NI PXI-1045** – крейт на 18 модулей ввода/вывода сигналов типа PXI с аппаратной синхронизацией отдельных модулей и управлением запуском измерений;

2. **NI PXI-8106** – промышленный контроллер на базе процессора Intel Core 2 Duo (2,16 ГГц) и операционной среды Windows XP с оперативной памятью 2 Гб и встроенным контроллером GPIB (КОП);

3. **NI PXI-5661** – векторный анализатор радиосигнала в диапазоне частот до 2,7 ГГц с реальной полосой до 20 МГц, мощностью до +30 дБм и цифровым сигнальным процессором для переноса сигналов с промежуточной частоты вниз;

4. **NI PXI-5671** – векторный генератор модулированных радиосигналов в диапазоне частот до 2,7 ГГц с реальной полосой до 20 МГц, мощностью до +10 дБм и цифровым сигнальным процессором для переноса сигналов на промежуточную частоту вверх;

5. **NI PXI-5690 (2 шт.)** – программируемый предусилитель радиочастотных сигналов в полосе 3 ГГц с усилением до 50 дБ и максимальной выходной мощностью сигнала до +20 дБм. Используется для усиления сигналов на выходе векторного генератора PXI-5671 и векторного анализатора 5661.

6. NI PXI-6221 – модуль генерации и анализа аудиосигналов (для аналоговых радиосредств) с разрешением 16 бит и частотой оцифровки 250 кГц (16 аналоговых входов, 2 аналоговых выхода, 24 цифровые линии ввода/вывода). Подключается к радиостанции через терминальный блок **ТВ-2706**. *Для средств цифровой передачи данных по радиоканалу возможно применение модулей дискретного ввода/вывода информационных сигналов;*

7. NI PXI-4065 (2 шт.) – цифровой мультиметр с разрешением 6,5 знаков для высокоточных измерений тока, потребляемого радиостанцией;

8. NI PXI-8430/4 – модуль управления радиостанциями на 4 порта RS-232 (*опционально*);

9. PXI-2599 (2 шт.) – реле на два канала с полосой до 26,5 ГГц и пропускаемой мощностью до 150 Вт. Используется для коммутации радиочастотного анализатора и генератора комплекса между радиочастотными трактами двух радиостанций и коммутации радиочастотного тракта на вход с *внешним* аттенюатором или предусилителем PXI-5690;

10. Набор соединительных кабелей SMA (5 шт.);

11. Набор разработчика ПО National Instruments для разработки тестовых процедур и управления сбором, выдачей и обработкой сигналов. Полный набор ПО – NI LabVIEW, Measurement Studio, LabWindows/CVI, средства цифровой обработки сигналов, NI TestStand – средство управления испытаниями при массовом производстве продукции, а также библиотека функций генерации и измерения параметров модулированных сигналов NI Modulation Toolkit для LabVIEW.

Вариант схемы комплекса для тестирования радиостанций приведен на рис. 5.8.

На схеме:

- Ключ *k4* используется для подсоединения одной из двух радиостанций к радиочастотному тракту автоматизированного тестового комплекса;

- Ключ *k3* используется для подсоединения либо РЧ генератора PXI-5671 через предусилитель PXI-5690, либо радиочастотного тракта векторного анализатора PXI-5661 к тестируемой радиостанции;

- Ключи *k1*, *k2* при одновременном переключении позволяют включать аттенюатор (либо предусилитель PXI-5690) в радиочастотный тракт векторного анализатора PXI-5661.

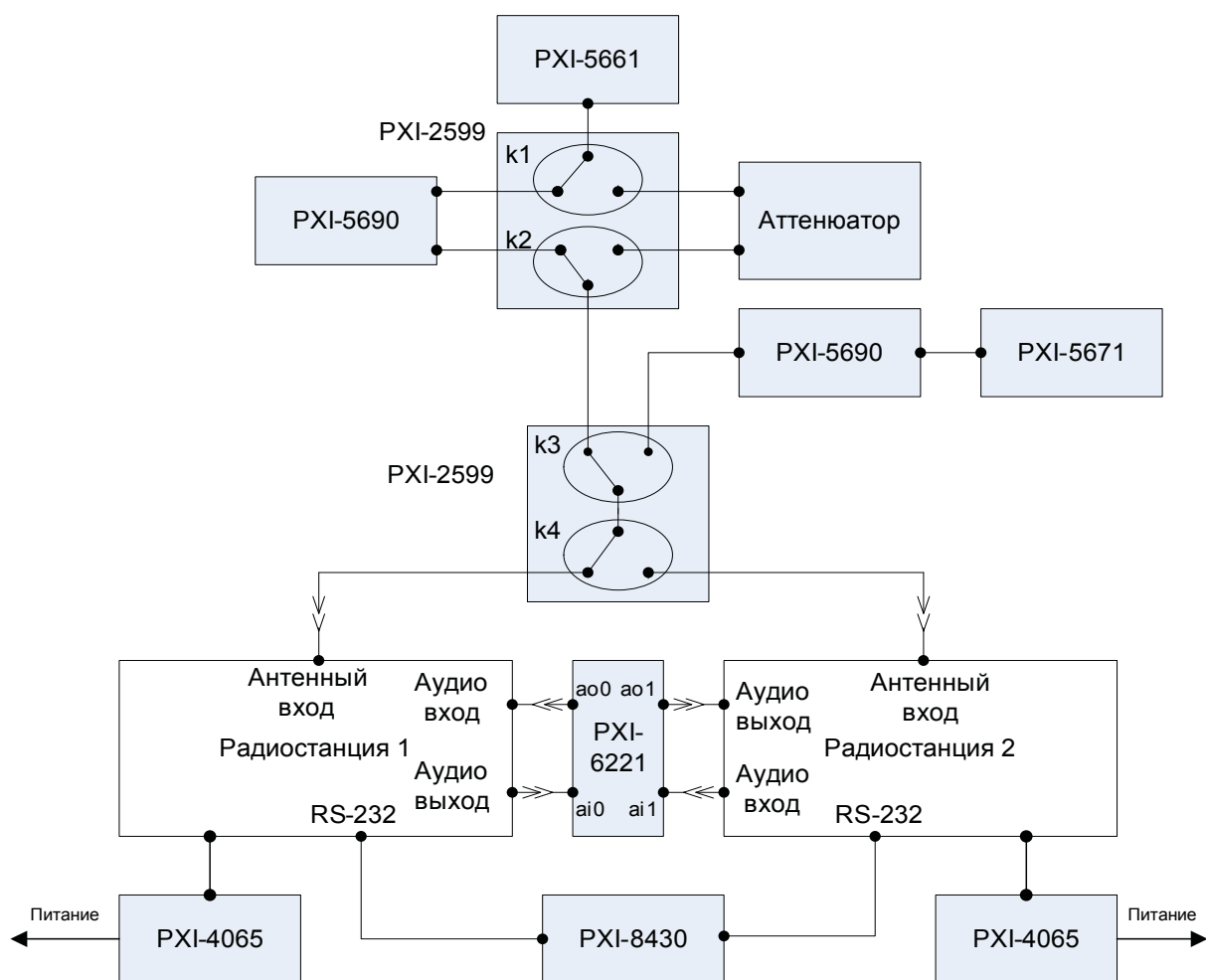


Рис. 5.8

В табл. 5.7 указаны цены на изделия в долларах США на 10.12.2007.

Таблица 5.7

№ п/п	Изделие	Цена без НДС (USD)
1	NI PXI-1045, 18-слотовое 3U шасси с универсальным источником питания переменного тока	5,170.00
2	NI PXI-8106 – контроллер для PXI/SCXI шасси на базе процессора Intel Core 2 Duo 2,16 GHz, ОС Windows XP	5,175.00
3	2 Гб DDR2 модуль ОЗУ для контроллеров 8130, 8106	520.00
4	NI PXI-2599 2 SPDT реле с полосой до 26,5 ГГц	1,725.00
5	NI PXI-5661 векторный анализатор 9 кГц – 2,7 ГГц, 20 МГц полоса пропускания, динамический диапазон –130... +30 dBm, с сигнальным процессором для цифрового переноса частоты, 14-bit, 64 или 256 Мб	20,700.00

№ п/п	Изделие	Цена без НДС (USD)
6	NI PXI-5690 2-канальный предусилитель ВЧ сигналов от 500 кГц до 3ГГц	3,795.00
7	NI PXI-5671 векторный генератор сигналов 250 кГц – 2,7 ГГц, полоса пропускания 20 МГц, до 512 Мб памяти, с сигнальным процессором для цифрового переноса частоты, генерация сигналов формата: AM, FM, PM, ASK, FSK, MSK, GMSK, PSK, QPSK, PAM, и QAM	18,975.00
8	NI PXI-6221 модуль сбора данных, 16 бит, 250 кГц (16 аналоговых входов, 2 аналоговых выхода, 24 цифровых вх./вых.)	750.00
9	TB-2706 терминальный блок модуля сбора данных	290.00
10	NI PXI-4065 6 1/2-значный цифровой мультиметр (300 В, 3 А, 100 МОм)	1,495.00
11	NI PXI-8430/4 интерфейс RS232, 4 порта	630.00
12	Полный пакет разработчика ПО, включает LabVIEW, LabWindows/CVI, Measurement Studio, Signal Express	4,945.00
13	NI Modulation Toolkit библиотека функций подготовки и обработки модулированных сигналов для LabVIEW	2,295.00

Возможные режимы испытаний аналоговой радиостанции с ЧМ

- Испытания одной либо двух радиостанций в последовательном режиме;
- Измерение выходной мощности передатчика;
- Измерение несущей частоты передатчика;
- Измерение девиации частоты передатчика;
- Измерение частоты и нелинейных искажений НЧ сигнала;
- Измерение чувствительности приемника;
- Измерение частоты и нелинейных искажений НЧ сигнала в режиме приема;
- Измерение потребления тока радиостанции;
- Протоколирование и печать результатов испытаний.

Глава 6. ШИНА PCI EXPRESS – ОСНОВА PXI EXPRESS

6.1. Базовые сведения о PCI Express

Современная архитектура соединения компонентов PCI Express соответствует требованиям 3GIO (3-Generation Input/Output – ввод-вывод 3-го поколения). Здесь шинное соединение устройств с параллельным

интерфейсом заменено последовательными двухточечными соединениями через коммутаторы. В этой архитектуре сохраняются многие программные черты шины PCI, что обеспечивает плавный переход от PCI к PCI Express. В архитектуре появились новые возможности: управление качеством обслуживания (Quality of Service, QoS), потреблением и бюджетом связей.

Спецификация PCI Express Base Specification (Revision 1.0a) опубликована в апреле 2003 г. Протокол PCI Express характеризуется малыми накладными расходами и малыми задержками выполнения транзакций.

PCI Express позиционируется как универсальная архитектура ввода-вывода для компьютеров разных классов, телекоммуникационных устройств и встроенных систем. Высокая пропускная способность достигается при соизмеримой по сравнению с PCI цене и даже ниже. Сфера применения – от соединений между микросхемами на плате до межплатных разъемных и кабельных соединений. Высокая пропускная способность на один контакт соединения позволяет минимизировать число таких контактов. Малое число сигнальных линий позволяет применять малогабаритные конструктивы. Универсальность дает возможность использования единой программной модели для всех применений. В приложении приведено описание модуля цифрового ввода-вывода.

6.2. Элементы и архитектура соединений PCI Express

Соединение PCI Express (PCI Express Link) – это пара встречных симплексных каналов, соединяющих два компонента. По этим каналам передаются *пакеты*, несущие команды и данные транзакций, сообщения и управляющие посылки.

Канал может быть образован одной или несколькими линиями передачи сигналов (Lane); применение нескольких линий позволяет масштабировать пропускную способность канала. В PCI Express с помощью пакетного протокола реализуются все транзакции чтения и записи, используемые в PCI, причем в расщепленном варианте (как в PCI-X). Таким образом, здесь фигурируют *запросчик* (requester) и *исполнитель* (completer) транзакции.

В PCI Express рассматриваются *четыре пространства*: памяти, ввода-вывода, конфигурационное и сообщений. Новое по сравнению с PCI *пространство сообщений* (message space) используется для передачи прерываний по линиям INTx, сигналов управления потреблением и т. п.

Порт *PCI Express* содержит передатчик, приемник и узлы, необходимые для сборки-разборки пакетов. Пример архитектуры средств ввода-вывода *PCI Express* приведен на рис. 6.1. Центральным элементом является *корневой комплекс* (root complex), соединяющий иерархию ввода-вывода с центром – процессором (одним или несколькими) и памятью. Корневой комплекс может иметь один и более портов *PCI Express*, каждый из этих портов определяет свой *домен иерархии* (hierarchy domain).

Каждый домен состоит из одной *конечной точки* (endpoint) или *субиерархии* – нескольких конечных точек, связанных коммутаторами. Наличие непосредственных одноранговых коммуникаций между элементами разных доменов обязательным не является, но может иметь место в конкретных реализациях. Для обеспечения прозрачных одноранговых коммуникаций в корневом комплексе должны присутствовать коммутаторы. Корневой комплекс должен генерировать запросы к конфигурационному пространству – его роль аналогична главному мосту *PCI*.

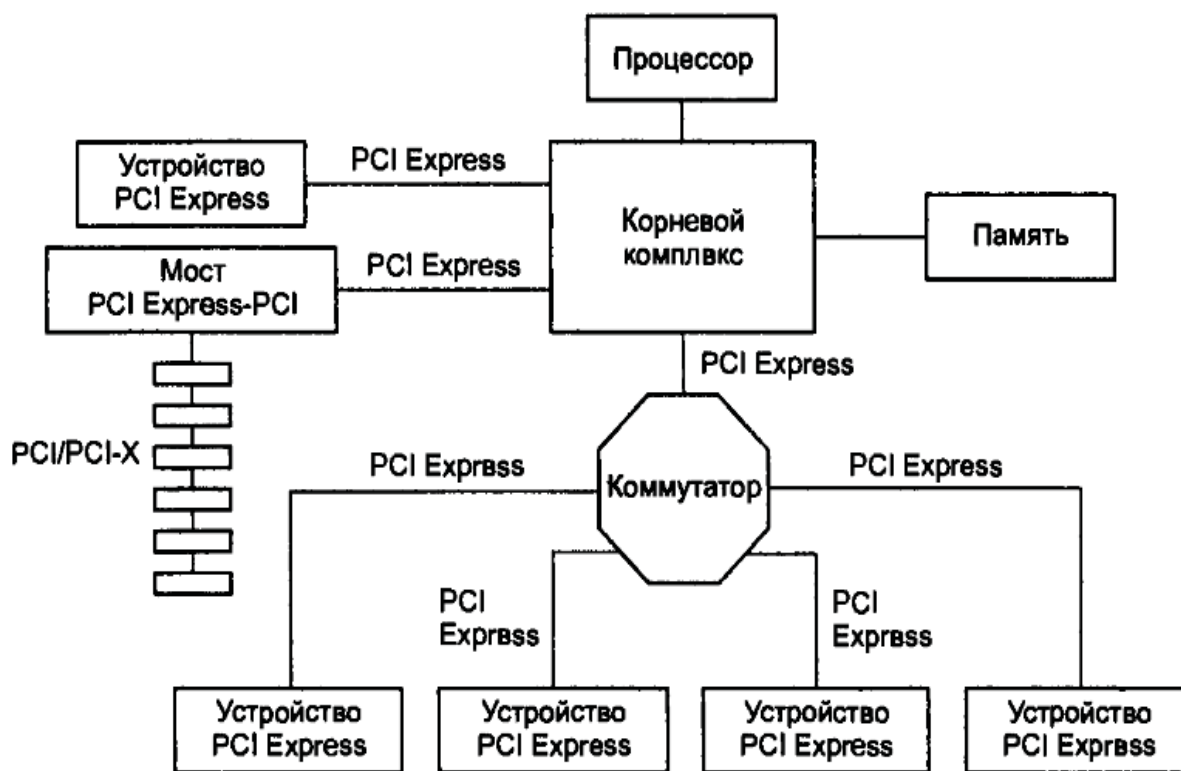


Рис. 6.1

Конечная точка – это устройство, способное инициировать и/или исполнять транзакции *PCI Express* от своего имени или от имени

устройства, не являющегося устройством PCI Express. Конечная точка должна быть видима в одном из доменов иерархии – представлять в нем свои конфигурационные регистры и отвечать как исполнитель на конфигурационные запросы. В PCI Express рассматриваются два типа конечных точек: «наследники» (legacy) и новые точки, построенные по идеологии PCI Express.

Коммутатор (switch) имеет несколько портов PCI Express. Логически он представляет собой несколько виртуальных мостов PCI-PCI, соединяющих порты коммутатора со своей локальной внутренней шиной. Однако тех издержек, которые вносят реальные мосты PCI, коммутатор не вносит. Он транслирует между портами пакеты, основываясь на адресной информации. Арбитраж между портами коммутатора может учитывать виртуальные каналы и соответственно взвешенно распределять пропускную способность. Коммутатор в отличие от мостов PCI не имеет права разбивать пакеты на более мелкие. *Мост PCI-Express-PCI* соединяет иерархию шин PCI/PCI-X с системой ввода-вывода. Все подключенные устройства отображаются в конфигурационном пространстве как устройства PCI со своим набором функций и конфигурационных регистров.

6.3. Уровневая модель PCI Express

Уровень транзакций (transaction layer) – верхний уровень, отвечающий за сборку и разборку *пакетов TLP* (Transaction Layer Packet – пакет уровня транзакций). Эти пакеты используются для транзакций чтения и записи, а также для сообщений о событиях некоторых типов. Каждый пакет TLP имеет уникальный идентификатор, который позволяет направить ответный пакет его отправителю. В TLP поддерживаются различные форматы адресации, зависящие от типов транзакций. Пакет может иметь атрибуты отмены слежения NS (No Snoor) и «расслабленной» упорядоченности RO (Relaxed Ordering). Каждая транзакция, требующая ответа, выполняется в виде расщепленной. Уровень транзакций отвечает и за управление потоком.

Канальный уровень (data link layer) отвечает за управление связью, обнаружение ошибок и организацию повторных передач вплоть до успеха или признания отказа соединения. К пакетам, полученным от уровня транзакций, канальный уровень добавляет свои заголовки (номера пакетов и контрольные коды). Канальный уровень является гене-

ратором и получателем *пакетов DLLP* (Data Link Layer Packet – пакет канального уровня), используемых для управления соединением.

Физический уровень (physical layer) изолирует канальный от всех подробностей передачи сигналов. Он состоит из двух субблоков. *Логический субблок* при передаче выполняет распределение данных по линиям, скремблирование, кодирование по схеме 8B/10B, кадрирование и преобразование в последовательный код. При приеме выполняются обратные действия. Символы, добавляемые при кодировании 8B/10B, используются для служебной сигнализации. Логический субблок отвечает и за согласование соединения, инициализацию и т. п. *Электрический субблок* отвечает за электрическое согласование, синхронизацию, обнаружение приемника.

Уровневая модель, принятая в PCI Express, позволяет, не затрагивая остальных уровней, сменить физический уровень или его субблоки, когда появятся более эффективные схемы кодирования и сигнализации. Интерфейс между физическим и канальным уровнями зависит от реализации этих компонентов и выбирается разработчиком. Интерфейс физического уровня четко специфицирован, что обеспечивает возможность соединения устройств разного происхождения. Для тестирования на соответствие электрическим параметрам достаточно подключить устройство PCI Express к специальному тестеру.

6.4. Программная совместимость, качество обслуживания и виртуальные каналы

Программная модель PCI Express совместима с PCI в следующих аспектах:

- обнаружение, нумерация и конфигурирование устройств PCI Express выполняется тем же конфигурационным ПО, что и в PCI (PCI-X 2.0);
- существующие ОС загружаются без каких-либо модификаций;
- драйверы устройств поддерживаются без каких-либо модификаций;
- конфигурирование и разрешение новых функциональных возможностей PCI Express выполняются в соответствии с PCI.

В PCI Express реализована поддержка разных классов *качества обслуживания* (QoS), что позволяет:

- выделять ресурсы соединения для потока каждого класса (виртуальные каналы);

- конфигурировать политику в соответствии с QoS для каждого компонента;
- указывать QoS для каждого пакета;
- создавать изохронные соединения.

Для поддержки QoS применяется маркировка трафика: каждый пакет TLP имеет 3-битное поле метки *класса трафика* (Traffic Class, TC). Это позволяет различать передаваемые данные по типам, создавать дифференцированные условия передачи трафика для разных классов. Порядок исполнения транзакций соблюдается в пределах одного класса, но не между разными классами. Для дифференцирования условий передачи трафика разных классов в коммутирующих элементах PCI Express могут создаваться виртуальные каналы.

Виртуальный канал (Virtual Channel, VC) представляет собой физически обособленные наборы буферов и средств маршрутизации пакетов, занятые обработкой только трафика данного виртуального канала. На основе номеров виртуальных каналов и их приоритетов производится арбитраж при маршрутизации входящих пакетов. Каждый порт, поддерживающий виртуальные каналы, отображает пакеты определенных классов на соответствующие виртуальные каналы. При этом на один канал может отображаться произвольное число классов. По умолчанию весь трафик маркируется нулевым классом (TC0) и передается дежурным каналом (VC0). Виртуальные каналы вводятся по мере необходимости.

6.5. Сигнализация прерываний и управление энергопотреблением

Основной метод *сигнализации прерываний* в PCI Express – передача сообщений (MSI), причем с 64-битной адресацией (32-битная разрешена только для «наследных» устройств). Однако ради обеспечения программной совместимости устройство может использовать и эмуляцию прерываний через INTx#, передавая эти запросы с помощью специальных пакетов. Получателем пакетов сигнализации прерываний (как MSI, так и эмуляции INTx#) обычно является контроллер прерываний, расположенный в корневом комплексе.

Синхронизации можно добиваться теми же средствами, что и в PCI/PCI-X, – чтением пакетов (пусть даже нулевой длины) через коммутатор (мост).

Сигнализация событий управления энергопотреблением возможна

в двух вариантах: пакетная эмуляция сигнала PME# (аналогично эмуляции INTx#) и естественная сигнализация PCI Express с помощью соответствующих сообщений. При эмуляции PME# идентификация источника сигнала выполняется последовательным чтением конфигурационных регистров устройств, способных генерировать этот сигнал. Естественная сигнализация гораздо удобнее, так как идентификатор устройства-источника присутствует в сообщении.

Расширенное *управление энергопотреблением* (Power Management, PM) обеспечивает возможности:

- идентификации способностей к PM каждой функции;
- перевода функции в указанное состояние потребления;
- получения информации о текущем состоянии потребления функции;
- генерации запроса пробуждения при выключенном основном питании;
- последовательного включения устройств.

6.6. «Горячее» подключение

«Горячее» подключение и замена устройств могут выполняться с использованием как существующих механизмов (PCI Hot-Plug и Hot-Swap), так и естественных механизмов PCI Express, не требующих дополнительных сигналов. Ниже перечислены элементы стандартной модели «горячего» подключения:

- индикатор питания слота – запрещает извлечение/установку карты (мигание указывает на процесс перехода в обесточенное состояние);
- индикатор внимания – указывает на проблемы, связанные с устройством в данном слоте (мигание индикатора служит для поиска нужного слота);
- ручной фиксатор карты;
- датчик состояния ручного фиксатора – позволяет системному ПО обнаружить открытый замок;
- электромеханическая блокировка – не позволяет извлекать карту при включенном питании (сигнала управления не предусмотрено);
- кнопка «Внимание» (Attention) – служит для запроса операции «горячего» подключения;
- программный интерфейс пользователя – позволяет запросить «горячее» подключение;

- система нумерации слотов – дает возможность визуально определить требуемый слот.

6.7. Надежность передачи и целостность данных

Для обеспечения *надежности транзакций и целостности данных* применяется CRC-контроль всех транзакций и управляющих пакетов. Запросчик считает транзакцию выполненной по получении подтверждающего сообщения от исполнителя (подтверждение отсутствует только для записей, отправленных в основную память). Обработка ошибок в минимальном варианте аналогична PCI, причем обнаруженные ошибки отображаются в конфигурационных регистрах функций (в регистре состояния). Расширенные возможности сообщений об ошибках дают исходную информацию для развитых процедур изоляции отказов и восстановления, а также мониторинга и регистрации (logging) ошибок. Ошибки делятся на три группы, что позволяет использовать адекватные процедуры восстановления:

- *исправимые* (correctable) ошибки автоматически вызывают аппаратную процедуру восстановления (повтора) и не требуют программного вмешательства для нормального исполнения транзакции;
- *неисправимые фатальные* (fatal) ошибки для надежного возобновления работы требуют сброса, в результате которого могут пострадать транзакции, не имеющие прямого отношения к ошибке;
- *неисправимые не фатальные* (non-fatal) ошибки не требуют сброса для возобновления работы – в результате этих ошибок могут быть потеряны лишь несколько транзакций, затронутых ошибкой.

6.8. Передача пакетов и пропускная способность

Уровень транзакций формирует пакеты TLP, в которых содержатся код команды, адресная информация, данные и некоторые другие поля. Для обеспечения надежной доставки пакетов TLP канальный уровень при передаче снабжает их своим *заголовком*, содержащим 12-битный последовательный номер TLP, и 32-битным полем LCRC (CRC канального уровня). Таким образом, канальный уровень к каждому пакету TLP добавляет 6 байт накладных расходов. На каждый пакет TLP передатчик должен получить *положительное подтверждение Ack* – пакет канального уровня (DLLP). Если подтверждение не приходит, то механизм тайм-аута заставляет передатчик повторить посылку пакета.

Предусмотрен и пакет *отрицательного подтверждения Nak*, вызывающий повторную передачу без ожидания.

Физический уровень вводит свое обрамление передаваемых пакетов: перед началом пакета передается специальный символ *STP* (для TLP-пакета) или *SDP* (для DLLP-пакета); после пакета – символ *END*. Эти специальные символы отличаются от символов, представляющих данные после кодирования 8В/10В. Рассмотрев структуры пакетов, можно оценить скорость базового соединения PCI Express (разрядность – 1 бит, скорость – 2,5 Гбит/с).

Самая короткая транзакция – запись двойного слова в пространство ввода-вывода. В прямом канале запись в порт занимает 128 нс (0,128 мкс), в обратном – $80 + 32 = 112$ нс. Максимальная скорость передачи данных при непрерывных записях в порт составит $V = 4/0,128 = 31,25$ Мбайт/с. При этом будет занят и встречный канал с коэффициентом загрузки $112/128 = 0,875$. Результат по скорости близок к возможностям стандартной шины PCI (32 бит и 33 МГц), в которой такая транзакция требует четырех тактов шины. Чтение портов ввода-вывода на PCI Express даст те же результаты (на PCI результат будет хуже).

Самый выгодный (по производительности) вариант транзакции – это запись в память пакета 1024 двойных слов (с короткой 32-битной адресацией). Здесь скорость передачи данных составляет $4096/16,5 = 248$ Мбайт/с – это уже уровень производительности PCI (32 бит и 66 МГц) при длинных пакетных передачах. Загрузка встречного канала подтверждениями канального уровня в этом случае пренебрежимо мала. Скорость чтения из памяти будет немного ниже, поскольку каждая транзакция чтения состоит из двух пакетов TLP – запроса чтения и пакета завершения с данными.

Если встречный канал загрузить полезным трафиком, то можно говорить об удвоении пропускной способности PCI Express за счет возможности работы в полнодуплексном режиме. Если пересчитать полезную скорость на один сигнальный контакт разъема, то в самом выгодном полнодуплексном варианте получаем $248 \times 2/4 = 124$ Мбайт/с на контакт.

Подсчеты производились для базового соединения (x1, 1 линия). Применяв интерфейс x32 (32 линии), можно получить максимальную скорость записи в память $248 \times 32 = 7936$ Мбайт/с.

Для полной загрузки полнодуплексного соединения PCI Express

(PCIe) может обеспечить суммарную пропускную способность 15872 Мбайт/с. Но говорить о малом числе контактов уже не приходится – канал PCI Express x32 потребует $2 \times 2 \times 32 = 128$ сигнальных контактов.

6.9. Физический уровень, конструктивы и сигналы PCIe

Физический уровень интерфейса допускает как электрическую, так и оптическую реализацию. *Базовое соединение электрического интерфейса* (x1) состоит из двух дифференциальных низковольтных сигнальных пар – передающей (сигналы PErp0, PErn0) и принимающей (PERp0, PERn0). В интерфейсе применена развязка передатчиков и приемников по постоянному току, что обеспечивает совместимость компонентов независимо от технологии их изготовления и снимает некоторые проблемы передачи сигналов.

Для передачи используется самосинхронизирующееся кодирование, что позволяет достигать высоких скоростей передачи. Базовая скорость – 2,5 Гбит/с (после кодирования 8B/10B) в каждую сторону. Спецификация рассматривает варианты соединений из 1, 2, 4, 8, 12, 16 и 32 каналов (обозначаются как x1, x2, x4, x8, x12, x16 и x32); передаваемые данные между ними распределяются побайтно. Таким образом, достижима скорость до $32 \times 2,5 = 80$ Гбит/с, что примерно соответствует пиковой скорости 8 Гбайт/с. Во время аппаратной инициализации в каждом соединении согласуются число линий и скорость передачи; согласование выполняется на низком уровне без какого-либо программного участия. Согласованные параметры соединения действуют на все время последующей работы.

Обеспечение «горячего» подключения на физическом уровне PCI Express не требует каких-либо дополнительных аппаратных затрат. Безопасная коммутация сигналов не требуется, возможности подключаемого устройства никак не влияют на режимы работы остальных устройств.

Малое число сигнальных контактов интерфейса дает большую свободу в выборе *конструктивных реализаций* PCI Express:

- соединение компонентов в пределах платы;
- слоты и карты расширения в конструктивах PC/AT и ATX;
- внутренние и внешние карты расширения мобильных ПК;
- модули для промышленных компьютеров;

- модули ввода-вывода для серверов и коммуникационной аппаратуры;
- разъемное подключение «дочерних» карт (mezzanine interface);
- кабельные соединения блоков.

Для карт расширения в конструктивах PC/AT и ATX предусматриваются разные модификации разъема слота PCI Express, различающиеся числом пар сигнальных линий (x1, x4, x8, x16) и соответственно размерами (рис. 6.2).

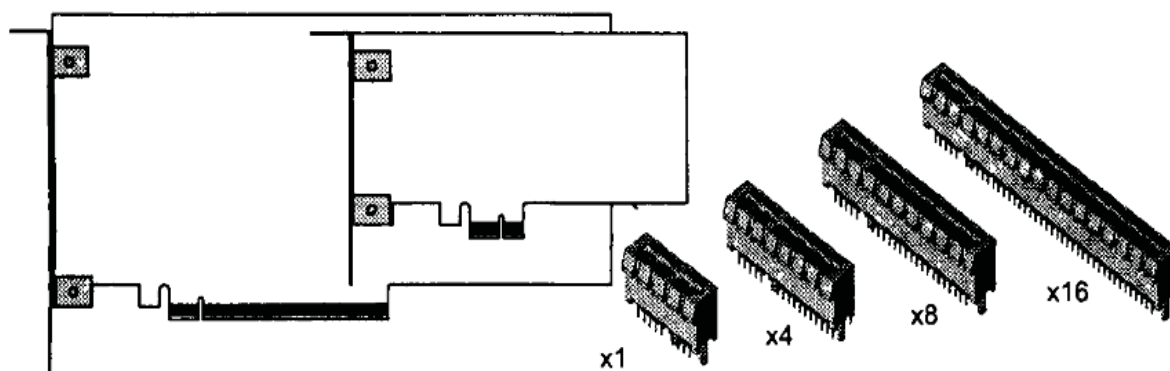


Рис. 6.2

В слоты большего размера можно устанавливать карты с разъемом того же размера (или меньшего – это называется *Up-plugging*). Однако противоположный вариант (*Down-plugging*) – установка большой карты в меньший слот – механически невозможен (в PCI/PCI-X возможен).

Основные сигналы PCI Express:

- PErp0, PErn0,..., PErp15, PErn15 – выходы передатчиков сигнальных пар 0...15;
- PERp0, PERn0, ... , PERp15, PERn15 – входы приемников;
- REFCLK+ и REFCLK- – сигналы опорной частоты 100 МГц;
- PERST# – сигнал сброса карты;
- WAKE# – сигнал «пробуждения»;
- PRSNT1#, PRSNT2# – сигналы обнаружения подключения-отключения карты для системы «горячего» подключения. На карте эти цепи соединяются между собой, причем для PRSNT2# выбирается контакт с самым большим номером.

Дополнительно имеются необязательные сигналы шины SMBus (SMB_CLK и SMB_DATA) и интерфейса JTAG (TCLK, TDI, TDO, TMS, TRST#).

С интерфейсом PCI Express удобно komponуются модули ввода-вывода и сетевых интерфейсов для серверов и коммуникационных устройств стоечного исполнения. При этом производительности интерфейса достаточно даже для таких критичных модулей, как Fibre Channel, Gigabit Ethernet (GbE), 10GbE.

Интерфейс PCI Express принимается и для промышленных компьютеров, для чего имеются спецификации PICMG 3.4 (малогабаритные конструктивы для x1, x2 и x4), а также конструктивы в формате Compact PCI.

Интерфейс PCI Express существует и в *кабельном исполнении* для кабельных соединений блоков, находящихся на небольшом удалении друг от друга. Возможность вывода интерфейса системного уровня за пределы корпуса компьютера из предшественников PCI Express поддерживала только шина ISA и то лишь при низких скоростях обмена (на частотах до 5 МГц).

Глава 7. ПЛАТФОРМА PXI EXPRESS

7.1. Базовые сведения о PXI Express

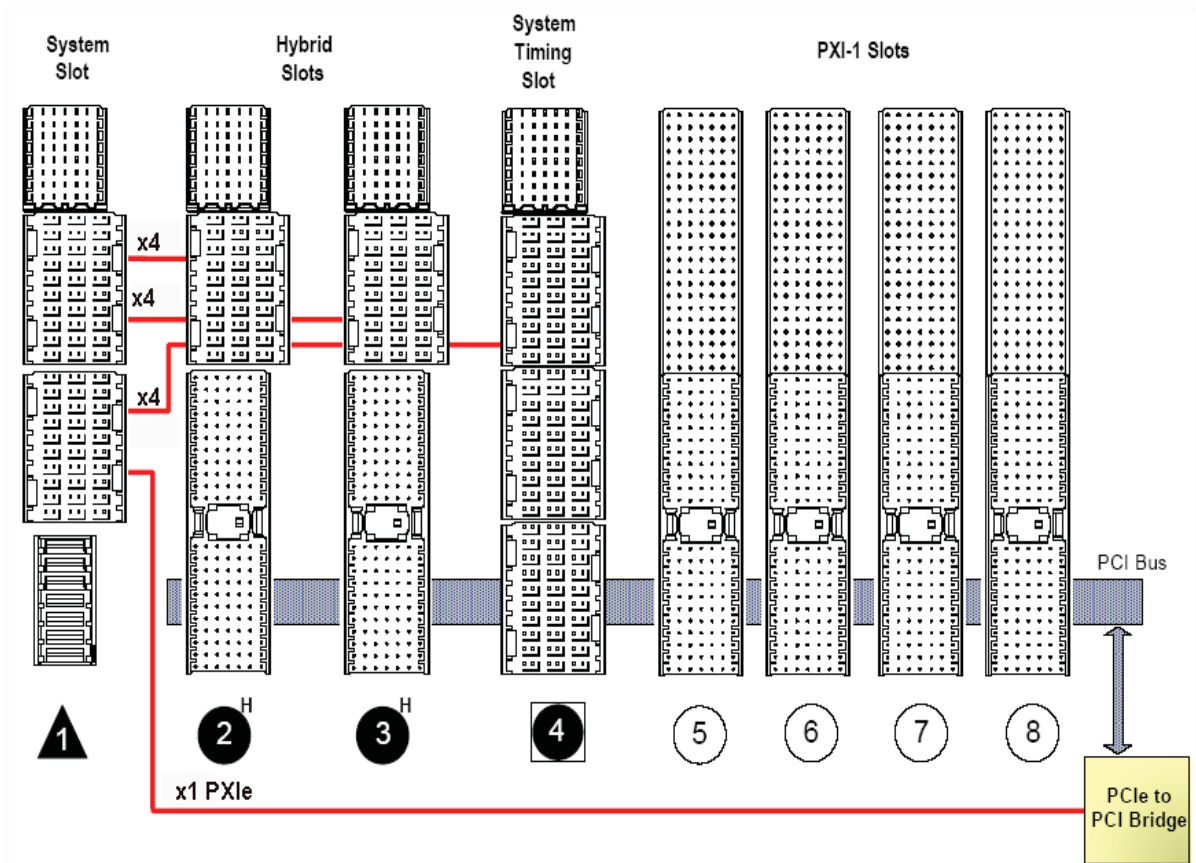
Промышленный стандарт для приборов PXI Express (*PXI Express Hardware Specification*) предлагает новый уровень возможностей тактирования и синхронизации. Он базируется на современной архитектуре соединения компонентов *PCI Express* (PCIe).

Архитектура систем *PXI Express* (PXIe) разнообразна. На рис. 7.1 приведена схема соединений для 8-слотового корпуса, содержащего системный слот контроллера PXIe, два гибридных слота PXIe, системный таймерный слот PXIe (тактирования и синхронизации), а также четыре периферийных слота шины PXI-1.

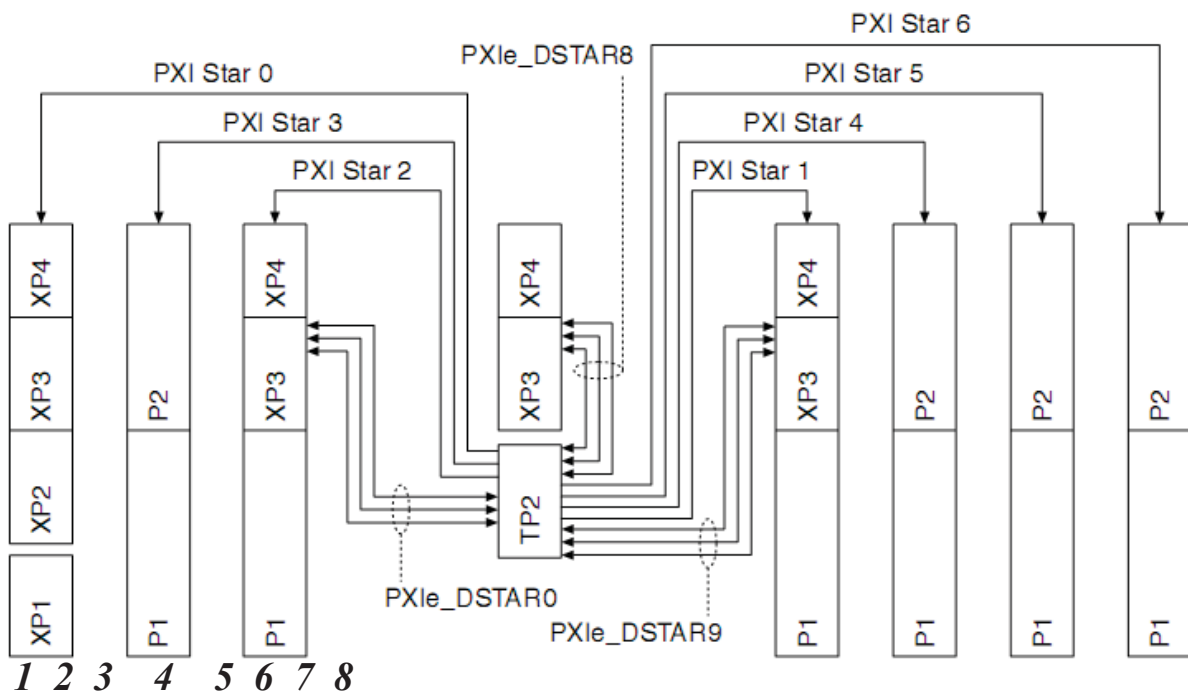
Системная плата PXIe, как правило, позволяет использовать в одном крейте PXI Express следующие приборы:

- 1) совместимые с PXI Express;
- 2) совместимые с CompactPCI системные контроллеры (4-Link);
- 3) совместимое с CompactPCI периферийное оборудование (Type 2);
- 4) периферийное оборудование PXI;
- 5) стандартные периферийные приборы CompactPCI.

Рассмотрим подробнее представленный на рис. 7.2 типовой вариант компоновки крейта со схемой соединения PXIe_DSTAR и PXI Star.



Puc. 7.1



Puc. 7.2

На рис. 7.2 обозначено:

- 1 – разъем системного контроллера;
- 2 – периферийный разъем;
- 3 – гибридный периферийный разъем;
- 4 – разъем тактирования;
- 5 – гибридный периферийный разъем;
- 2, 6 – 8 – периферийные разъемы.

Гибридные слоты расширения

В соответствии со стандартом PXI Express PXI-5 гибридными слотами являются 3 и 5. Они поддерживают следующие модули:

- 1) периферийное оборудование PXI Express с каналами x4 или x1 PCI Express;
- 2) периферийное оборудование CompactPCI Express Type-2 с каналами x4 или x1 PCI Express;
- 3) модуль периферийного оборудования, совместимый с гибридным стандартом PXI: вместо разъема J2 должен быть разъем XJ4, расположенный на месте восьми верхних рядов разъема J2. Периферийное оборудование PXI управляется по 32-битной шине PCI задней панели;
- 4) периферийное оборудование CompactPCI на 32-битной шине PCI задней панели.

Гибридные слоты расширения обеспечивают полную функциональность стандарта PXI Express, за исключением локальной шины PXI. Соединение с локальной шиной PXI в этих разъемах происходит только слева и справа.

В соответствии со стандартами CompactPCI Express и PXIExpress для системного контроллера используется слот 1 шасси с возможностями 4-Link (с каналами x4 PCI Express).

Периферийные слоты PXIe

Слоты 2, 6, 7 и 8 – это слоты расширения PXI, они поддерживают модули PXI и Compact PCI. Эти разъемы связаны с 32-битной шиной PCI. Они полностью поддерживают оборудование PXI, но функциональность PXI Express у них отсутствует. 64-битные сигналы PCI на разъеме P2 не реализованы.

Системный разъем тактирования

Тактирующим является слот 4. Он поддерживает следующее оборудование:

- 1) модуль тактирования PXI Express с каналом x4 или x1 PCI Express;
- 2) периферийное оборудование PXI Express с каналом x4 или x1 PCI Express;
- 3) периферийное оборудование CompactPCI Express Type-2 с каналом x4 или x1 PCI Express.

Три выделенных дифференциальных пары (PXIe_DSTAR) соединяют разъем TP2 с XP3 каждого слота расширения. Также есть обратное соединение разъема системного тактирования с разъемом XP3. Схема соединения была приведена на рис. 7.2. Пары PXIe_DSTAR используются для высокоскоростного тактирования и синхронизации. Допустимые задержки представлены в табл. 7.1 и 7.2. Триггер с несимметричным выходом (PXI Star) слота системного тактирования соединен с каждым слотом.

Таблица 7.1

Линии PXI Star Trigger	
Максимальная задержка между модулями	250 пс
Характеристический импеданс	65 Ом ± 10 %

Таблица 7.2

Дифференциальные линии радиального запуска PXIE-DSTARA, PXIE-DSTARB, PXIE-DSTARC	
Максимальная задержка между модулями	150 пс
Максимальная дифференциальная задержка	25 пс
Импеданс задней панели	100 Ом ± 10 %

Контакт PXI_CLK10_IN предназначен для синхронизации системы с тактовым сигналом 10 МГц. Контакт PXIe_SYNC_CTRL предназначен для управления тактированием PXIe_SYNC100.

7.2. Локальная шина PXIe

Схема соединения шины синхронизации и локальной шины приведена на рис. 7.3.

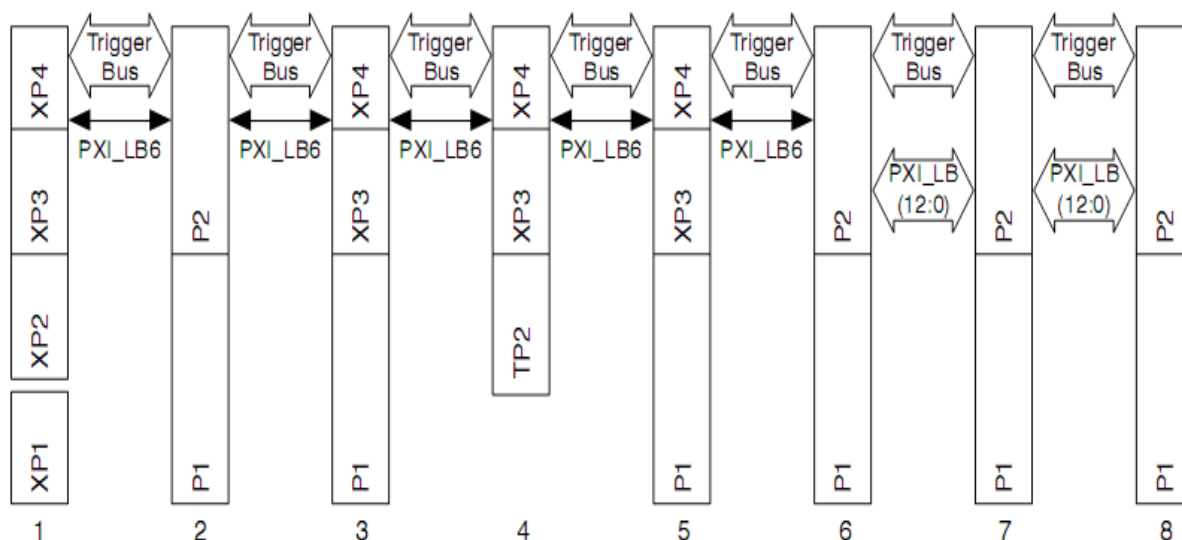


Рис. 7.3

Локальная шина PXI соединяет каждый слот расширения с соседними. Полная 13-канальная локальная шина PXI связывает соседние разъемы PXI (6, 7 и 8), а локальная шина PXI типа 6 – все остальные слоты. Левое соединение локальной шины слота 1 и правое соединение слота 8 не связаны ни с чем. По шине могут передаваться как высокоскоростные цифровые сигналы TTL, так и аналоговые сигналы амплитудой до 42 В.

Чтобы определить совместимость модулей с локальной шиной, программа инициализации обращается к настройкам каждого соседнего слота расширения.

7.3. Шина синхронизации PXIe

Для всех разъемов доступно 8 линий синхронизации. Существует несколько способов их использования. Например, можно синхронизировать работу периферийных модулей PXI. В других приложениях один модуль может задавать строгие временные последовательности для задач других модулей. Оборудование может передавать сигналы другим модулям для точного отклика на случайные события, которые должны управлять работой системы.

Задающий генератор тактовой частоты

В шасси PXIe-1062Q сигналы тактирующего генератора 10 МГц (PXI_CLK10) доступны каждому слоту расширения, а сигналы PXIe_CLK100 и PXIe_SYNC100 – гибридным и слоту тактирования.

Сигнал PXI_CLK10 любого слота расширения формируется неза-

висимым буфером. Погрешность синхронизации модулей не превышает 250 пс. Этот сигнал предназначен для синхронизации различных модулей системы управления или измерения.

Схема PXI_CLK10, PXIe_CLK100 и PXIe_SYNC100 приведена на рис. 7.4. Сигналы PXIe_CLK100 и PXIe_SYNC100 для слота тактирования и гибридного управляются независимым буфером. Погрешность тактирования и синхронизации не превышает 100 пс.

На рис. 7.4 приняты обозначения:

1 – системный контроллер; 2, 6 – 8 – периферийный разъем; 3 – гибридный периферийный разъем; 4 – разъем тактирования; 5 – гибридный периферийный разъем.

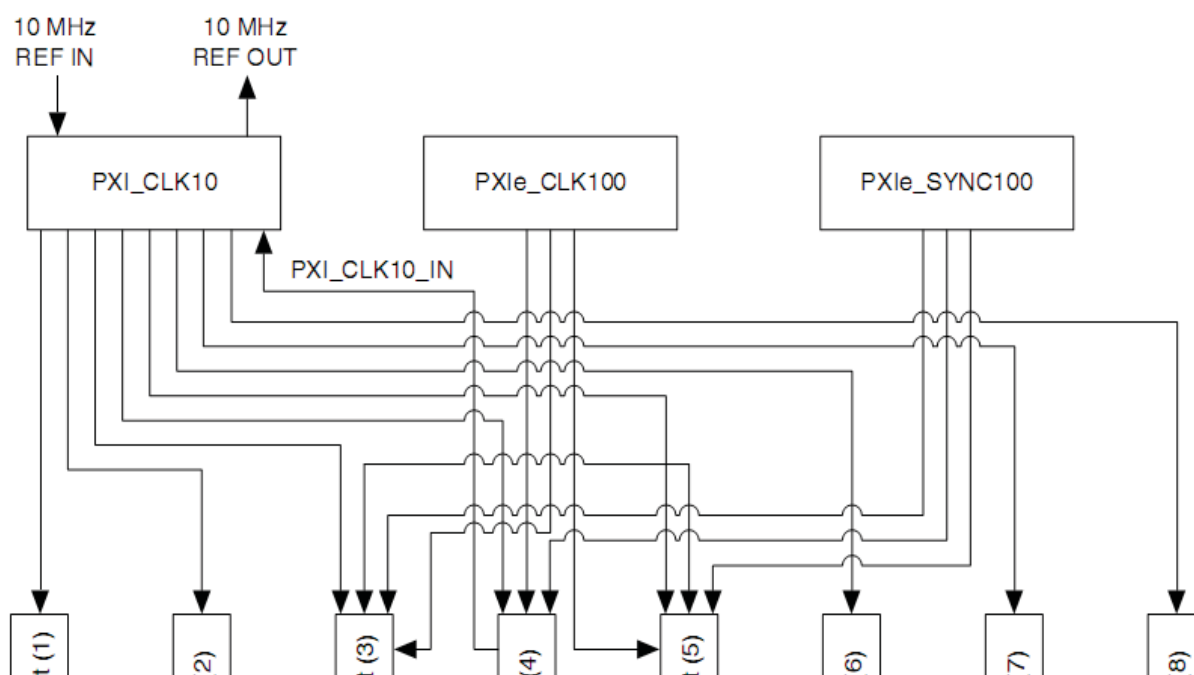


Рис. 7.4

Временные параметры системных тактовых сигналов PXI_CLK10, PXIe_CLK100 и PXIe_SYNC100 приведены в табл. 7.3-7.4 и на рис. 7.5.

Таблица 7.3

Тактовый генератор 10 МГц: PXI_CLK10	
Максимальная задержка между модулями	250 пс
Погрешность (в диапазоне температур)	$\pm 2,5 \cdot 10^{-5}$
Отклонение фронта	5 пс RMS (10 Гц – 1 МГц)
Амплитуда сигнала без нагрузки	$3,3 \pm 0,3$ В

Таблица 7.4

Тактовый генератор 100 МГц: PXIe_CLK100 и PXIe_SYNC100	
Максимальная задержка между модулями	100 пс
Погрешность (в диапазоне температур)	$\pm 2,5 \cdot 10^{-5}$
Отклонение фронта	3 пс RMS (10 Гц – 12 кГц); 2 пс RMS (12 кГц – 20 МГц)
Коэффициент заполнения PXIe_CLK100	45 – 55 %
Размах (нагрузка 50 Ом, источник 1,3 В)	400 – 1000 мВ

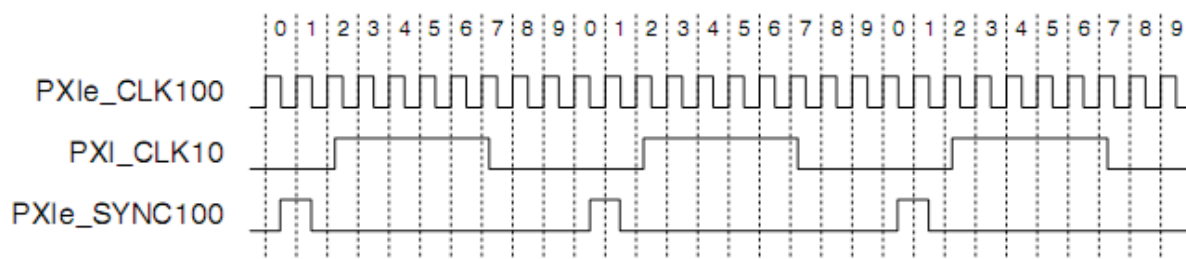


Рис. 7.5

Для синхронизации по внешнему генератору (табл. 7.5) нужно подключить PXI_CLK10_IN на системном разъеме тактирования к внешнему источнику. При обнаружении на этом контакте сигнала (табл. 7.6) с частотой 10 МГц происходит автоматическая фазовая синхронизация PXI_CLK10, PXIe_CLK100 и PXIe_SYNC100.

Таблица 7.5

Внешний источник	
Частота	10 МГц $\pm 1 \cdot 10^{-2}$ %
Входная амплитуда (BNC задней панели)	От 200 мВ до 5 В гармонический или прямоугольный сигнал

Таблица 7.6

Системный разъем тактирования	
PXI_CLK10_IN	5 или 3 В ТТЛ
Импеданс BNC задней панели	50 ± 5 Ом
Максимальная вносимая задержка	1 пс (10 Гц – 1 МГц)

Также можно подключить генератор с частотой 10 МГц к контакту 10 MHz REF IN на задней части шасси. При обнаружении на этом контакте генератора с частотой 10 МГц происходит автоматическая фазовая синхронизация PXI_CLK10, PXIe_CLK100 и PXIe_SYNC100.

Если генератор подключен к обоим контактам (PXI_CLK10_IN на системном разъеме тактирования и 10 MHz REF IN на задней части шасси), то основным будет первый. В табл. 7.7 объясняются правила выбора сигнала тактирования 10 МГц.

Сигнал PXI_CLK10 также выводится на контакт 10 MHz REF OUT задней части шасси (табл. 7.8).

Таблица 7.7

Правила выбора сигнала тактирования		
Внешний сигнал		Сигналы тактирования
PXI_CLK10_IN на системном разъеме	10 MHz REF IN на задней части шасси	PXI_CLK10, PXIe_CLK100 и PXIe_SYNC100
Отсутствует	Отсутствует	Внутренняя генерация тактовых импульсов
Отсутствует	10 МГц	Фазовая синхронизация PXI_CLK10, PXIe_CLK100 и PXIe_SYNC100 по 10 MHz REF IN
10 МГц	Отсутствует	Фазовая синхронизация PXI_CLK10, PXIe_CLK100 и PXIe_SYNC100 по PXI_CLK10_IN
10 МГц	10 МГц	Фазовая синхронизация PXI_CLK10, PXIe_CLK100 и PXIe_SYNC100 по PXI_CLK10_IN

Таблица 7.8

Выход синхронизации 10 МГц (BNC на задней панели шасси)	
Погрешность	$\pm 2,5 \cdot 10^{-5}$ (в рабочем температурном диапазоне)
Отклонение фазы	5 пс RMS (10 Гц – 1 МГц)
Выходная амплитуда	1 В \pm 20 % при нагрузке 50 Ом, 2 В без нагрузки
Выходной импеданс	50 \pm 5 Ом

Управляющий вход PXIe_SYNC_CTRL

По умолчанию PXIe_SYNC100 – импульс 10 нс синхронизирован с PXI_CLK10. Частота PXIe_SYNC100 равна $10/n$, где n – произвольное положительное целое число. По умолчанию $n = 1$ и импульсы следуют с частотой 100 нс. Задняя панель позволяет увеличить n программно.

При $n = 3$ период PXIe_SYNC100 будет равен 300 нс, но фазовая синхронизация с PXI_CLK10 сохранится. Этот множитель может принимать значения от 1 до 255. На системном разъеме тактирования есть управляющий контакт PXIe_SYNC_CTRL для режимов с $n > 1$. Временные параметры PXIe_SYNC100 с частотой 3,33 МГц с перезапуском по PXIe_SYNC_CTRL приведены на рис. 7.6.

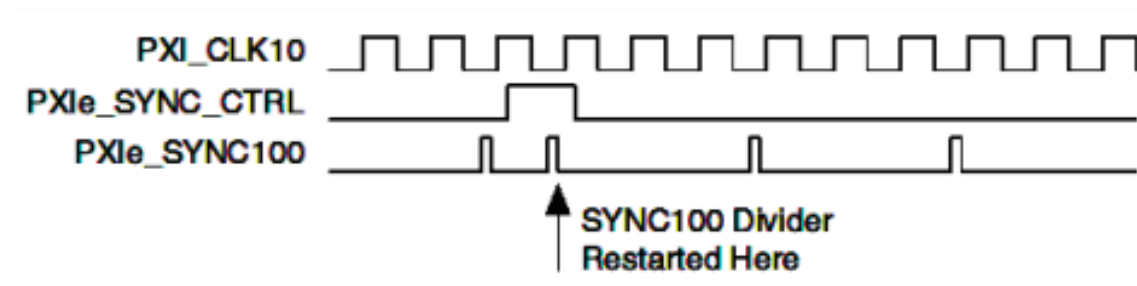


Рис. 7.6

По умолчанию логическая «1» (высокий уровень) на PXIe_SYNC_CTRL вызывает синхронный перезапуск сигнала PXIe_SYNC100. Он запускается по следующему фронту PXI_CLK10. Это способ позволяет обеспечить синхронизацию PXIe_SYNC100 на нескольких шасси между собой.

Глава 8. КОНФИГУРИРОВАНИЕ И ПРОГРАММИРОВАНИЕ СИСТЕМ PXIE

8.1. Настройка PXI Express в MAX

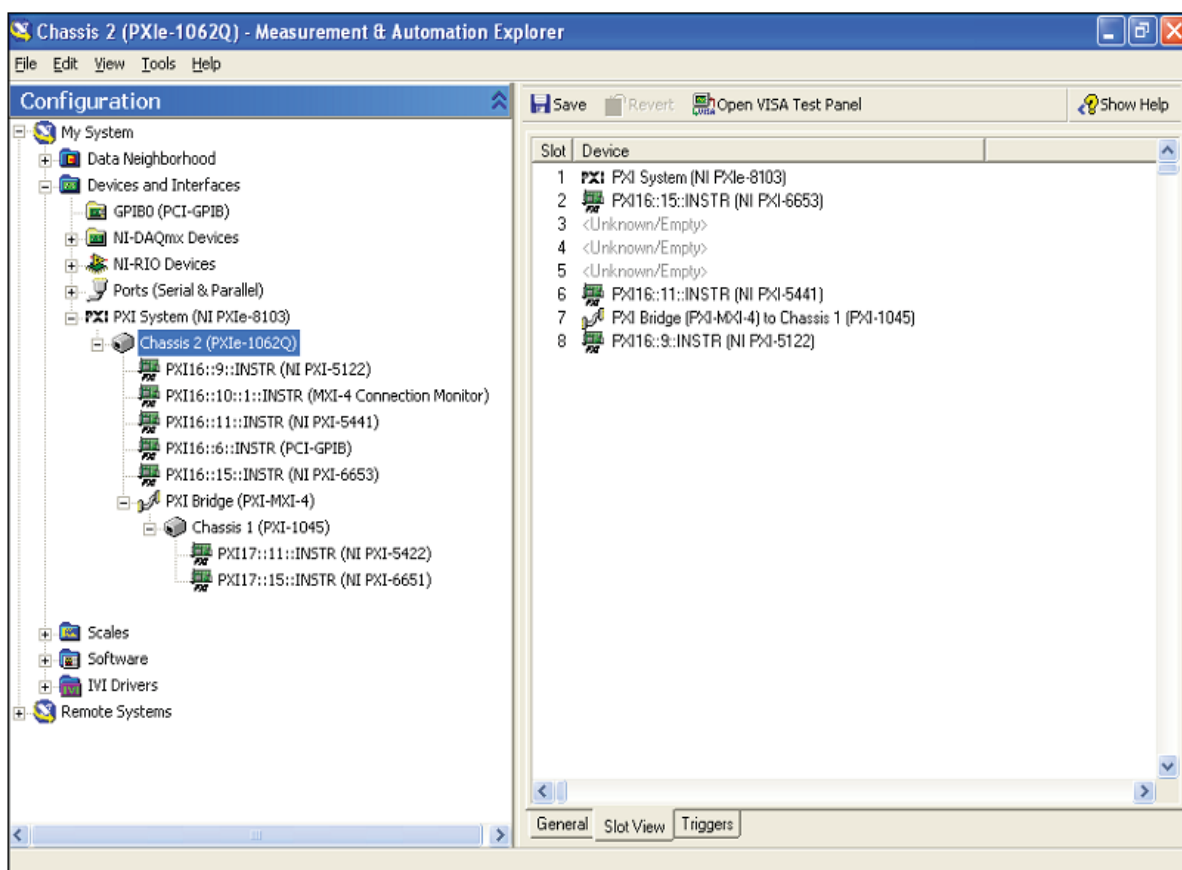
Программное обеспечение, включенное в комплект поставки шасси, автоматически определяет и создает файл автоконфигурации крейта и всех модулей `rxiesys.ini` с настройками компонентов системы. Для дополнительной настройки системы предназначен Measurement & Automation Explorer (MAX) из комплекта поставки системного контроллера (см. рисунок).

MAX создает файлы `rxiesys.ini` и `rxisys.ini` с параметрами реальной системы. Также в MAX создается интерфейс настройки и резервирования триггеров, благодаря которому в динамическом подключении, например, с помощью драйверов DAQmx, предотвращается двойное управление.

Процедуры настройки систем с одним или несколькими шасси не отличаются.

Настройка шасси PXI включает следующие шаги:

- 1) запускается программа MAX;
- 2) в списке **Configuration (Настройка)** выбирается пункт **Devices and Interfaces (Приборы и интерфейсы)**;
- 3) если системный контроллер PXI не был настроен, он обозначается как **PXI System (Unidentified) (Неопределенная система PXI)**. В контекстном меню системы выбирается правильный контроллер в подменю **Identify As (Определить как)**;
- 4) выбирается системный контроллер PXI. Шасси (одно или несколько) приведены в списке под ним. Определяется каждое шасси после выбора правильной модели в подменю **Identify As** контекстного меню;
- 5) в списках следующих уровней находятся все приборы, которые были найдены NI-VISA. После определения системного контроллера и всех шасси файл pxisys.ini готов.



8.2. Использование настроечных и системных файлов

Стандарт PXI поддерживает множество различных комбинаций

шасси и модулей. Для удобства интегрирования системы производители шасси обязаны предоставлять документацию с возможностями производимых продуктов. Эти файлы включаются в ПО обслуживания платформ PXI (PXI Platform Services) вместе с системным контроллером.

Минимальное описание модулей PXI-I находится в текстовых ASCII файлах *.ini. Они предназначены для системных интеграторов, программ настройки и драйверов приборов.

В файле инициализации крейта chassis.ini в MAX генерируется информация в соответствии с табл. 8.1.

Пример программирования:

```
# This example describe an 8-slot PXI Express chassis with two
# peripheral slots (slots 2-3), four hybrid slots (slots 4-7), and
# one PXI-1 slot (slots 8).
[ChassisI]
Model = "Example 8-Slot Chassis"
Vendor = "Example Chassis Vendor"
SerialNumber = "000038a2e941"
SlotList = 1,2,3,4,5,6,7,8
TriggerBusList = 1
StarSystemTimingSetList = 1
StarTriggerList = 1
```

Таблица 8.1

МНЕМОНИКА	Значение	Описание
Model	Строка кода модели	Идентификатор наименования модели
Vendor	Строка кода производителя	Идентификатор производителя шасси
SerialNumber	Строка серийного номера (13-byte) материнской платы	Относится к спецификации CompactPCI Express
SlotList	Упорядоченный список n , где целое число $n \geq 1$	Список слотов в шасси
TriggerBusList	Упорядоченный список n , где целое число $n \geq 1$	Список триггерных шин в шасси
StarSystemTimingSetList	Упорядоченный список n , где целое число $n \geq 1$	Список систем PXI Express для тактирования в шасси
StarTriggerList	Упорядоченный список n , где целое число $n \geq 1$	Список систем радиального запуска в шасси

Производитель контроллера предоставляет либо файл pxisys.ini для определенного шасси с контроллером, либо средство чтения произвольного файла chassis.ini и генерации файла pxisys.ini.

В файле инициализации системного слота pxisys.ini в MAX генерируется информация в соответствии с табл. 8.2.

Таблица 8.2

Мнемоника	Значение	Описание
MODEL	Строка кода модели	Идентификатор модели периферийного модуля PXI Express
Vendor	Строка кода производителя	Идентификатор производителя периферийного модуля PXI Express, установленного в слот
ModelInstance	n - целое число	Идентификатор уникальных свойств модуля PXI ($n \geq 1$)
SlotType	PXIeSystemSlot2Link или PXiSystemSlot4Link	Тип системного слота
SystemSlotLink-Width1	$n = 1, 4, 8$	Число коммутируемых каналов системного слота PCI Express Link Number 1
SystemSlotLink-Width2	$n = 1, 4, 8, 16$	Число коммутируемых каналов системного слота PCI Express Link Number 2
SystemSlotLink-Width3	$n = 0, 1, 4$	Число коммутируемых каналов системного слота PCI Express Link Number 3
ControllerModule-LinkWidth1	$n = 1, 4, 8$	Число коммутируемых каналов системного модуля PCI Express Link Number 1
ControllerModule LinkWidth2	$n = 1, 4, 8, 16$	Число коммутируемых каналов системного модуля PCI Express Link Number 2
ControllerModule LinkWidth3	$n = 0, 1, 4$	Число коммутируемых каналов системного модуля PCI Express Link Number 3

В табл. 8.3 и 8.4 представлены описания некоторых мнемоник при инициализации крейта и системного слота.

Таблица 8.3

Мнемоника	Описание вида слота крейта
PXIePeripheralSlot	Периферийный слот PXI Express
PXIeHybridSlot	Гибридный слот PXI Express
PXIeSystemTimingSlot	Системный слот тактирования PXI Express
PXI-1Slot	Слот по спецификации PXI-1

Таблица 8.4

Мнемоника	Описание системного слота
PXIESystemSlot2Link	Системный слот поддерживает два коммутируемых канала PCIe
PXIESystemSlot4Link	Системный слот поддерживает четыре коммутируемых канала PCIe

Пример программирования:

This example describe an 8-slot PXI Express chassis with two peripheral

slots (slots 2-3), four hybrid slots (slots 4-7), and one PXI-1 slot (slots 8).

```
y[Chassis1Slot1]
```

```
Model = "Example PXI Express System Model"
```

```
Vendor = "Example PXI Express System Vendor"
```

```
SlotType = PXIESystemSlot2Link
```

```
SystemSlotLinkWidth1 = 3
```

```
SystemSlotLinkWidth2 = 16
```

```
SystemSlotLinkWidth3 = 0
```

```
ControllerModuleLinkWidth1 = 1
```

```
ControllerModuleLinkWidth2 = 1
```

```
ControllerModuleLinkWidth3 = 0
```

В файле инициализации системы pxisys.ini в MAX генерируется информация по периферийным слотам в соответствии с табл. 8.5.

Пример инициализации системы:

The link width is x4, and a x1 PXI Express module is present.

```
[Chassis1Slot4]
```

```
Model = "Example PXI Express Model"
```

```
Vendor = "Example PCI Express Vendor"
```

```
ModelInstance = 1
```

```
PCIBusNumber = 2
```

```
PCIDeviceNumber = 19
```

```
LocalBusLeft = None
```

```
LocalBusRight = Chassis1Slot5
```

```
SlotType = PXIEPeripheralSlot
```

```
SystemSlotLinkOrigin1 = 1
```

```
SystemSlotLinkOrigin2 = 0
```

PeripheralSlotLinkWidth1 = 4
PeripheralSlotLinkWidth2 = 0
PeripheralModuleLinkWidthMax = 1
PeripheralModuleLinkWidthNegotiated = 1

Таблица 8.5

Мнемоника	Значение	Описание
Model	Строка кода модели	Идентификатор наименования модели периферийного модуля PXIe
Vendor	Строка кода производителя	Идентификатор производителя периферийного модуля PXIe
ModelInstance	n – целое число	Идентификатор уникальных свойств модуля PXI ($n \geq 1$)
SlotType	PXIePeripheralSlot PXIeHybridSlot PXIeSystemTimingSlot PXI-1Slot	Тип слота: периферийный, гибридный, системного тактирования или PXI-1
SystemSlotLink- Origin1	n – целое число $0 \leq n \leq 4$	Указатель типа соединения с системным слотом напрямую, через мост или через коммутатор
SystemSlotLink- Origin2	n – целое число $0 \leq n \leq 4$	Указатель типа соединения с системным слотом через мост гибридного и PXI-1 слотов
PeripheralSlotLink Width1	$n = 0, 1, 4, 8$	Число коммутируемых каналов слота PCIe Link Number 1
PeripheralSlotLink Width2	$n = 0, 1, 4, 8, 16$	Число коммутируемых каналов слота PCIe Link Number 2
PeripheralModule- LinkWidthMax	$n = 0, 1, 4, 8, 16$	Указатель максимального числа каналов, поддерживаемых периферийным модулем
PeripheralModule- LinkWidthNegotiated	$n = 0, 1, 4, 8, 16$	Указатель номинального числа каналов, поддерживаемых периферийным модулем

Драйверы приборов и другое обслуживающее ПО считывает информацию о системе из файлов pxiesys.ini и pxisys.ini.

Системные контроллеры NI поставляются вместе с готовым файлом `pxisys.ini` для шасси NIPXIE-1062Q. Мнемоники установки системы тактирования представлены в табл. 8.6.

Таблица 8.6

Мнемоника	Значение	Описание
SystemTimingSlot	n – целое число, $n \geq 1$	Указатель номера слота системы тактирования
StarSystemTiming-Set n (n – целое число, $0 \leq n \leq 16$)	Упорядоченный список m , где m – целое число, $m \geq 1$	Указатель номера периферийного слота, требующего установки сигналов PXIe_DSTARA, PXIe_DSTARB, PXIe_DSTARC

Пример программного кода установки системы тактирования:

```
# This example describe an 8-slot PXI Express chassis with two
# peripheral module slots (2-3), four hybrid slots (4-7), and one
# PXI-1 slot (8).
# The system timing set controller slot is slot 4, and the system
# timing set mapping to each hybrid peripheral slot is described.
[Chassis1StarSystemTimingSet1]
```

```
SystemTimingSlot = 4
SystemTimingSet0 = 4
SystemTimingSet1 = 2
SystemTimingSet2 = 3
SystemTimingSet3 = 5
SystemTimingSet4 = 6
SystemTimingSet5 = 7
```

Мнемоники установки параметров системы радиального запуска представлены в табл. 8.7.

Пример установки системы радиального запуска

```
# This example describes an 8-slot PXI Express chassis with two
# peripheral slots (slots 2-3), four hybrid slots (slots 4-7), and
# one PXI-1 slot (slots 8).
The star trigger controller slot is slot 4.
[Chassis1StarTrigger1]
```

SystemTimingSlot = 4
 PXI_STAR0 = 1
 PXI_STAR1 = 2
 PXI_STAR2 = 3
 PXI_STAR3 = 5
 PXI_STAR4 = 6
 PXI_STAR5 = 7
 PXI_STAR6 = 8

Таблица 8.7

Мнемоника	Значение	Описание
SystemTimingSlot	n – целое число, $n \geq 1$	Указатель номера слота системы радиального запуска
PXI_STAR n (n – целое число, $0 \leq n \leq 16$ для каждой линии PXI радиального запуска)	Упорядоченный список m , где m – целое число, $m \geq 1$	Карта соединений линий PXI_STAR

8.3. Пример конфигурирования однокрейтовой системы

```

# This section describes a PXI Express system with one 8-slot chassis
[System]
ChassisList = 1
[Chassis1]
Model = "Example 8-Slot Chassis"
Vendor = "Example Chassis Vendor"
SerialNumber = " G00038a2e941"
SlotList = 1,2,3,4,5,6,7,8
TriggerBusList = 1
StarSystemTimingSetList = 1
StarTriggerList = 1

# The trigger bus spans each of the eight slots.
[Chassis1TriggerBus1]
SlotList = 1,2,3,4,5,6,7,8

# The system timing slot is slot 4, and the system
# timing set mapping to each hybrid peripheral slot is described.

```

[ChassisStarSystemTimingSet1]

SystemTimingSlot = 4

SystemTimingSet0 = 4

SystemTimingSet1 = 2

SystemTimingSet2 = 3

[ChassisStarTrigger1]

SystemTimingSlot = 4

PXI_STAR0 = 1

PXI_STAR1 = 2

PXI_STAR2 = 3

PXI_STAR3 = 5

PXI_STAR4 = 6

PXI_STAR5 = 7

PXI_STAR6 = 8

[ChassisSlot1]

Model = "Example PXI Express System Model"

Vendor = "Example PXI Express System Vendor"

SlotType = PXIeSystemSlot2Link

SystemSlotLinkWidth1 = 4

SystemSlotLinkWidth2 = 4

SystemSlotLinkWidth3 = 4

ControllerModuleLinkWidth1 = 1

ControllerModuleLinkWidth2 = 1

ControllerModuleLinkWidth3 = 1

[ChassisSlot2]

Model = "Example PXI Express Peripheral Model"

Vendor = "Example PXI Express Peripheral Vendor"

ModelInstance = 1

PCIBusNumber = 2

PCIDeviceNumber = 15

SlotType = PXIeHybridSlot

SystemSlotLinkOrigin1 = 1

SystemSlotLinkOrigin2 = 4

PeripheralSlotLinkWidth1 = 4

PeripheralSlotLinkWidth2 = 0

PeripheralModuleLinkWidthMax = 1

```

PeripheralModuleLinkWidthNegotiated = 1
[ChassisSlot3]
Model = "Example PXI Express Peripheral Model"
Vendor = "Example PXI Express Peripheral Vendor"
ModelInstance = 2
PCIBusNumber = 3
PCIDeviceNumber = 15
SlotType = PXIeHybridSlot
SystemSlotLinkOrigin1 = 2
SystemSlotLinkOrigin2 = 4
PeripheralSlotLinkWidth1 = 4
PeripheralSlotLinkWidth2 = 0
PeripheralModuleLinkWidthMax = 1
PeripheralModuleLinkWidthNegotiated = 1

```

```

.....
[ChassisSlot6]
Model = "Example PXI-1 Model"
Vendor = "Example PXI-1 Vendor"
ModelInstance = 2
PCIBusNumber = 5
PCIDeviceNumber = 14
LocalBusLeft = ChassisSlot5
LocalBusRight = ChassisSlot7
SlotType = PXI-1
SystemSlotLinkOrigin1 = 0
SystemSlotLinkOrigin2 = 4
[ChassisSlot7]
Model = "Example PXI-1 Model"
Vendor = "Example PXI-1 Vendor"
ModelInstance = 1
PCIBusNumber = 5
PCIDeviceNumber = 13
LocalBusLeft = ChassisSlot6
LocalBusRight = ChassisSlot8
SlotType = PXI-1
Slot SystemSlotLinkOrigin1 = 0
SystemSlotLinkOrigin2 = 4

```

Глава 9. КОНСТРУКЦИЯ КРЕЙТА PXIЕ

9.1. Основные характеристики крейта

Рассмотрим характеристики на примере шасси PXIe-1062Q:

- 1) полоса пропускания до 1 Гб/с на каждый слот PXI Express;
- 2) доступная мощность 353,9 Вт при температуре от 0 до 55 °С;
- 3) мощность охлаждения 30 Вт для каждого слота;
- 4) встроенный генератор 10 МГц с нестабильностью $\pm 25 \cdot 10^{-6}$;
- 5) низкий уровень шума: 43,6 дБ при температуре от 0 до 30 °С;
- 6) контроль температуры и скорости вращения вентилятора для поддержания уровня шума на минимально возможном уровне;
- 7) удаленное управление и контроль питания;
- 8) совместимость со стандартами PXI и CompactPCI;
- 9) системный разъем PXI Express для синхронизации крейтов.

На рис. 9.1 и 9.2 показаны основные элементы передней и задней панелей шасси NI PXIe-1062Q.

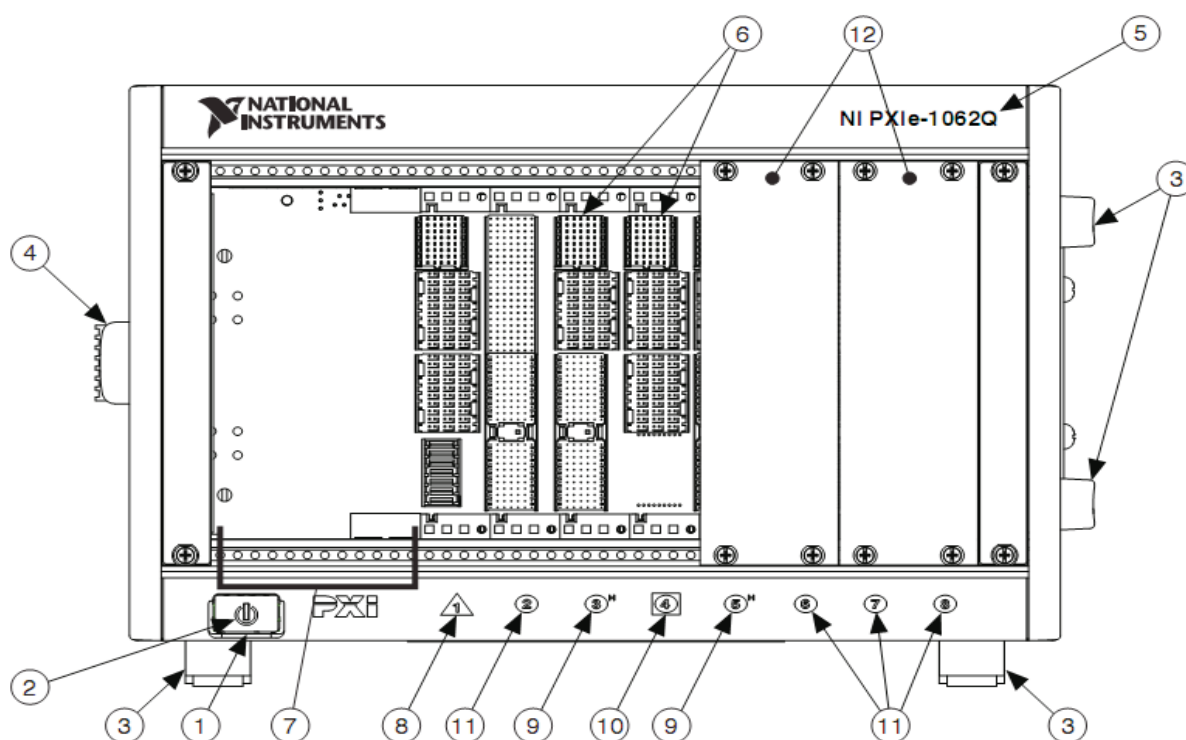


Рис. 9.1

В общем случае в крейте (шасси) может быть три дополнительные ячейки расширения, которые расположены слева от слота 1, чтобы

не занимать разъемы для периферийного оборудования, как это реализовано в шасси NI PXIe-1062Q (рис. 9.1).

Задняя панель шасси NI PXIe-1062Q (рис. 9.2) связывает разъем контроллера системы каналами x4 PCI Express со слотами 3, 4 и 5 и каналом x1 PCI Express мост преобразования PCIe в PCI. Этот мост разветвляется на каналы PCI к слотам 2, 3, 5, 6, 7 и 8. Разъем системного контроллера также связан с функциями PXIe: PXI_CLK10, PXI Star, шина синхронизации PXI и локальная шина PXI LB[x].

9.2. Описание крейта

На виде спереди обозначено:

- | | |
|-----------------------|-----------------------------------|
| 1) питание; | 7) дополнительные ячейки |
| 2) светодиод питания; | системного контроллера; |
| 3) съемная ножка; | 8) разъем системного контроллера; |
| 4) ручка переноски; | 9) разъемы гибридных модулей; |
| 5) модель шасси; | 10) разъем тактирования; |
| 6) разъемы системной | 11) периферийный разъем; |
| платы; | 12) фильтрующие панели. |

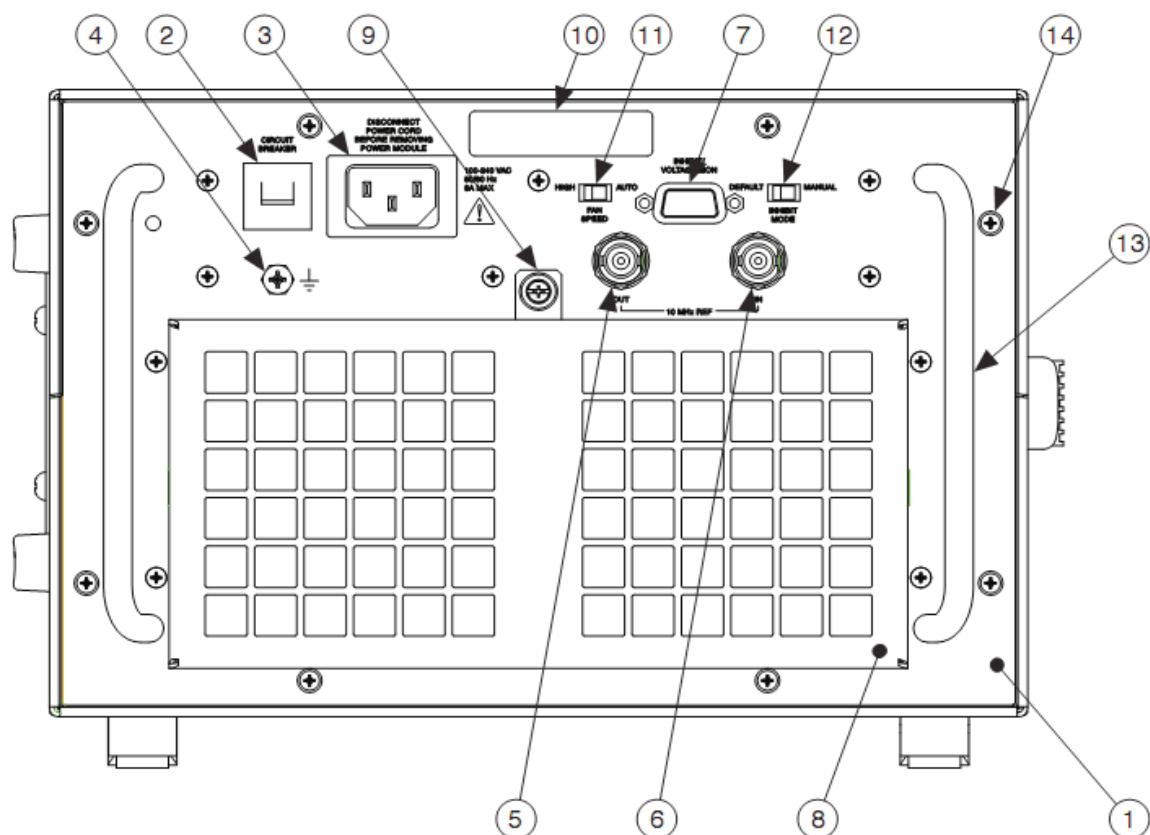


Рис. 9.2

На виде сзади обозначено:

- | | |
|----------------------------|---------------------------------|
| 1) блок модуля питания; | 8) держатель воздушного филь- |
| 2) автоматический выключа- | тра; |
| 3) универсальный разъем | 9) крепежный винт держателя |
| переменного тока; | воздушного фильтра; |
| 4) винт заземления; | 10) номер блока питания; |
| 5) 10 MHz REF OUT BNC; | 11) переключатель режима venti- |
| 6) 10 MHz REF IN BNC; | лятора; |
| 7) разъем удаленного | 12) переключатель режима пита- |
| управления питанием; | ния; |
| | 13) ручка блока питания; |
| | 14) крепление блока питания. |

Задние разъемы PXI_CLK10

На задней части шасси NI PXIe-1062Q расположено 2 BNC разъема PXI_CLK10 с метками IN (вход) и OUT (выход). Они предназначены для подключения внешнего генератора или передачи сигнала данного шасси другим.

Вентиляция

Основное выходное отверстие вентиляции находится в верхней части шасси. Основное входное отверстие находится в задней части шасси. Перед блоком питания входящий воздух фильтруется. Дополнительные отверстия вентиляции расположены по бокам шасси. Между шасси и окружающими предметами должно быть расстояние не менее 45 мм для вентиляции.

Расположение вентиляционных отверстий шасси NI PXIe-1062Q приведено на рис. 9.3, *а* и *б*, где обозначено: 1 – основной выходной вентилятор; 2 – воздушный фильтр; 3 – основной воздухозаборный вентилятор; 4 – дополнительные воздухозаборники.

Определение окружающей температуры

В режиме автоматической регулировки для определения скорости вращения вентилятора используется температура входящего воздуха. Поэтому окружающей считается температура рядом со входным отверстием вентиляции. Она может быть выше температуры помещения, если вокруг расположено оборудование или приток воздуха затруднен. Если температура превысит указанное значение, замигает светодиод питания.

Установка скорости вентилятора

Переключатель скорости вентилятора NI PXIe-1062Q находится на задней части шасси. Режим High – максимальная мощность охлаждения, режим Auto – минимально необходимая скорость для снижения шума. В режиме Auto скорость вращения определяется температурой входящего воздуха.

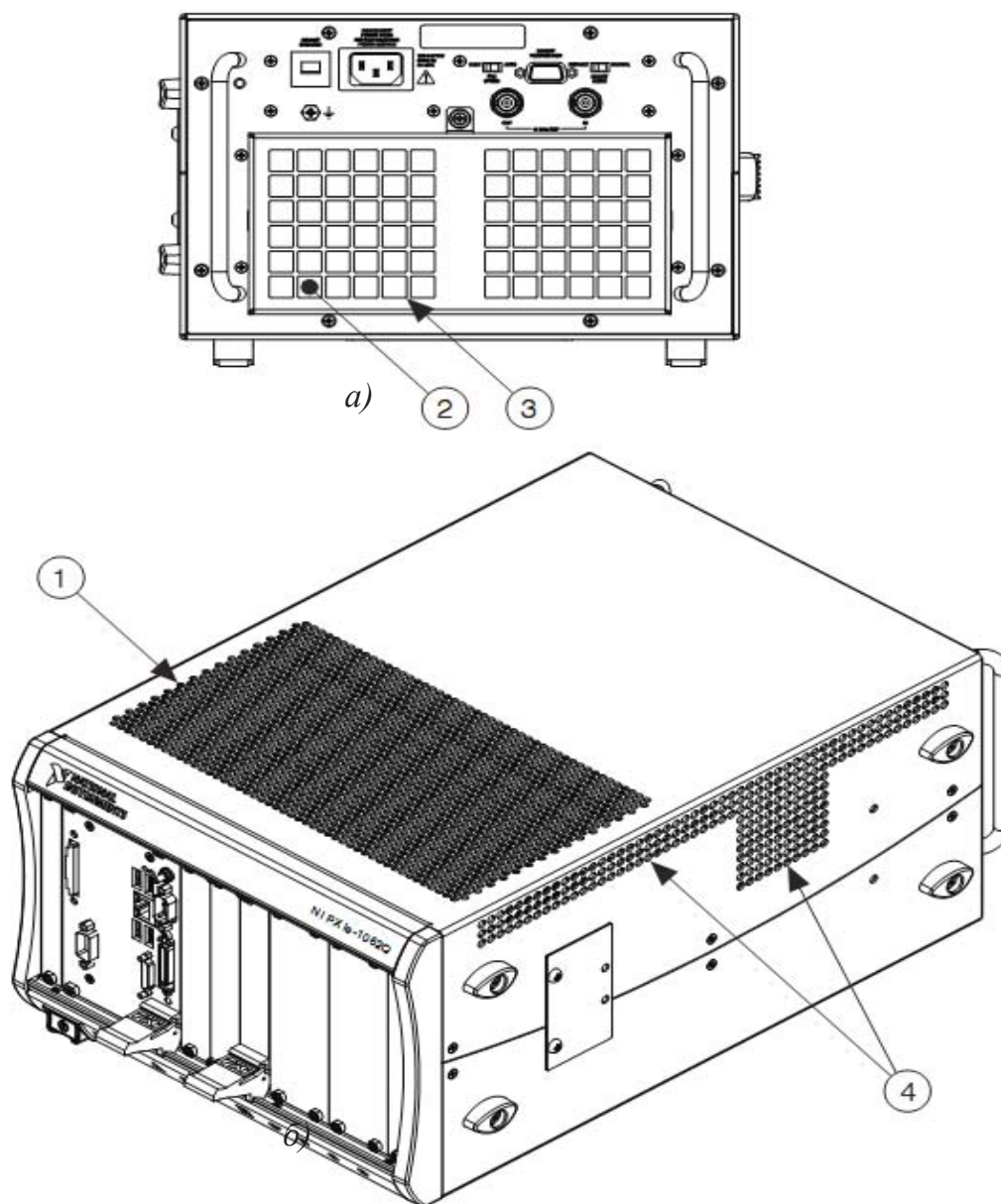


Рис. 9.3

9.3. Установка системного контроллера PXI Express

Для установки системного контроллера выполняются следующие действия.

1. Подключается кабель питания шасси PXI Express. Линия заземления кабеля питания защищает шасси от электрических повреждений при установке контроллера.

2. Устанавливается системный контроллер (разъем 1), направив печатную плату по обеим направляющим (сверху и снизу). Системный контроллер вставляется до упора так, чтобы фиксирующая рукоятка находилась в нижнем положении, как показано на рис. 9.4.

3. Подключается клавиатура, мышь и монитор к соответствующим разъемам. Устанавливаются приборы в соответствии с конфигурацией системы.

4. После включения питания следует убедиться, что системный контроллер загружается.

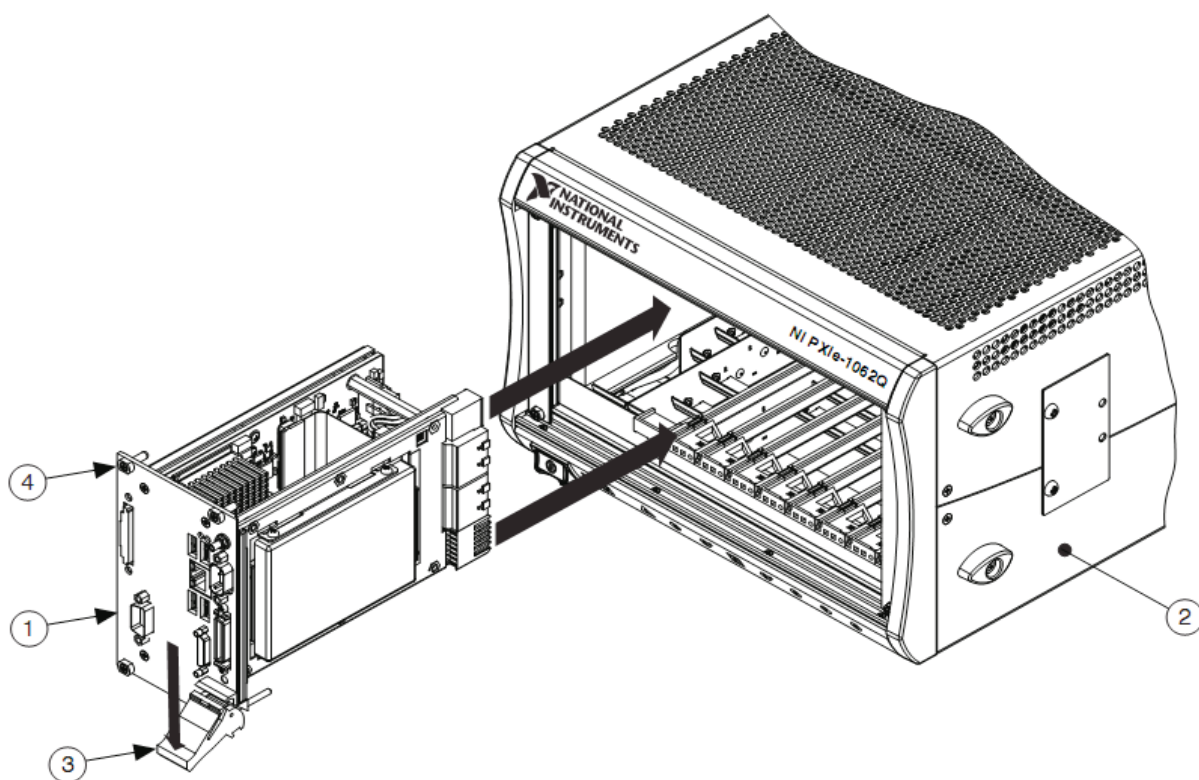


Рис. 9.4

На рис. 9.4 обозначено: 1 – системный контроллер; 2 – шасси NI PXIe-1062Q; 3 – фиксирующая рукоятка; 4 – винты фиксации передней панели контроллера.

9.4. Установка модулей расширения

Шасси NI PXIe-1062Q предназначено для различных модулей в зависимости от типа разъема. Для установки модулей расширения выполняются следующие действия.

1. Перед установкой модулей расширения подключается кабель питания шасси PXIe, так как линия заземления кабеля защищает шасси от электрических повреждений при установке модулей;

2. Устанавливается модуль расширения в разъем по направляющим сверху и снизу. Модуль вставляется до упора, чтобы фиксирующая ручка находилась в нижнем положении (рис. 9.5).

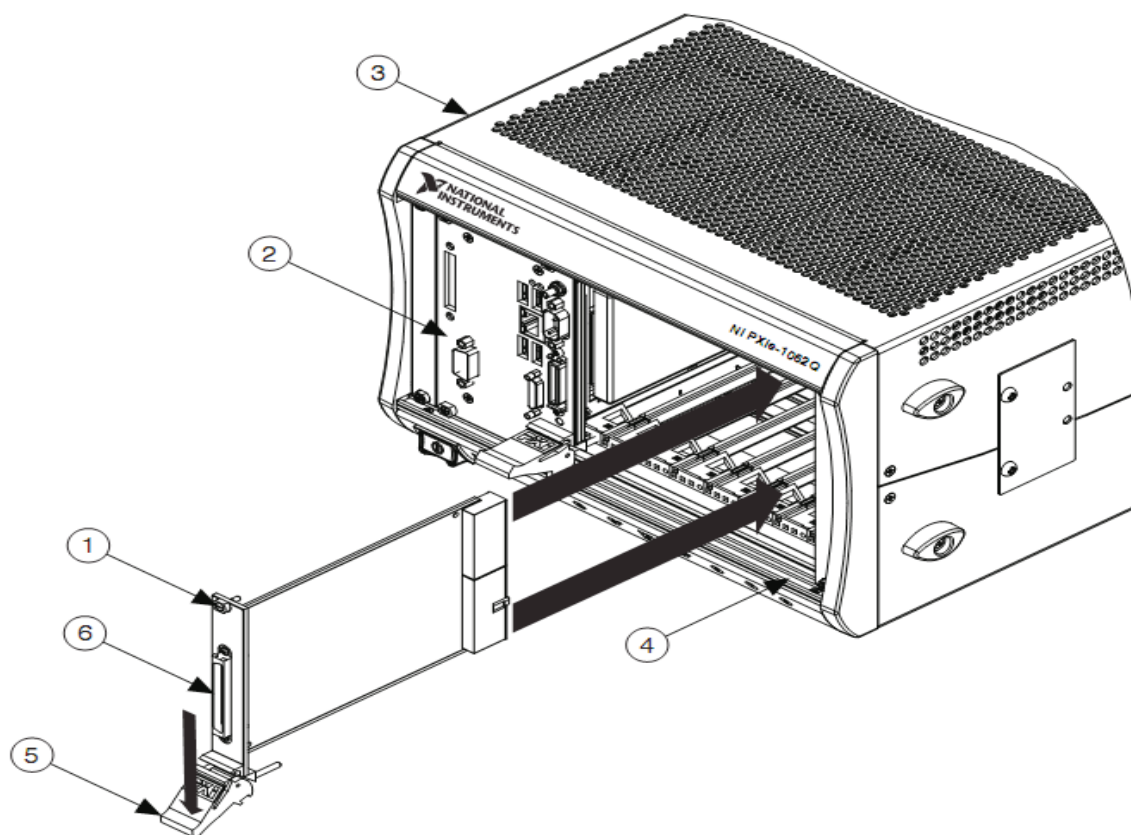


Рис. 9.5

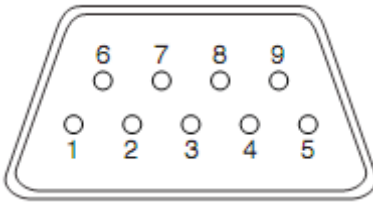
На рис. 9.5 обозначено: 1 – винты фиксации лицевой панели периферийного модуля; 2 – системный контроллер; 3 – шасси NI PXIe-1062Q; 4 – опорный рельс; 5 – фиксирующая ручка; 6 – периферийный модуль.

9.5. Удаленный контроль питания

В шасси NI PXIe-1062Q предусмотрено удаленное управление питанием с помощью разъема 9-pin D-SUB (DB-9), расположенного на задней части шасси. Назначение контактов приведено в табл. 9.1.

С помощью вольтметра можно контролировать напряжение питания шасси. Расположение и назначение контактов разъема 9-pin D-SUB задней панели шасси приведено в табл. 9.1.

Таблица 9.1

Назначение контактов разъема управления питанием			 <p>Вид со стороны контактов</p>
Pin	Сигнал	Допустимый диапазон, В	
1	G	0	
2	+5 В	От 4,75 до 5,25	
3, 7	Не используется	–	
4	+3,3 В	От 3,135 до 3,465	
5	Управление	–	
6	+12 В	От 11,4 до 12,6	
8	–12 В	От –12,6 до –11,4	
9	G	0	

9.6. Технические параметры шасси NI PXIe-1062Q

Максимальная суммарная мощность источников постоянного тока не превышает 345 Вт. Общая максимальная мощность 353,6 Вт.

Максимальная мощность, потребляемая в системном разъеме, не должна превышать 140 Вт. Максимальная мощность, потребляемая в периферийном разъеме, не должна превышать 30 Вт.

Параметры блока питания приведены в табл. 9.2 и 9.3.

Другие параметры крейта представлены в табл. 9.4 – 9.6.

Таблица 9.2

Входные характеристики переменного тока	
Диапазон входных напряжений	От 100 до 240 В
Допустимая частота	От 47 до 63 Гц
Входной ток (максимальный)	8 А
Защита от короткого замыкания	Предохранитель 10 А
Нестабильность 3,3 В	$<\pm 0,2 \%$
Нестабильность 5 В	$<\pm 0,1 \%$
Нестабильность ± 12 В	$<\pm 0,1 \%$
КПД	70 % (типичное)

Таблица 9.3

Выходные характеристики постоянного тока	
Напряжение, В	Максимальный ток, А
+3,3	26
+5	27
+12	19
–12	1,5
5	1,5

Таблица 9.4

Внешние условия эксплуатации	
Окружающая температура	0 – 55 °С. (В соответствии с IEC-60068-2-1 и IEC-60068-2-2. Удовлетворяет классу 3 по нижнему пределу температуры MIL-PRF-28800F и классу 2 по верхнему пределу температуры MIL-PRF-28800F)
Относительная влажность	10 – 90 %, отсутствие конденсата. (В соответствии с IEC-60068-2-56)

Таблица 9.5

Стойкость к механическим воздействиям	
Удар	30 г максимум, половина периода, импульс 11 мс. (В соответствии с IEC-60068-2-27. Удовлетворяет классу 2 MIL-PRF-28800F)
Вибрация регулярная и случайная	5 – 500 Гц, 0,3 г СКЗ. (В соответствии с IEC-60068-2-64. Тестовый профиль случайной вибрации превышает требования класса 3 MIL-PRF-28800F)

Таблица 9.6

Габаритные размеры крейта, дюйм (мм)	
Высота	6,97 (177,1)
Ширина	10,68 (271,4)
Глубина	15,61 (396,5)

Крейт удовлетворяет стандартам электромагнитной совместимости для измерительного, управляющего и лабораторного электрооборудования:

- EN 61326 EMC (минимальная защищенность);
- EN 55011 (излучения);
- CE, C-Tick, ICES и FCC.

На рис. 9.6 приведен вариант крепления крейта NI PXIe-1062Q в приборной стойке. Элементы крепежа в стойку устанавливаются на передней и/или задней панели шасси в зависимости от конфигурации рабочего места. Крепежные отверстия передней и задней панели симметричны. На рис. 9.6 обозначено: 1 – передние крепежи; 2 – шасси NI PXIe; 3 – дополнительные задние крепежи.

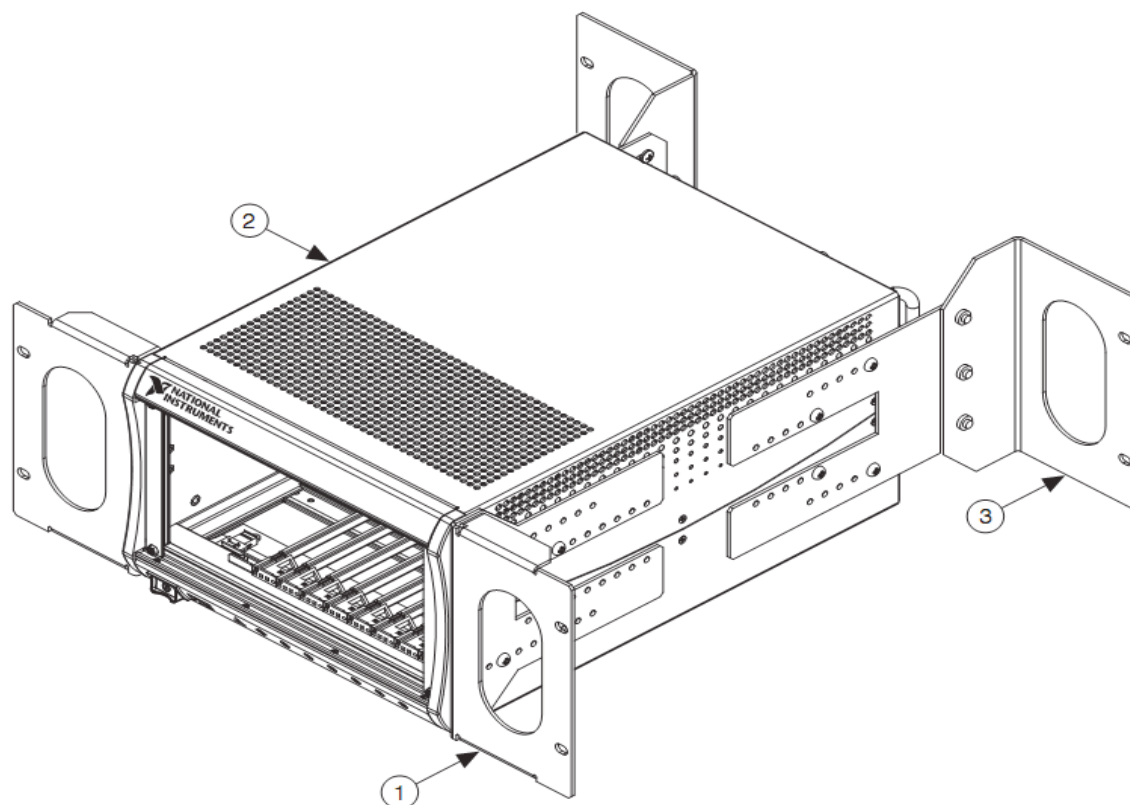


Рис. 9.6

Назначение контактов разъемов крейта представлено в табл. 9.7 – 9.16. Разъемы P1 и P2 периферийного слота приведены в табл. 4.6 и 4.7.

Таблица 9.7

Разъем XP2 системного контроллера									
Pin	A	B	ab	C	D	cd	E	F	ef
1	3PETp1	3PETn1	G	3PERp1	3PERn1	G	3PETp2	3PETn2	G
2	3PETp3	3PETn3	G	3PERp3	3PERn3	G	3PERp2	3PERn2	G
3	4PETp0	4PETn0	G	4PERp0	4PERn0	G	4PETp1	4PETn1	G
4	4PETp2	4PETn2	G	4PERp2	4PERn2	G	4PERp1	4PERn1	G
5	4PETp3	4PETn3	G	4PERp3	4PERn3	G	RSV	RSV	G
6	RSV	RSV	G	RSV	RSV	G	RSV	RSV	G

Окончание табл. 9.7

Разъем XP2 системного контроллера									
7	RSV	RSV	G	RSV	RSV	G	RSV	RSV	G
8	RSV	RSV	G	RSV	RSV	G	RSV	RSV	G
9	RSV	RSV	G	RSV	RSV	G	RSV	RSV	G
10	RSV	RSV	G	RSV	RSV	G	RSV	RSV	G

Таблица 9.8

Разъем XP3 системного контроллера									
Pin	A	B	ab	C	D	cd	E	F	Ef
1	RSV	RSV	G	RSV	RSV	G	RSV	RSV	G
2	RSV	RSV	G	PWR OK	PS ON#	G	LINKCAP	PWRBTN#	G
3	SMBDAT	SMBCLK	G	4RefClk+	4RefClk–	G	2RefClk+	2RefClk–	G
4	RSV	PERST#	G	3RefClk+	3RefClk–	G	1RefClk+	1RefClk–	G
5	1PETp0	1PETn0	G	1PERp0	1PERn0	G	1PETp1	1PETn1	G
6	1PETp2	1PETn2	G	1PERp2	1PERn2	G	1PERp1	1PERn1	G
7	1PETp3	1PETn3	G	1PERp3	1PERn3	G	2PETp0	2PETn0	G
8	2PETp1	2PETn1	G	2PERp1	2PERn1	G	2PERp0	2PERn0	G
9	2PETp2	2PETn2	G	2PERp2	2PERn2	G	2PETp3	2PETn3	G
10	3PETp0	3PETn0	G	3PERp0	3PERn0	G	2PERp3	2PERn3	G

Таблица 9.9

Разъем XP3 системного тактирования									
Pin	A	B	ab	C	D	cd	E	F	ef
1	PXle_CLK 100+	PXle_CLK 100–	G	PXle_ SYNC100+	PXle_ SYNC100–	G	PXle_D STARC+	PXle_D STARC–	G
2	PRSNT#	PWREN#	G	PXle_D STARB+	PXle_D STARB–	G	PXle_D STARA+	PXle_D STARA–	G
3	SMBDAT	SMBCLK	G	RSV	RSV	G	RSV	RSV	G
4	MPWRGD*	PERST#	G	RSV	RSV	G	1RefClk+	1RefClk–	G
5	1PETp0	1PETn0	G	1PERp0	1PERn0	G	1PETp1	1PETn1	G
6	1PETp2	1PETn2	G	1PERp2	1PERn2	G	1PERp1	1PERn1	G
7	1PETp3	1PETn3	G	1PERp3	1PERn3	G	1PETp4	1PETn4	G
8	1PETp5	1PETn5	G	1PERp5	1PERn5	G	1PERp4	1PERn4	G
9	1PETp6	1PETn6	G	1PERp6	1PERn6	G	1PETp7	1PETn7	G
10	RSV	RSV	G	RSV	RSV	G	1PERp7	1PERn7	G

Таблица 9.10

Разъем XP3 гибридного периферийного слота									
Pin	A	B	ab	C	D	cd	E	F	ef
1	PXle_CLK 100+	PXle_CLK 100–	G	PXle_ SYNC100+	PXle_ SYNC100–	G	PXle_D STARC+	PXle_D STARC–	G
2	PRSNT#	PWREN#	G	PXle_D STARB+	PXle_D STARB–	G	PXle_D STARA+	PXle_D STARA–	G

Разъем XP3 гибридного периферийного слота									
Pin	A	B	ab	C	D	cd	E	F	ef
3	SMBDAT	SMBCLK	G	RSV	RSV	G	RSV	RSV	G
4	MPWRGD	PERST#	G	RSV	RSV	G	1RefClk+	1RefClk-	G
5	1PETp0	1PETn0	G	1PERp0	1PERn0	G	1PETp1	1PETn1	G
6	1PETp2	1PETn2	G	1PERp2	1PERn2	G	1PERp1	1PERn1	G
7	1PETp3	1PETn3	G	1PERp3	1PERn3	G	1PETp4	1PETn4	G
8	1PETp5	1PETn5	G	1PERp5	1PERn5	G	1PERp4	1PERn4	G
9	1PETp6	1PETn6	G	1PERp6	1PERn6	G	1PETp7	1PETn7	G
10	RSV	RSV	G	RSV	RSV	G	1PERp7	1PERn7	G

Таблица 9.11

Разъем XP4 системного контроллера							
Pin	Z	A	B	C	D	E	F
1	G	GA4	GA3	GA2	GA1	GA0	G
2	G	5Vaux	G	SYSEN#	WAKE#	ALERT#	G
3	G	RSV	RSV	RSV	RSV	RSV	G
4	G	RSV	RSV	RSV	RSV	RSV	G
5	G	PXI TRIG3	PXI TRIG4	PXI TRIG5	G	PXI TRIG6	G
6	G	PXI TRIG2	G	RSV	PXI STAR	PXI CLK10	G
7	G	PXI TRIG1	PXI TRIG0	RSV	G	PXI TRIG7	G
8	G	RSV	G	RSV	RSV	PXI_LBR6	G

Таблица 9.12

Разъем XP4 системного тактирования							
Pin	Z	A	B	C	D	E	F
1	G	GA4	GA3	GA2	GA1	GA0	G
2	G	5Vaux	G	SYSEN#	WAKE#	ALERT#	G
3	G	12 V	12 V	G	G	G	G
4	G	G	G	3.3 V	3.3 V	3.3 V	G
5	G	PXI TRIG3	PXI TRIG4	PXI TRIG5	G	PXI TRIG6	G
6	G	PXI TRIG2	G	ATNLED	PXI_CLK10_IN	PXI_CLK10	G
7	G	PXI TRIG1	PXI TRIG0	ATNSW#	G	PXI TRIG7	G
8	G	PXIe_SYNC_CTRL	G	RSV	PXI_LBL6	PXI_LBR6	G

Таблица 9.13

Разъем XP4 гибридного периферийного слота							
Pin	Z	A	B	C	D	E	F
1	G	GA4	GA3	GA2	GA1	GA0	G
2	G	5Vaux	G	SYSEN#	WAKE#	ALERT#	G
3	G	12 V	12 V	G	G	G	G
4	G	G	G	3.3 V	3.3 V	3.3 V	G
5	G	PXI_TRIG3	PXI_TRIG4	PXI_TRIG5	G	PXI_TRIG6	G
6	G	PXI_TRIG2	G	ATNLED	PXI_STAR	PXI_CLK10	G
7	G	PXI_TRIG1	PXI_TRIG0	ATNSW#	G	PXI_TRIG7	G
8	G	RSV	G	RSV	PXI_LBL6	PXI_LBR6	G

Таблица 9.14

Разъем TP2 системного тактирования									
Pin	A	B	ab	C	D	cd	E	F	ef
1	PXIe_D STARC0+	PXIe_D STARC0–	G	PXIe_D STARC8+	PXIe_D STARC8–	G	PXIe_D STARB8+	PXIe_D STARB8–	G
2	PXIe_D STARA0+	PXIe_D STARA0–	G	PXIe_D STARC9+	PXIe_D STARC9–	G	PXIe_D STARA8+	PXIe_D STARA8–	G
3	PXIe_D STARB0+	PXIe_D STARB0–	G	NC	NC	G	PXIe_D STARA9+	PXIe_D STARA9–	G
4	NC	NC	G	PXI_ STAR0	PXI_ STAR1	G	PXIe_D STARB9+	PXIe_D STARB9–	G
5	NC	NC	G	PXI_ STAR2	PXI_ STAR3	G	NC	NC	G
6	NC	NC	G	PXI_ STAR4	PXI_ STAR5	G	NC	NC	G
7	NC	NC	G	PXI_ STAR6	NC	G	NC	NC	G
8	NC	NC	G	NC	NC	G	NC	NC	G
9	NC	NC	G	NC	NC	G	NC	NC	G
10	NC	NC	G	NC	NC	G	NC	NC	G

Таблица 9.15

Разъем P1 гибридного периферийного слота							
Pin	Z	A	B	C	D	E	F
25	G	5 V	REQ64#	ENUM#	3.3 V	5 V	G
24	G	AD[1]	5 V	V(I/O)	AD[0]	ACK64#	G
23	G	3.3 V	AD[4]	AD[3]	5 V	AD[2]	G
22	G	AD[7]	G	3.3 V	AD[6]	AD[5]	G
21	G	3.3 V	AD[9]	AD[8]	M66EN	C/BE[0]#	G
20	G	AD[12]	G	V(I/O)	AD[11]	AD[10]	G
19	G	3.3 V	AD[15]	AD[14]	G	AD[13]	G
18	G	SERR#	G	3.3 V	PAR	C/BE[1]#	G
17	G	3.3 V	IPMB SCL	IPMB SDA	G	PERR#	G
16	G	DEVSEL#	G	V(I/O)	STOP#	LOCK#	G
15	G	3.3 V	FRAME#	IRDY#	BD_SEL#	TRDY#	G
12–14	Key Area						
11	G	AD[18]	AD[17]	AD[16]	G	C/BE[2]#	G
10	G	AD[21]	G	3.3 V	AD[20]	AD[19]	G
9	G	C/BE[3]#	IDSEL	AD[23]	G	AD[22]	G
8	G	AD[26]	G	V(I/O)	AD[25]	AD[24]	G
7	G	AD[30]	AD[29]	AD[28]	G	AD[27]	G
6	G	REQ#	G	3.3 V	CLK	AD[31]	G
5	G	BRSVP1A5	BRSVP1B5	RST#	G	GNT#	G
4	G	IPMB PWR	HEALTHY#	V(I/O)	INTP	INTS	G
3	G	INTA#	INTB#	INTC#	5 V	INTD#	G
2	G	TCK	5 V	TMS	TDO	TDI	G
1	G	5 V	–12 V	TRST#	+12 V	5 V	G

Таблица 9.16

Разъем XP1 системного контроллера			
Pin	Сигнал	Pin	Сигнал
A	G	E	5 V
B	12 V	F	3.3 V
C	12 V	G	G
D	G		

ПРИЛОЖЕНИЕ

Модуль цифрового ввода-вывода

Модуль цифрового ввода-вывода NI PXIe/PCIe-6536/6537 работает с частотой дискретизации 25 или 50 МГц. Его основные характеристики представлены в приведенных ниже табл. П1 – П10.

На рис. П1 представлены временная диаграмма и параметры установления и занятости.

Таблица П1

Система тактирования		
Параметр	Значение	
Источники тактового сигнала	1. Встроенный генератор (опорный генератор с делителем частоты) 2. PXI_TRIG7 (PXI Express) 3. PXI_STAR (PXI Express) 4. PXIe_DSTARA (PXI Express)	
Опорный тактовый генератор	1. 200 МГц (встроенный генератор) 2. PXI_TRIG[0...6] (PXI Express) 3. PXIe_DSTARB (PXI Express)	
Диапазон частот встроенного генератора	NI 6536: от 48 Гц до 25 МГц Выбирается из: 200 МГц/ n ; n от 8 до 4,194,307 NI 6537: от 48 Гц до 50 МГц Выбирается из: 200 МГц/ n ; n от 4 до 4,194,307	
Разрешенные частоты тактового генератора	PXIe_DSTARA	PXI_TRIG 7 (только PXIe)
	NI 6536: 0 Гц – 25 МГц NI 6537: 0 Гц – 50 МГц	0 Гц – 25 МГц
Минимальная ширина тактового импульса	PXIe_DSTARA (PXIe)	PXI_TRIG 7 (только PXIe)
	8 нс	15 нс
Разрешенные диапазоны частот опорного тактового генератора	PXIe_DSTARA (PXIe)	PXI_TRIG 7 (только PXIe)
	NI 6536: 0 Гц – 25 МГц NI 6537: 0 Гц – 50 МГц	0 Гц – 25 МГц
Минимальная длина тактового импульса	PXIe_DSTARA (PXIe)	PXI_TRIG 7 (PXIe)
	6,5 нс	15 нс

Каналы PXI Express	
Параметр	Значение
Число каналов	32
Число триггерных каналов PXI	10 (PXI_TRIG 0...7, PXIe_DSTARB, PXIe_DSTARC). PXI_TRIG 7 в качестве входного триггера
Направленность триггерных каналов PXI	PXI_TRIG [0..7]: двунаправленное, поканальное. PXIe_DSTARB: однонаправленный ввод (PXIe). PXIe_DSTARC: однонаправленный вывод (PXIe)

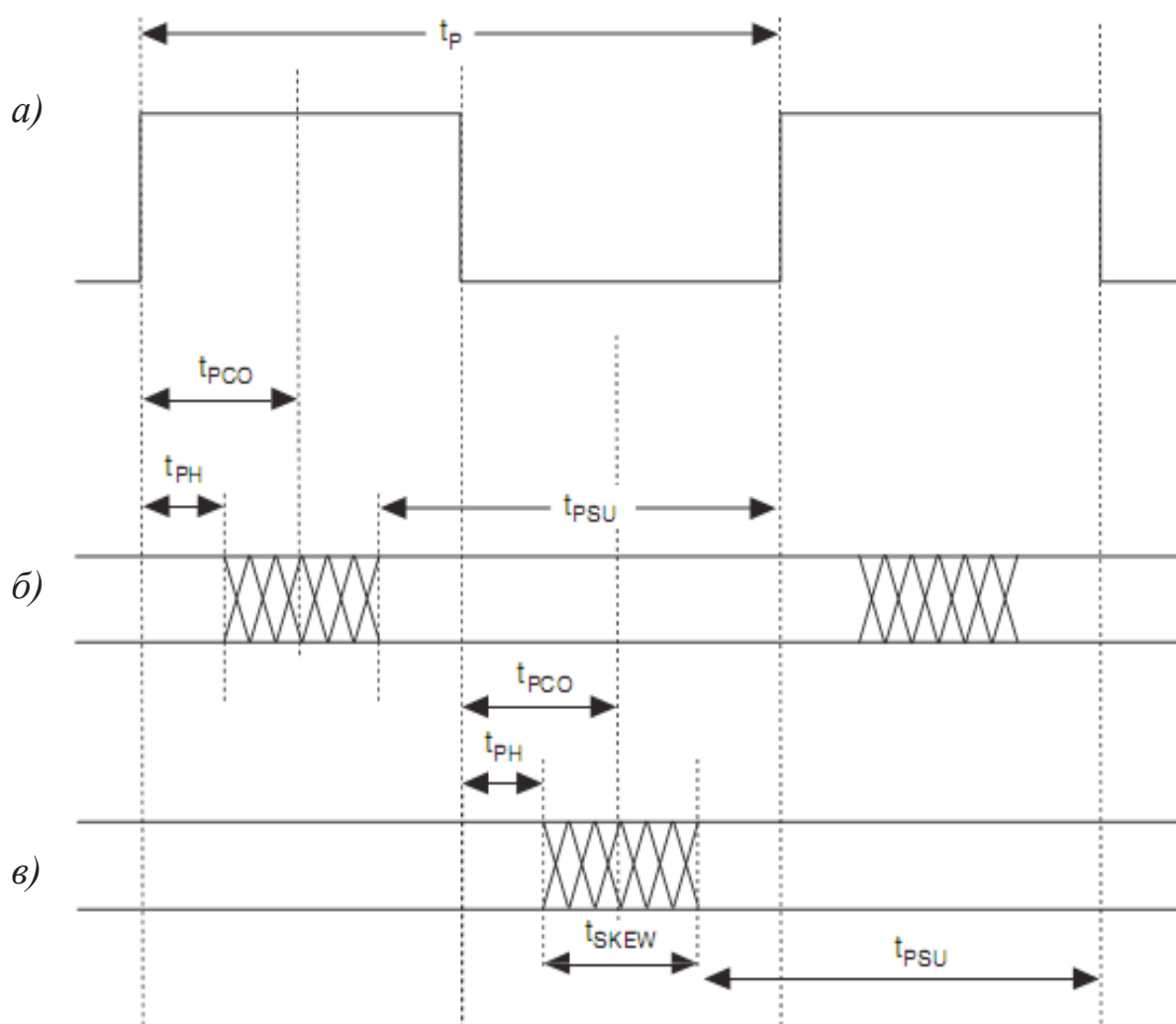


Рис. П 1:

Обозначения на рис. П 1:

а – сигнал тактового генератора (нарастающий активный фронт);

б и в – каналы данных;

б – генерация на активном фронте;

v – генерация на пассивном фронте;
 t_P – период сигнала тактового генератора;
 t_{PH} – минимальное время занятости;
 t_{PSU} – минимальное время установления;
 t_{PCO} – временная задержка между нарастающим фронтом и передачей данных;
 t_{SKEW} – максимальная межканальная задержка и погрешность тактирования.

На рис. П2 представлены временная диаграмма и параметры сбора данных.

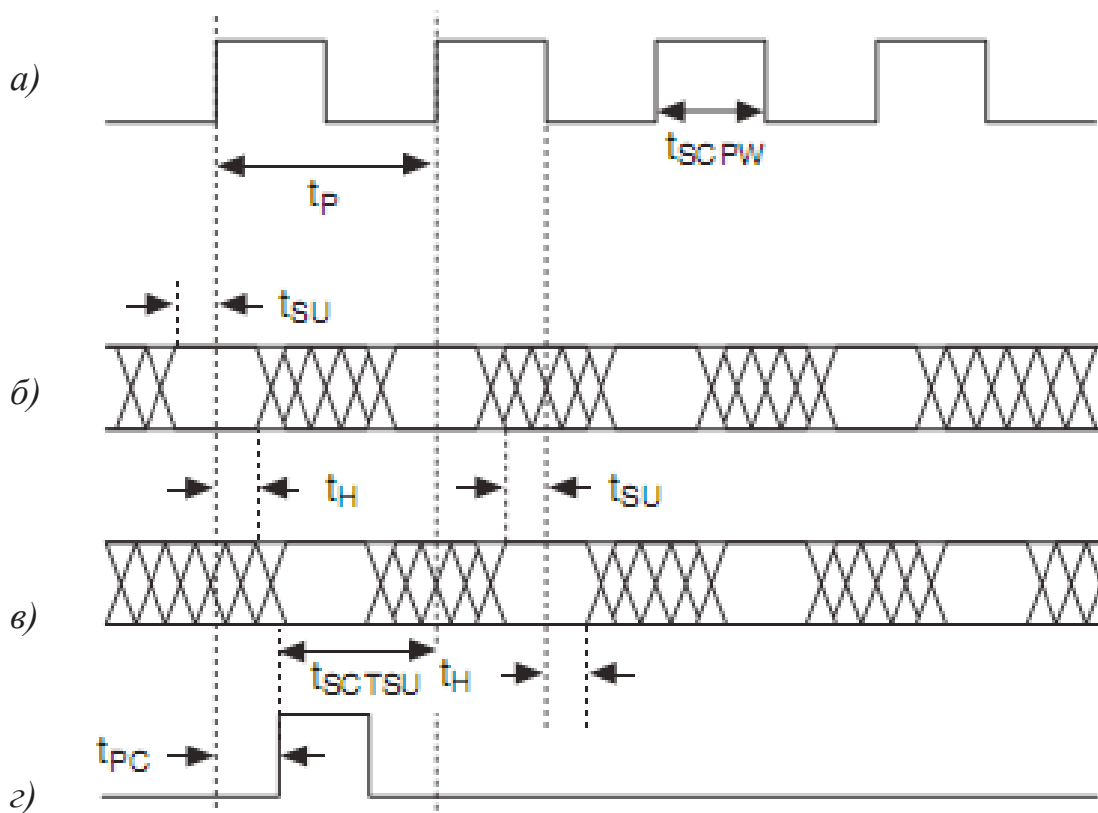


Рис. П 2

Обозначения на рис. П 2:

a – выходной сигнал тактового генератора (нарастающий активный фронт);
 $б$ и $в$ – каналы данных (все три типа фронтов запуска);

$б$ – активный фронт сигнала тактового генератора;

$в$ – пассивный фронт сигнала тактового генератора;

$г$ – триггер;

t_{SU} – время установления; t_H – время занятости;

t_P – период сигнала тактового генератора;
 t_{SCPW} – минимальная регистрируемая ширина импульса сигнала тактового генератора;
 t_{PC} – задержка триггера в режиме оцифровки с использованием тактового генератора;
 t_{SCTSU} – время установления триггера.

Таблица П 3

Режимы квитирования	
Параметр	Значение
Асинхронные режимы квитирования	Тактирование с квитированием
Синхронные режимы квитирования	1. Burst sample (пакетное тактирование) 2. Pipelined Sample Clock (конвейерное тактирование)
Программируемое разрешение задержки при квитировании	20 нс

Таблица П 4

Память	
Параметр	Значение
Встроенная память	2048 отсчетов
Тип передачи	1) DMA 2) Программируемый ввод/вывод (тип тактирования только по запросу)
Шаг генерируемого сигнала	Количество отсчетов должно быть целым числом
Минимальный размер буфера сбора данных	2 отсчета

Таблица П 5

Триггеры (система запуска)	
Параметр	Значение
Поддерживаемые триггеры (по типу тактирования)	Тактовый генератор (Sample Clock)
	Pipelined Sample Clock (конвейерное тактирование)
	Burst Handshake (квитирование с пакетами)
	Квитирование (Handshake)
	Детектирование изменений (Change Detection)

Триггеры (система запуска)		
Параметр	Значение	
Источник	1. PXI_TRIG[0...6] (PXI Express). 2. PXIe_DSTARB (PXI Express) 3. По шаблону (во время сбора данных)	
Адресат	1. PXI_TRIG[0...7] (PXI Express). 2. PXIe_DSTARC (PXI Express)	
Задержка между триггером паузы и паузой (t_{p2s})	Максимум	Минимум
	PXIe: 7 тактов + 17 нс	6 тактов + 6,7 нс
Задержка между триггером и генерацией цифровых данных (t_{T2D})	Минимум	Максимум
	65 нс	1 такт + 130 нс
	10 нс	Период генератора + 4 нс
Максимальная требуемая задержка между данными и триггером квитирования (t_{DT})	5 нс	
Максимальная требуемая задержка между триггером квитирования и данными (t_{TD})	50 нс	

На рис. П 3 представлены временная диаграмма и параметры конвейерной генерации (Pipelined).

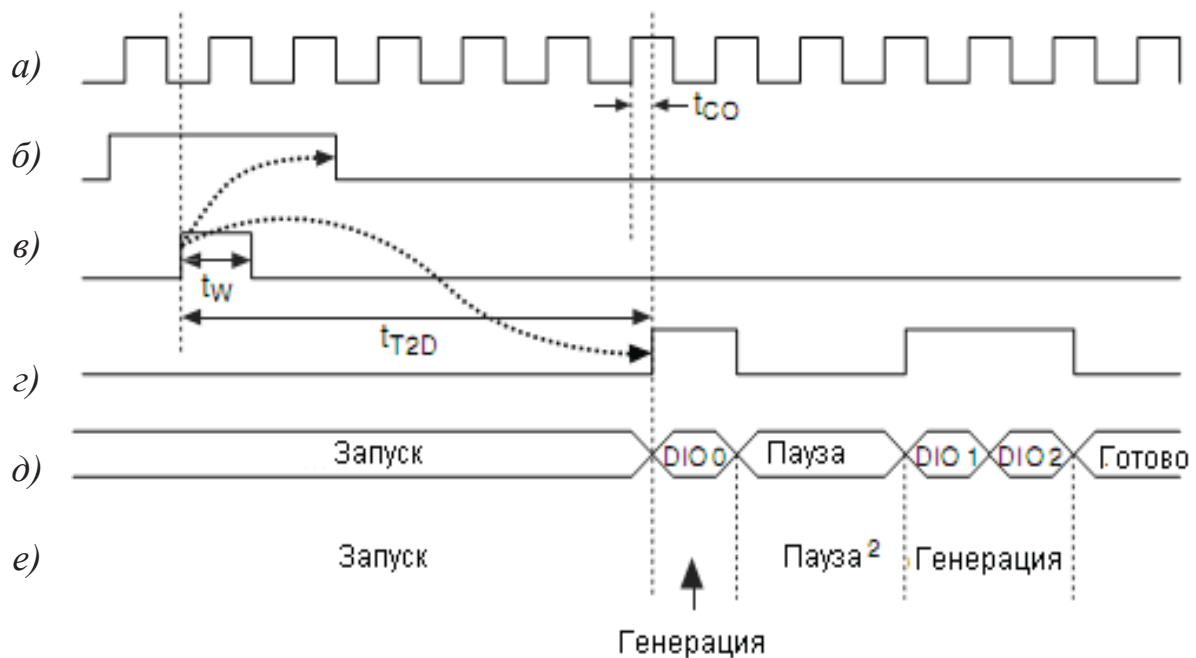


Рис. П 3

Обозначения на рис. П 3:

а – несинхронизированный сигнал оцифровки (активный фронт – нарастающий);

б – готовность к событию запуска (положительная полярность);

в – триггер запуска (нарастающий фронт);

г – событие Data Active (положительная полярность);

д – данные;

е – состояние;

² Генерация приостанавливается или при присваивании свойству Незаполнение (Underflow) значения Ожидать доступности данных (Pause Until Data Available), либо при срабатывании триггера паузы;

t_w – минимальная детектируемая ширина импульса триггера;

t_{CO} – сдвиг сигнала тактового генератора;

t_{T2D} – задержка между сигналом триггера и выводом цифровых данных.

На рис. П 4 представлены временная диаграмма и параметры конвейерной генерации (Pipelined) с квити́рованием.

На рис. П 5 представлены временная диаграмма и параметры сбора данных с квити́рованием.

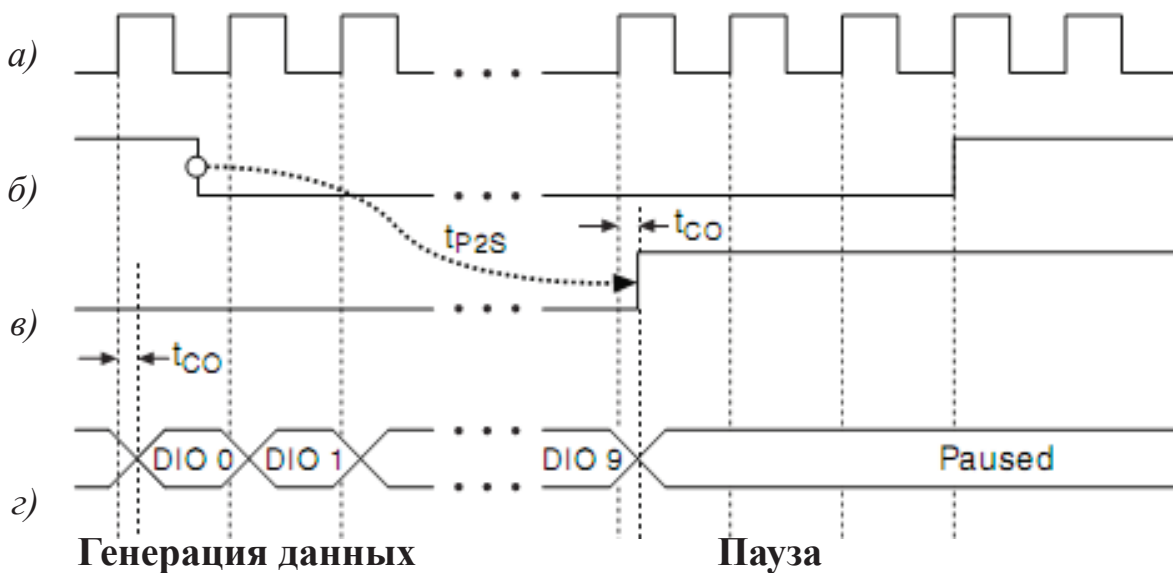


Рис. П 4

Обозначения на рис. П 4:

а – несинхронизированный сигнал тактирования

(активный фронт – нарастающий);

б – триггер паузы (отрицательная полярность);

в – событие Date Active (отрицательная полярность);

г – данные;

t_{P2S} – время между триггером паузы и паузой (Pause State);

t_{CO} – сдвиг сигнала тактового генератора.

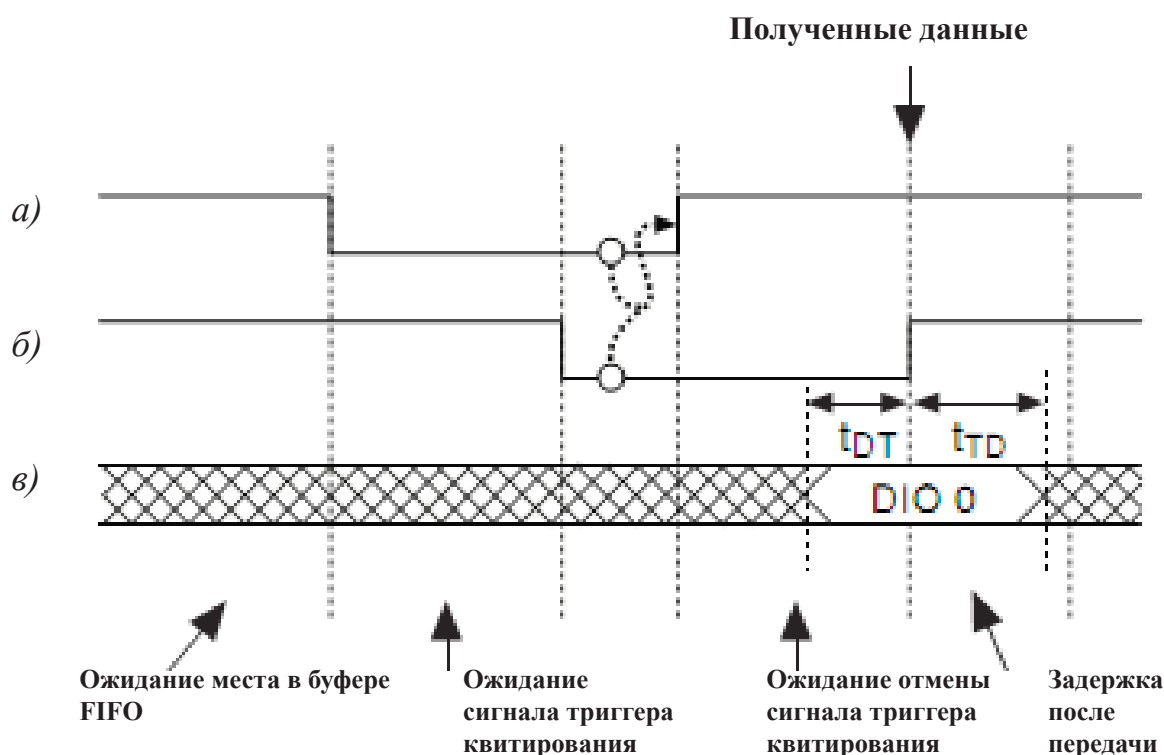


Рис. П 5

Обозначения на рис. П 5:

а – событие квитирования (отрицательная полярность);

б – триггер квитирования (отрицательная полярность);

в – данные;

t_{DT} – максимальная требуемая задержка между достоверными данными и триггером квитирования;

t_{TD} – максимальная задержка между триггером квитирования и не достоверными данными.

Таблица П 6

События		
Параметр	Значение	
Поддерживаемые события (по типу оцифровки)	От тактового генератора (Sample Clock)	
	Конвейерная оцифровка (Pipelined Sample Clock)	
	Квити́рование с пакетами (Burst Handshake)	
	Квити́рование (Handshake)	
	Смена детектирования (Change Detection)	
Назначение	1. PXI_TRIG[0..7] (PXI Express). 2. PXIe_DSTARC (PXI Express)	
Ширина импульса для экспортируемого события	Частота меньше 10 МГц	Частота больше 10 МГц
	50 нс	15 нс
Задержка между детектированием изменения и событием	Минимум	Максимум
	90 нс	PXIe: 1 период оцифровки + 105 нс

Таблица П 7

Питание		
Параметр	Значение при нагрузке на всех каналах 5 кОм	
	Стандартное	Максимум
+3,3 В	700 мА	750 мА
+12 В	250 мА	300 мА
Общая мощность	5,1 Вт	6,1 Вт

Таблица П 8

Механические параметры		
Параметр	Значение	
Габаритные размеры	PXI Express	PCI Express
	21,4 × 2,0 × 13,1 см (8,42 × 0,79 × 5,14) дюймов	18,1 × 2,2 × 12,6 см (7,13 × 0,85 × 4,93) дюймов
Вес	144,58 г (5,1 унций)	107,7 г (3,8 унций)

Таблица П 9

Программное обеспечение	
Параметр	Значение
Драйвер	NI-DAQmx драйвер версии 8.5 или выше
Приложение	В NI-DAQmx входит программный интерфейс для следующих сред разработки: <ul style="list-style-type: none"> • National Instruments LabVIEW 7.1 или выше • National Instruments LabWindows/CVI 6.0 или выше • Microsoft Visual Studio 6.0 или выше для ANSI C • Microsoft Visual Studio 2003 для C++
Тестовые панели	В National Instruments Measurement and Automation Explorer (MAX) входят тестовые панели с базовой функциональностью сбора и генерации данных для NI 6536/6537

Таблица П 10

Условия эксплуатации		
Параметр	Значение	
Рабочая температура	PXI Express	PCI Express
	0 – 55 °C	0 – 45 °C
Температура хранения	-20 – 70 °C	
Рабочая относительная влажность	10 – 90 %, нет конденсации (удовлетворяет IEC60068-2-56)	
Относительная влажность при хранении	5 – 95 %, нет конденсации (удовлетворяет IEC60068-2-56)	
Рабочие ударные нагрузки	30 g, половина периода, 11 мс (удовлетворяет IEC60068-2-56. Измерения проводились в соответствии с MIL-PRF-28800F)	
Допустимый уровень вибрации при работе	5 – 500 Гц, 0,31 g (удовлетворяет IEC 60068-2-64)	
Допустимый уровень вибрации при хранении	5 – 500 Гц, 2,46 g (удовлетворяет IEC 60068-2-64. Измеренный профиль превышает требования MIL-PRF-28800F, Class B)	

ЗАКЛЮЧЕНИЕ

Технологический процесс изготовления радиоэлектронной аппаратуры (РЭА) предусматривает типовые испытания, в частности приемосдаточные и периодические, а также проведение технологической тренировки (электрической, климатической и вибрационной) с проверкой функционирования и основных параметров испытуемого изделия. При многократных испытаниях РЭА на этапах регулировки, сдачи продукции представителю ОТК и приемки заказчик затрачивает огромные ресурсы, что приводит к значительному увеличению себестоимости. Определяющим фактором гибкости производства становится быстрая разработка автоматизированных систем испытаний, позволяющих: повысить производительность, сократить стоимость и время разработки тестирующего оборудования, уменьшить затраты на создание и эксплуатацию систем контроля. Похожие проблемы возникают не только в сфере производства, но также при создании исследовательских СКИМ на этапе разработки новой РЭА, при проведении комплексных испытаний и организации длительного мониторинга параметров сигналов и характеристик сложных технических объектов на этапе эксплуатации.

Современные принципы построения автоматизированных СКИМ на основе шины PXI предполагают использование встроенных или внешних компьютеров, модульных архитектур и стандартных интерфейсов. Компьютерные технологии позволяют с наименьшими затратами обеспечить высокое качество, точность и достоверность результатов испытаний. СКИМ сегодня – это гибкая совокупность аппаратно-программных средств, основой которых является компьютер, обеспечивающий измерения, управление экспериментом, цифровую обработку данных, передачу и хранение информации.

Распространение компьютерных систем PXI определяется большой вычислительной мощностью используемых компьютеров, наличием развитого периферийного оборудования, удобством интегрирования систем в локальные сети, относительно невысокой стоимостью основного оборудования, разнообразием программ обработки данных

и документирования. Вычислительные ресурсы ПК позволяют подвергать собранные с его помощью данные практически любой, даже очень сложной, обработке. Такой подход способствует минимальным затратам.

Современная автономная крейтовая СКИМ на основе шины PXI предназначена для решения широкого круга задач.

Требования спецификаций позволяют ей быть:

- универсальной, позволяющей проводить испытания на разных стадиях жизненного цикла радиоэлектронной аппаратуры, в том числе приемо-сдаточные и климатические испытания, а также тренировку и проверку функционирования;

- переконфигурируемой, позволяющей использовать различные аппаратно-программные средства в оптимальном сочетании;

- гибкой, позволяющей вносить изменения границ, допусков, диапазонов, кодов управления объектом и т.д.;

- достаточной, обеспечивающей контроль и измерение основной структуры параметров РЭА, а также параметров внешних условий, включая контроль параметров питания;

- модульной, позволяющей выбирать требуемые модули алгоритмов измерения и приборов из библиотек аппаратно-программных средств;

- развиваемой, позволяющей вводить в систему испытаний новые алгоритмы и аппаратно-программные модули виртуальных приборов;

- простой, позволяющей модернизировать программу испытаний в диалоговом режиме работы с внешним персональным компьютером, используя удобный интерфейс пользователя;

- открытой, позволяющей передавать информацию внешним пользователям по стандартным шинам ПК (USB, RS-485, RS-232 и др.);

- доступной, комплектуемой готовыми аппаратно-программными средствами широкой номенклатуры;

- обрабатывающей, позволяющей не только накапливать базу данных, но также выполнять статистическую обработку данных по всем параметрам;

- управляющей, позволяющей передавать команды управления в объект испытаний, периферийные и вспомогательные модули системы, в том числе в термошкафы, холодильные камеры, вибростенды, регуляторы влажности и др.

БИБЛИОГРАФИЧЕСКИЕ ССЫЛКИ НА ЭЛЕКТРОННЫЕ ИСТОЧНИКИ ИНФОРМАЦИИ (РЕСУРСЫ)

Информационный сайт

URL:<http://www.NI.com> (дата обращения: 15.04.2010).

1. PXI-1: PXI Hardware Specification, Rev. 2.2
2. PXI-3: VISA for PXI Specification, Rev. 1.0
3. PXI-4: PXI Module Description File Specification, Rev. 1.0
4. PXI-5: PXI Express Hardware Specification, Rev. 1.0
5. PCI Local Bus Specification, Rev. 2.2
6. PICMG 2.0 R3.0 CompactPCI Specification
7. PICMG EXP.0 R1.0 CompactPCI Express Specification

Учебное издание

ПОЗДНЯКОВ Александр Дмитриевич

КРЕЙТОВЫЕ СИСТЕМЫ РХІ ДЛЯ КОНТРОЛЯ, ИСПЫТАНИЙ
И МОНИТОРИНГА РАДИОАППАРАТУРЫ

Учебное пособие

Подписано в печать 07.06.10.

Формат 60х84/16. Усл. печ. л. 6,97. Тираж 100 экз.

Заказ

Издательство

Владимирского государственного университета.

600000, Владимир, ул. Горького, 87.