

《数字逻辑》 Digital Logic

触发器

北京工业大学软件学院
王晓懿



➤ 概述

➤ 触发器的电路结构与动作特点

➤ 触发器逻辑功能及其描述方法

一. 重点掌握的内容:

1. 触发器的特点，现态和次态的概念。触发器逻辑功能的表示方法。
2. 触发器四种结构形式及其动作特点。
3. 触发器在逻辑功能上的四种主要类型，及其各自的功能特点和逻辑功能表示形式。

二. 一般掌握的内容:

1. 触发器的电路结构形式和逻辑功能的关系
2. 常用集成电路触发器逻辑符号、功能特点以及异步置位、复位端的作用。

概述

一、触发器

1.概念:

能够存储 1 位二值信号的基本单元电路。

2.特点:

- (1) 有两个稳定的状态: 0 和 1 。
- (2) 在适当输入信号作用下, 可从一种状态翻转到另一种状态; 在输入信号取消后, 能将获得的新状态保存下来。

二、触发器的现态和次态

现态： Q 次态： Q^*

三、触发器逻辑功能描述方法

功能表（特性表）、 特性方程、
状态图、 波形图

四、触发器分类

按结构可分为

SR锁存器

电平触发的触发器

脉冲触发的触发器

边沿触发触发器

按逻辑功能可分为

SR触发器

JK触发器

D触发器

T和T'触发器

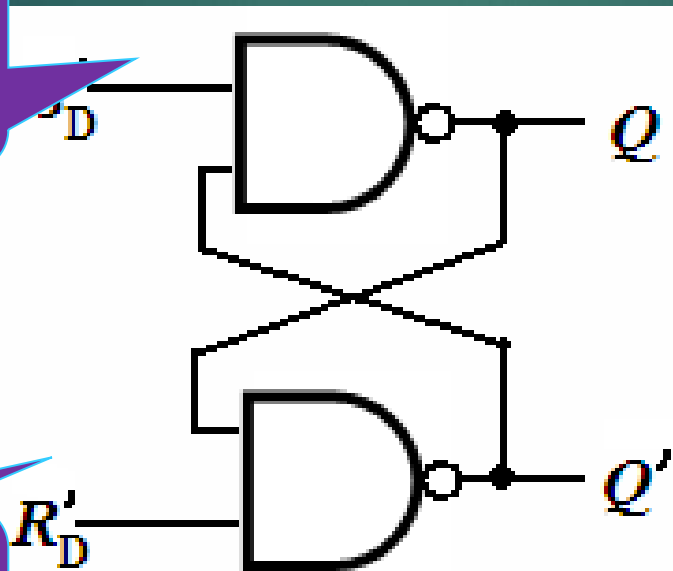
5.2 触发器的电路结构与动作特点

一、SR锁存器

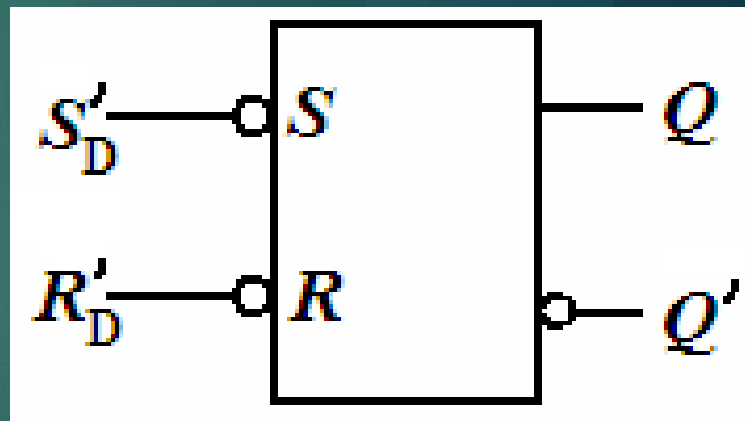
(基本RS触发器)

1. 与非门构成

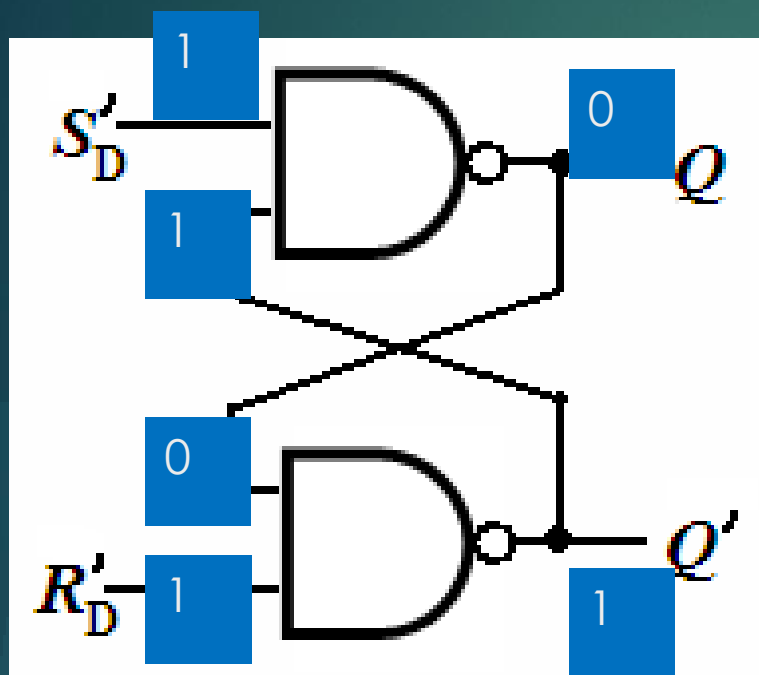
S'_D —Set
直接置位端(置1端)



R'_D —Reset
直接复位端(置0端)

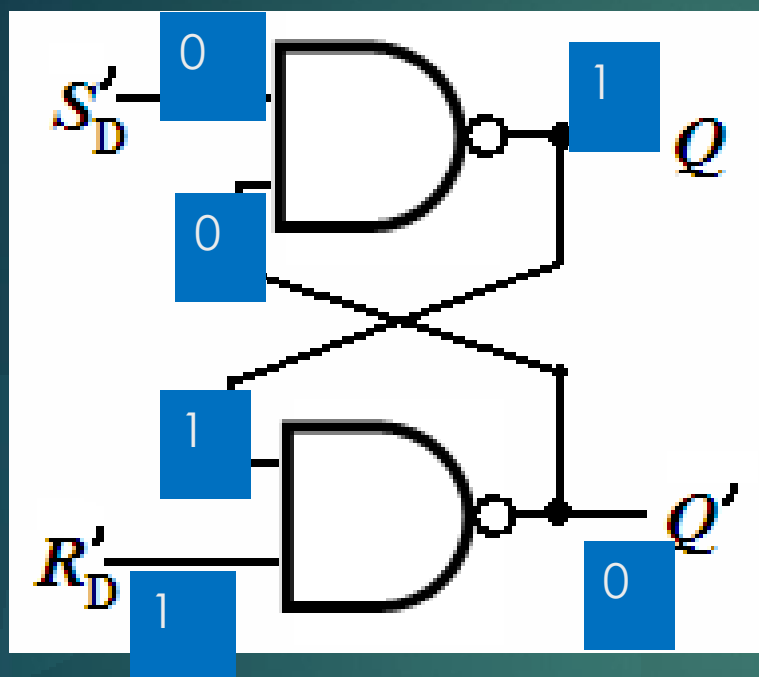


与非门组成的基本
RS触发器的特性表



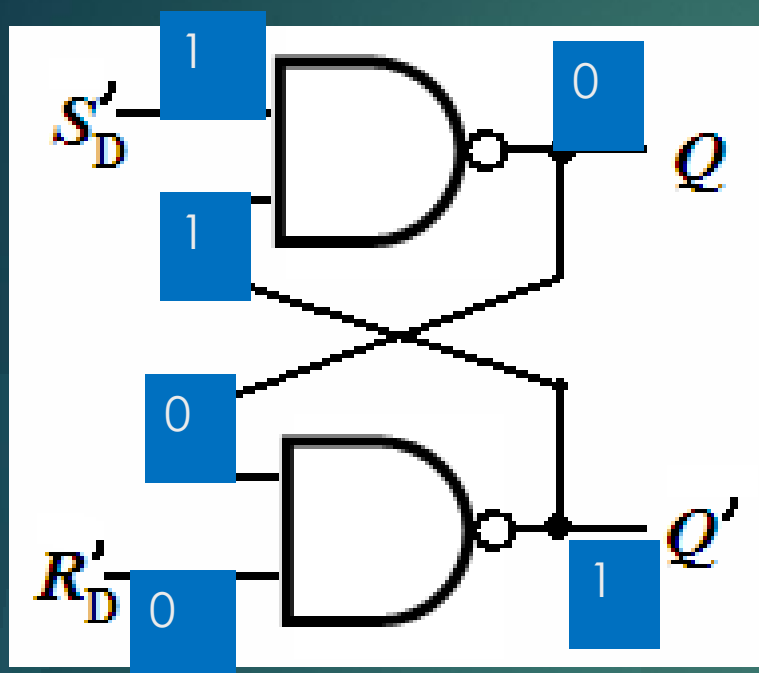
R'_D	S'_D	Q	Q^*	功能
1	1	0 1	Q	保持
1	0	0 1	1	置1
0	1	0 1	0	置0
0	0	0 1	1*	不定

与非门组成的基本
RS触发器的特性表



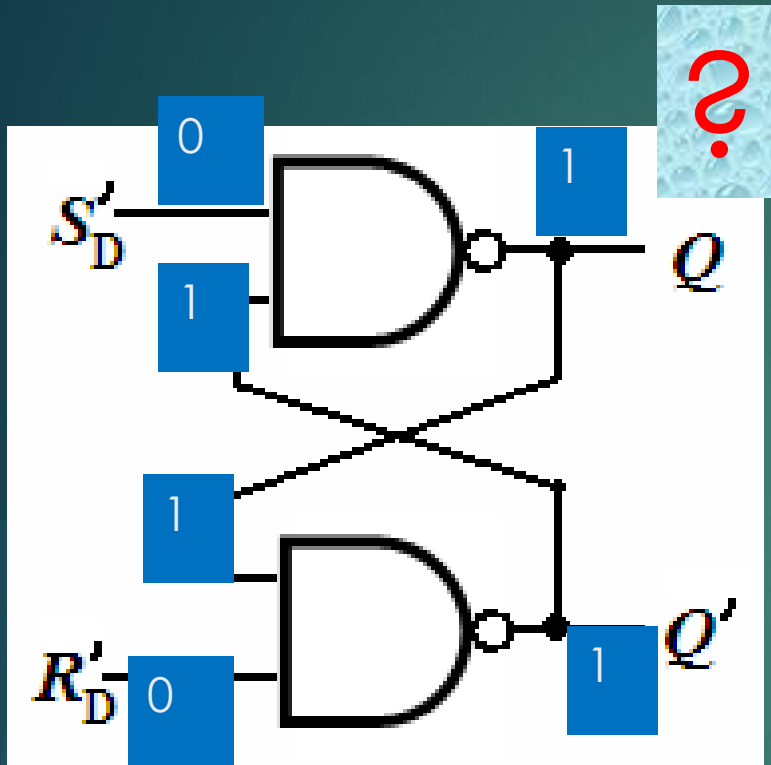
R'_D	S'_D	Q	Q^*	功能
1	1	0 1	Q	保持
1	0	0 1	1	置1
0	1	0 1	0	置0
0	0	0 1	1*	不定

与非门组成的基本RS触发器的特性表



R'_D	S'_D	Q	Q^*	功能
1	1	0 1	Q	保持
1	0	0 1	1	置1
0	1	0 1	0	置0
0	0	0 1	1*	不定

与非门组成的基本RS触发器的特性表



R'_D	S'_D	Q	Q^*	功能
1	1	0 1	Q	保持
1	0	0 1	1	置1
0	1	0 1	0	置0
0	0	0 1	1*	不定

当 S'_D 、 R'_D 同时由0跳变为1时，输出端 Q 和 Q' 状态不定。

设计电路时此种情况应避免

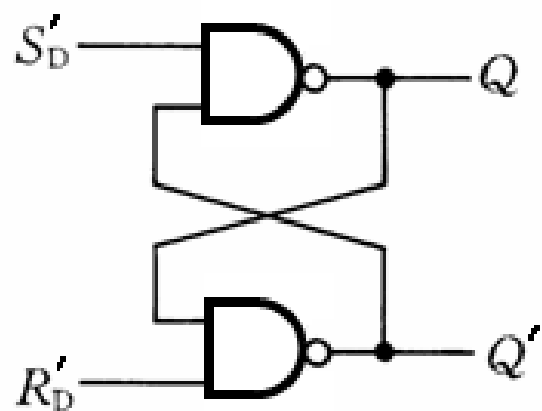
特性方程:

$$\begin{cases} Q^* = S + R'Q \\ SR = 0 \end{cases}$$

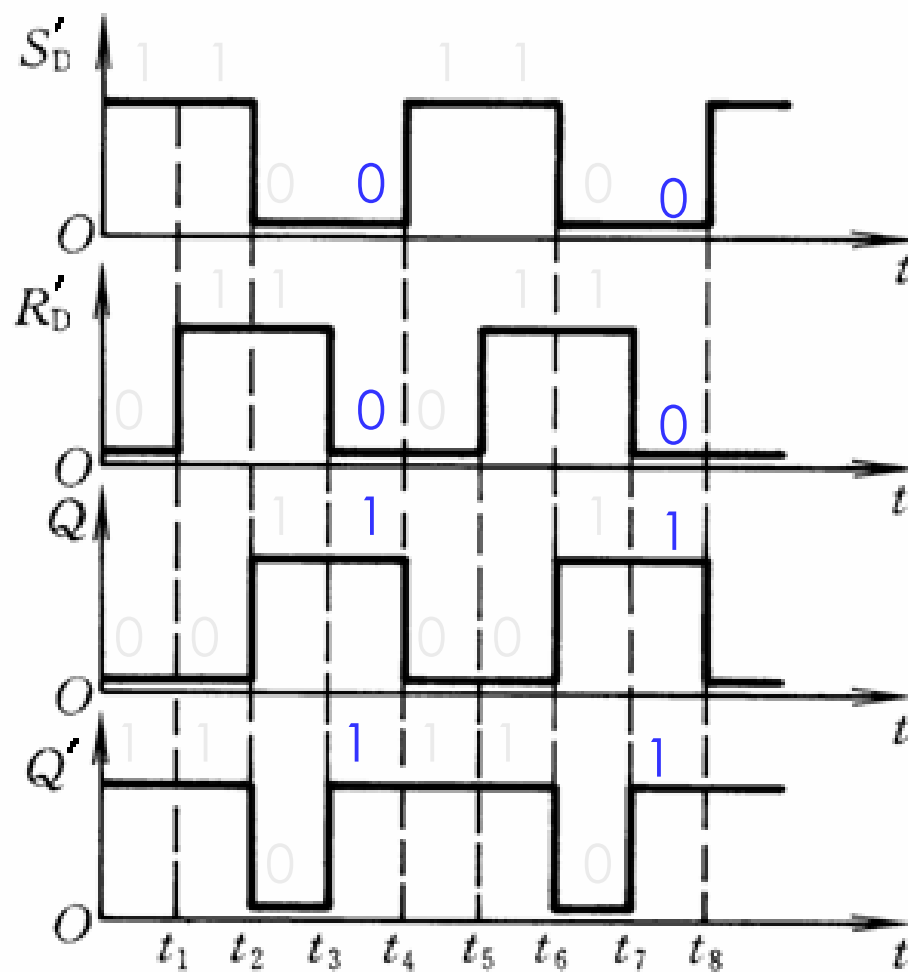
基本RS触发器动作特点:

输入信号在全部作用时间内都直接改变输出端Q和Q'的状态。

例

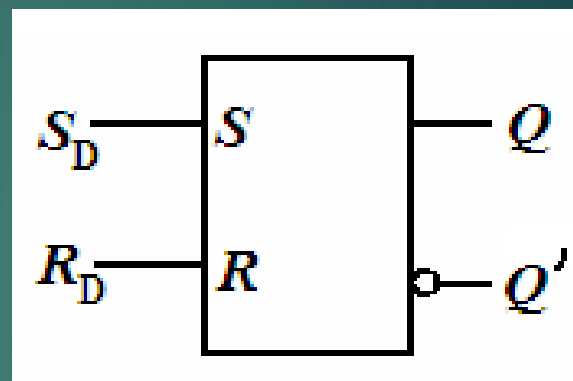
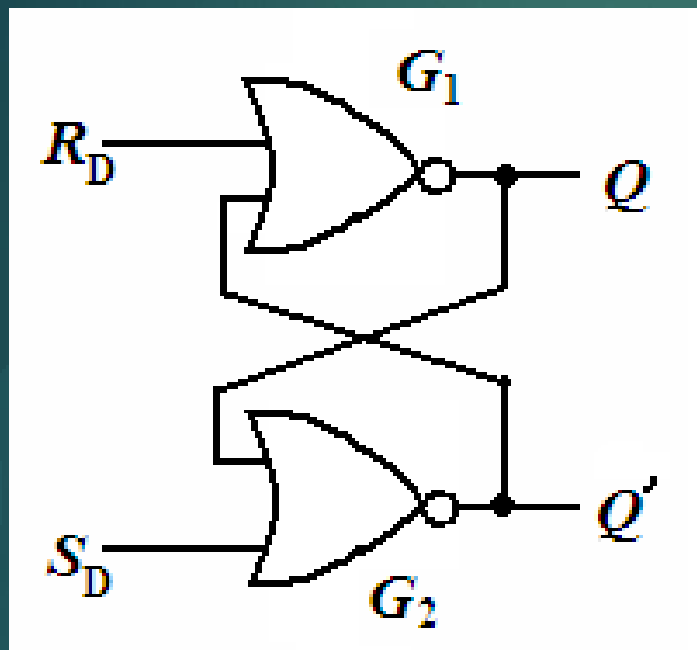


(a)

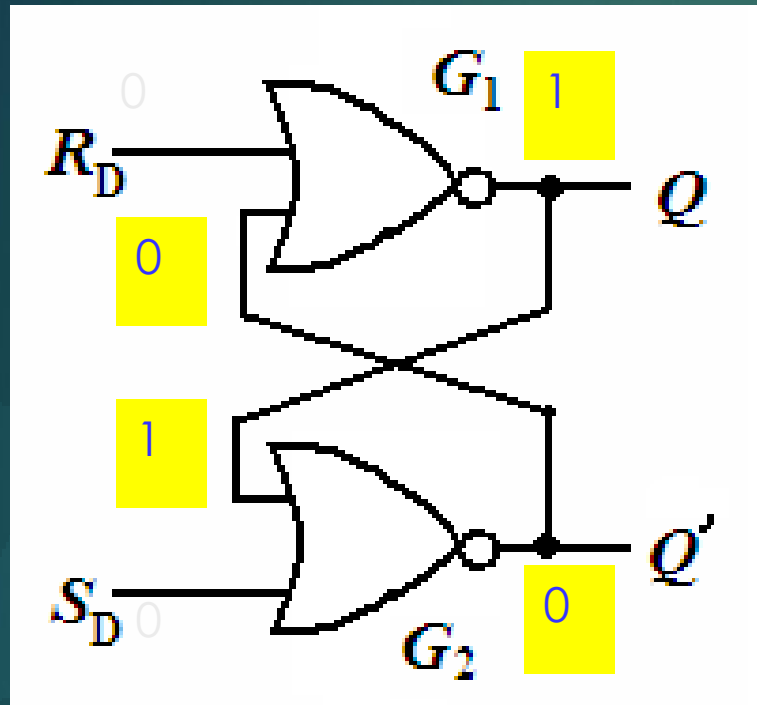


(b)

2. 或非门构成

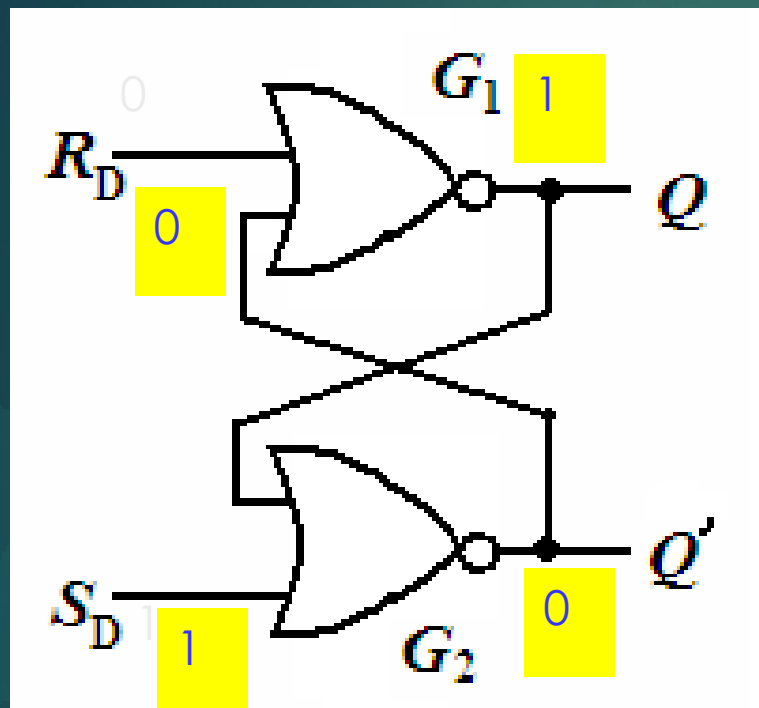


或非门组成的基本RS触发器的特性表



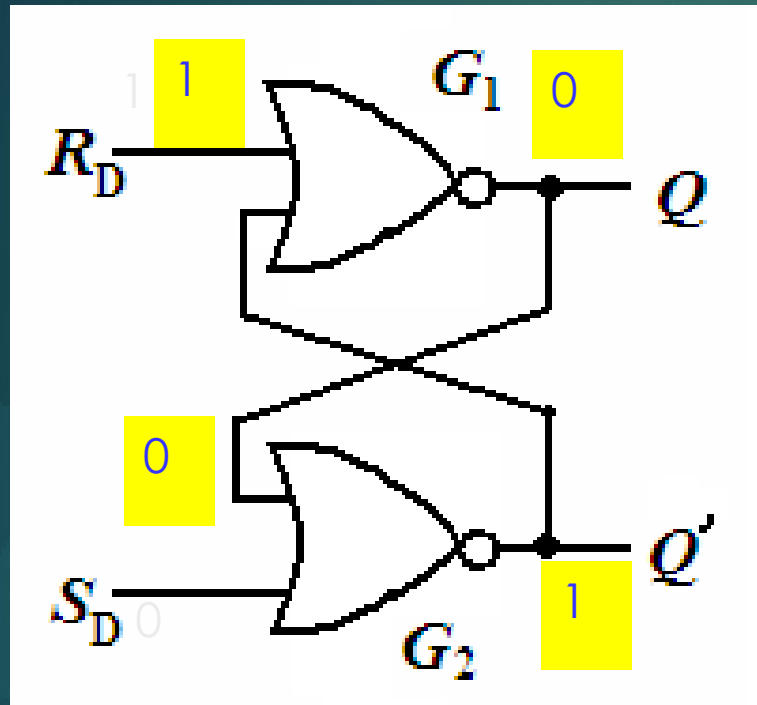
R_D	S_D	Q	Q^*	功能
0	0	0	Q	保持
0	1	0	1	置1
1	0	0	0	置0
1	1	0	0^*	不定

或非门组成的基本 RS触发器的特性表



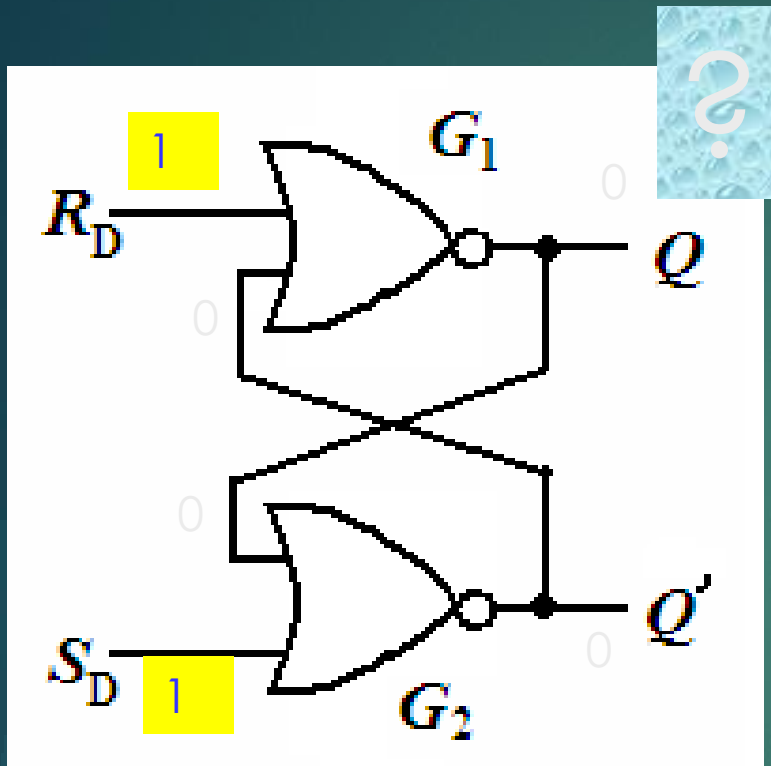
R_D	S_D	Q	Q^*	功能
0	0	0 1	Q	保持
0	1	0 1	1	置1
1	0	0 1	0	置0
1	1	0 1	0^*	不定

或非门组成的基本RS触发器的特性表



R_D	S_D	Q	Q^*	功能
0	0	0 1	Q	保持
0	1	0 1	1	置1
1	0	0 1	0	置0
1	1	0 1	0^*	不定

或非门组成的基本RS触发器的特性表



R_D	S_D	Q	Q^*	功能
0	0	0 1	Q	保持
0	1	0 1	1	置1
1	0	0 1	0	置0
1	1	0 1	0^*	不定

当 S_D 、 R_D 同时由1跳变为0时，输出端 Q 和 Q' 状态不定。

设计电路时此种情况应避免

Q^*

RS

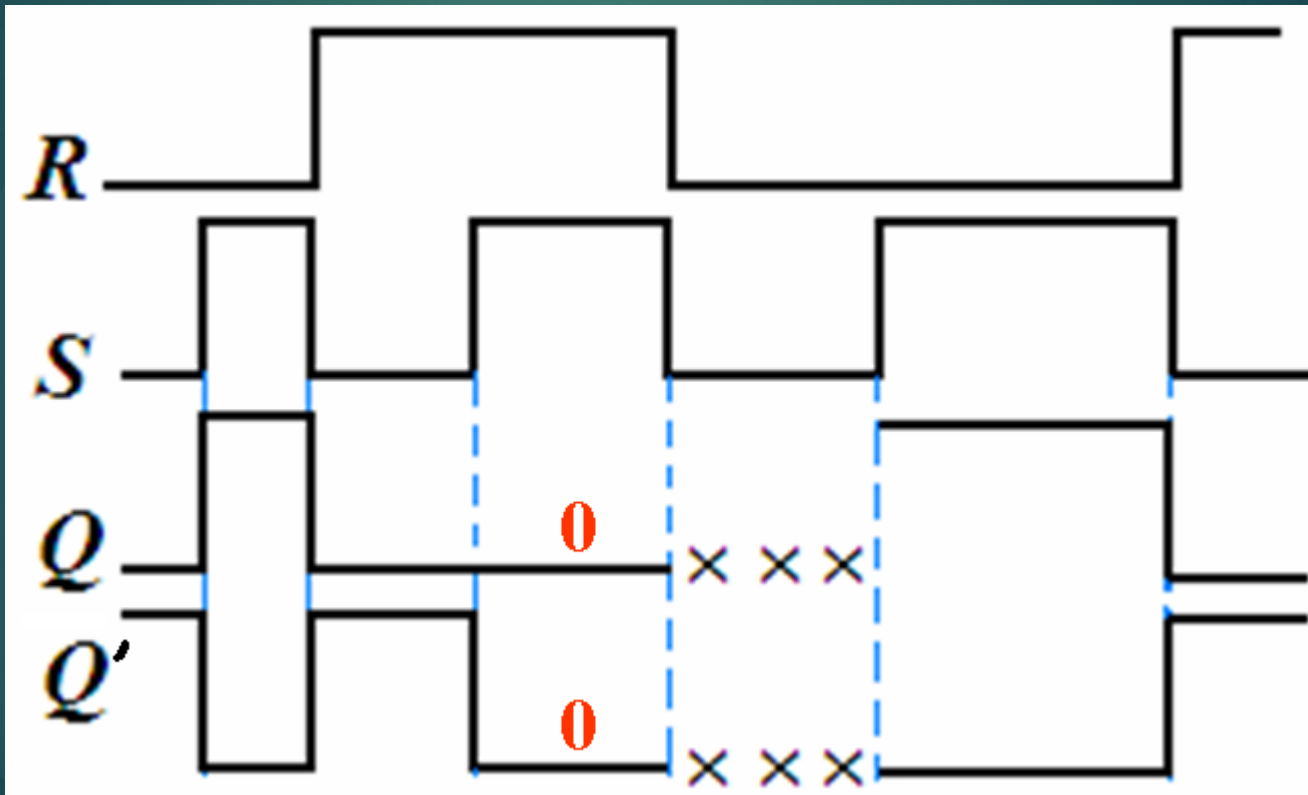
Q

	00	01	11	10
0	0	1	×	0
1	1	1	×	0

特性方程:

$$\begin{cases} Q^* = S + R'Q \\ SR = 0 \end{cases}$$

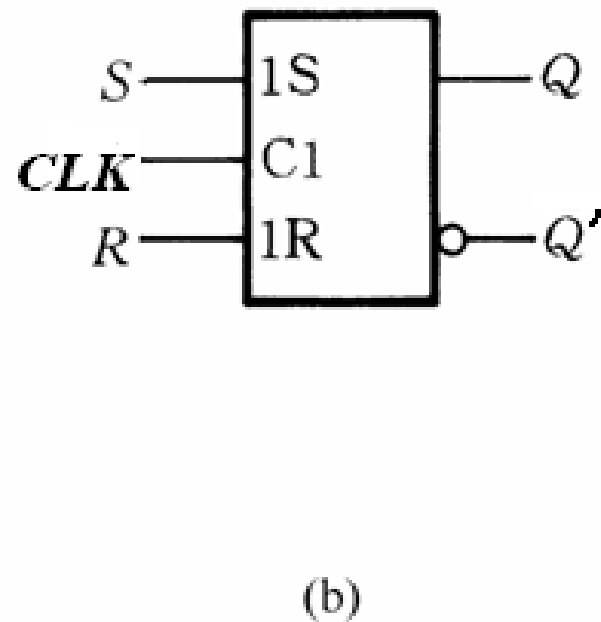
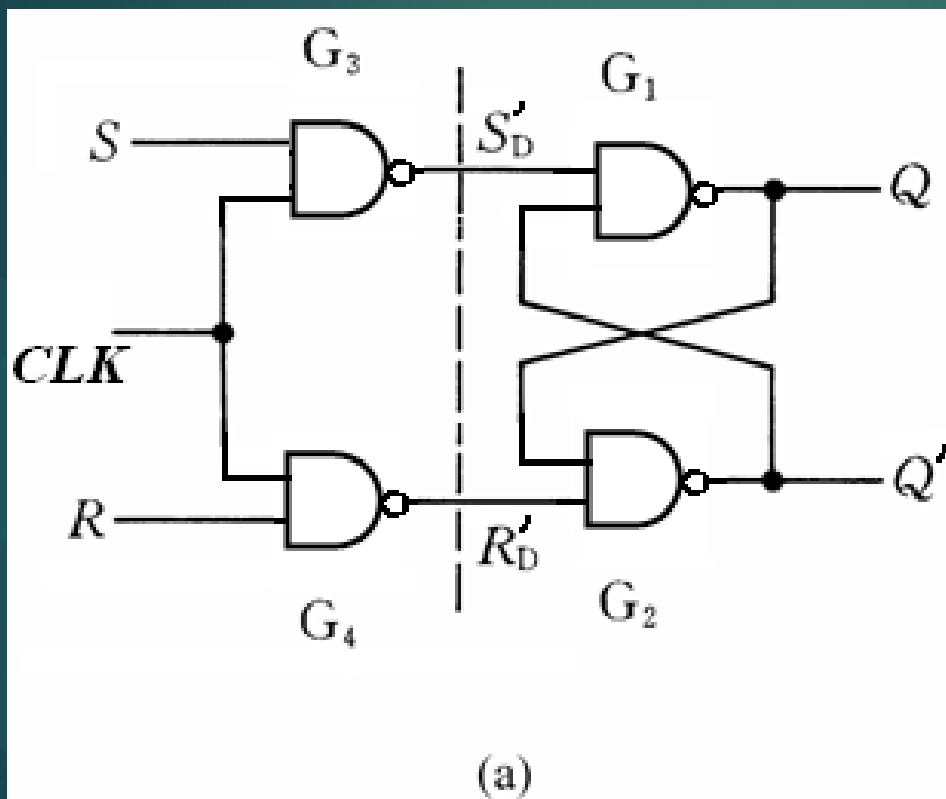
已知或非门构成的基本RS触发器输入波形，试画出输出Q和Q'的波形。



二、电平触发的触发器

(同步触发器)

1. 电平触发SR触发器



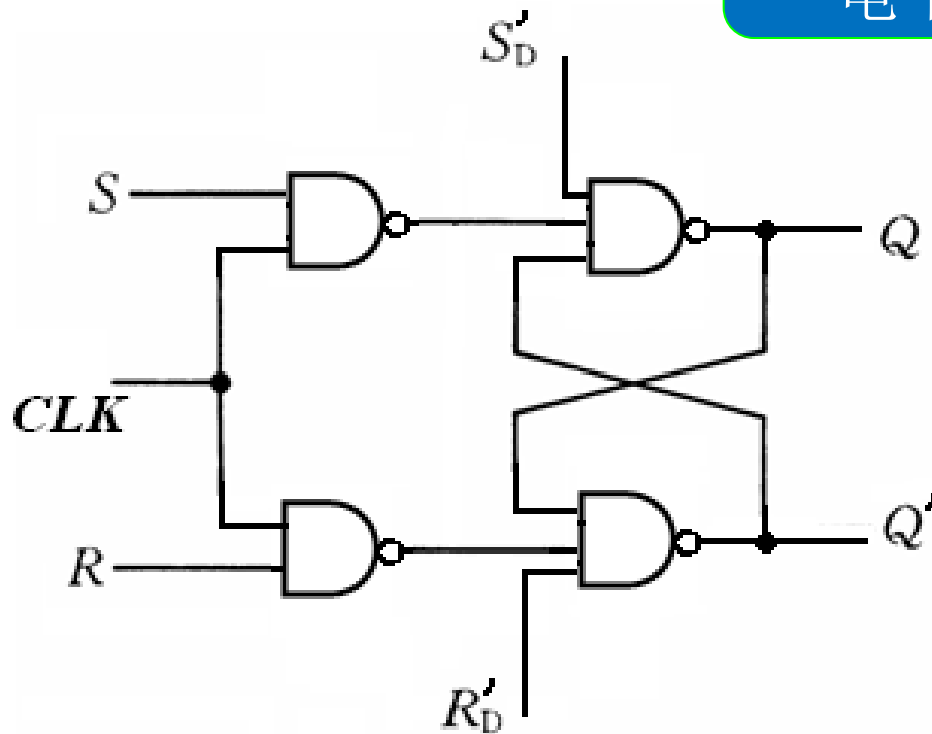
同步SR触发器的特性表

CLK	S	R	Q^*	功能
0	×	×	Q	保持
1	0	0	Q	保持
1	1	0	1	置1
1	0	1	0	置0
1	1	1	—	不定

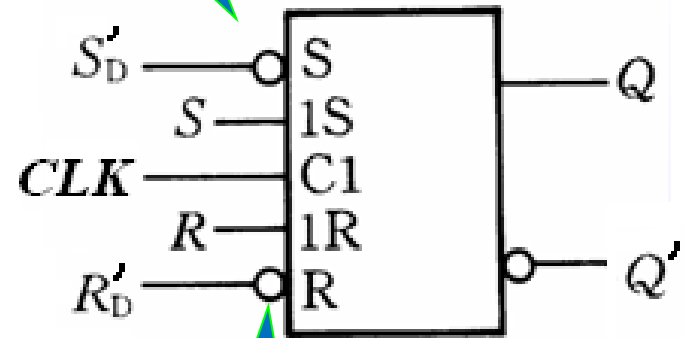
特性方程:

$$\begin{cases} Q^* = S + R'Q \\ SR = 0 \end{cases}$$

异步置位端（低电平有效）



(a)



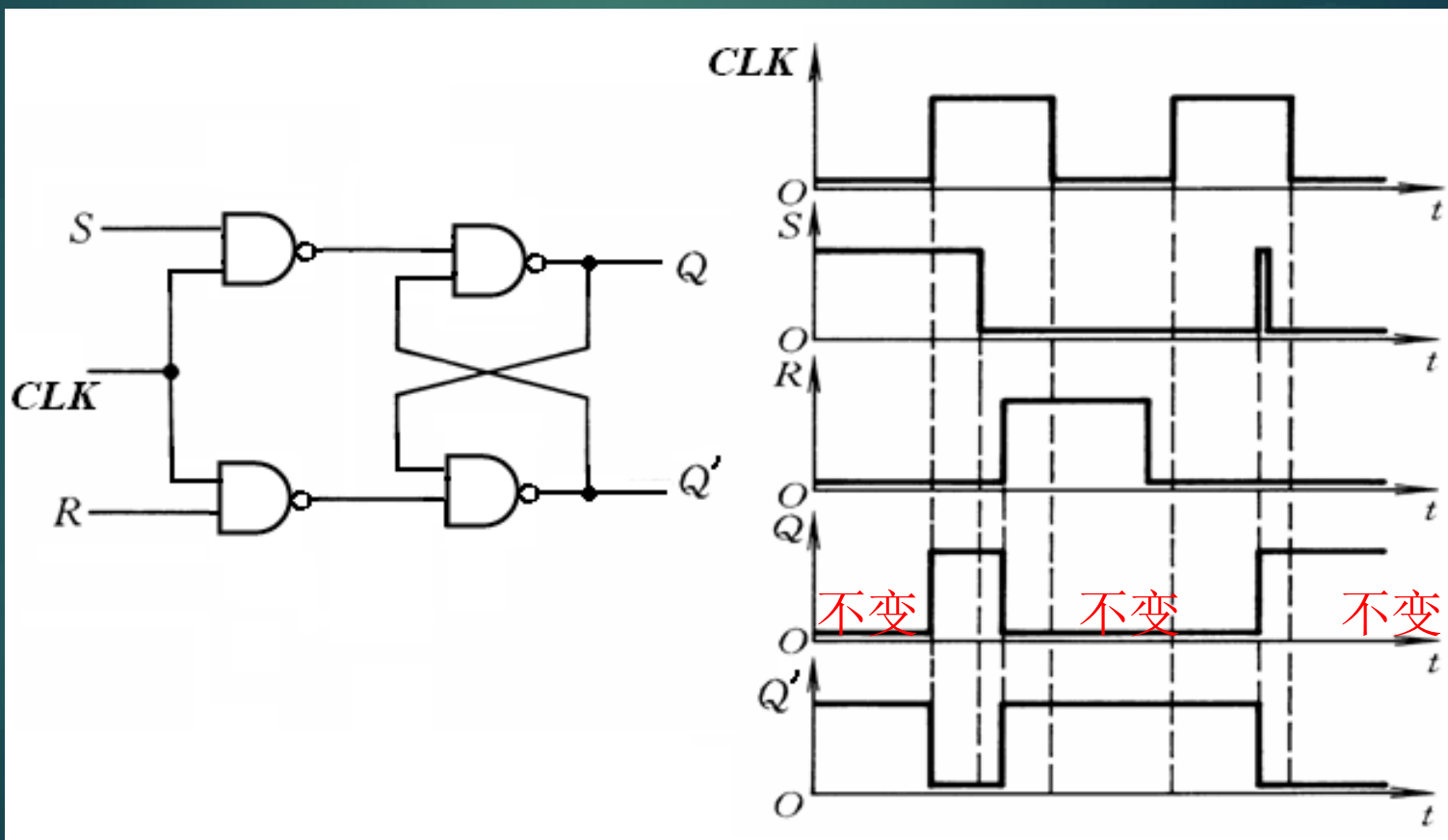
异步复位端（低电平有效）

带异步置位、复位端的电平触发SR触发器

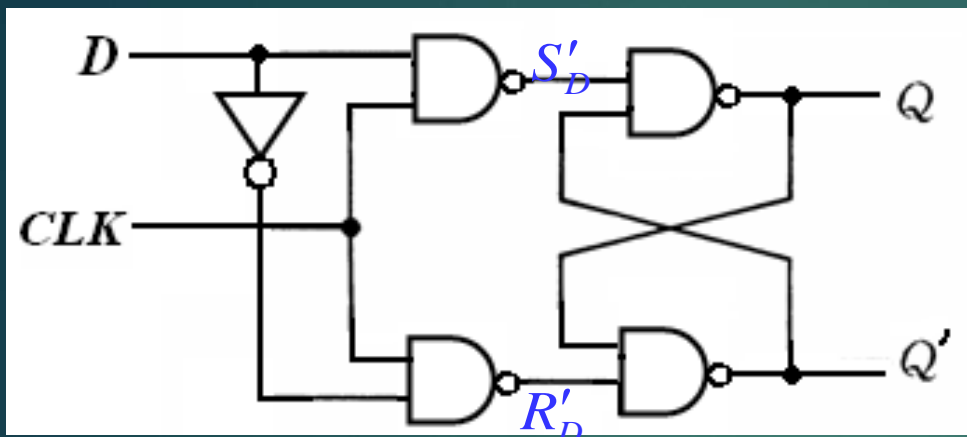
电平触发方式的动作特点:

在 $CLK=1$ 期间, 输入信号的变化都直接改变输出端 Q 和 Q' 的状态; $CLK=0$ 期间输出状态保持不变。

例:



2.D锁存器

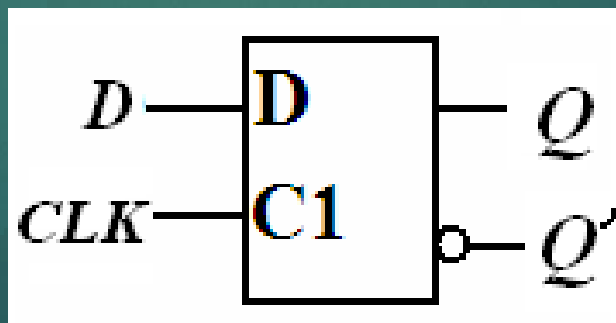


功能表

CLK	D	Q^*
0	×	Q
1	0	0
1	1	1

特性方程:

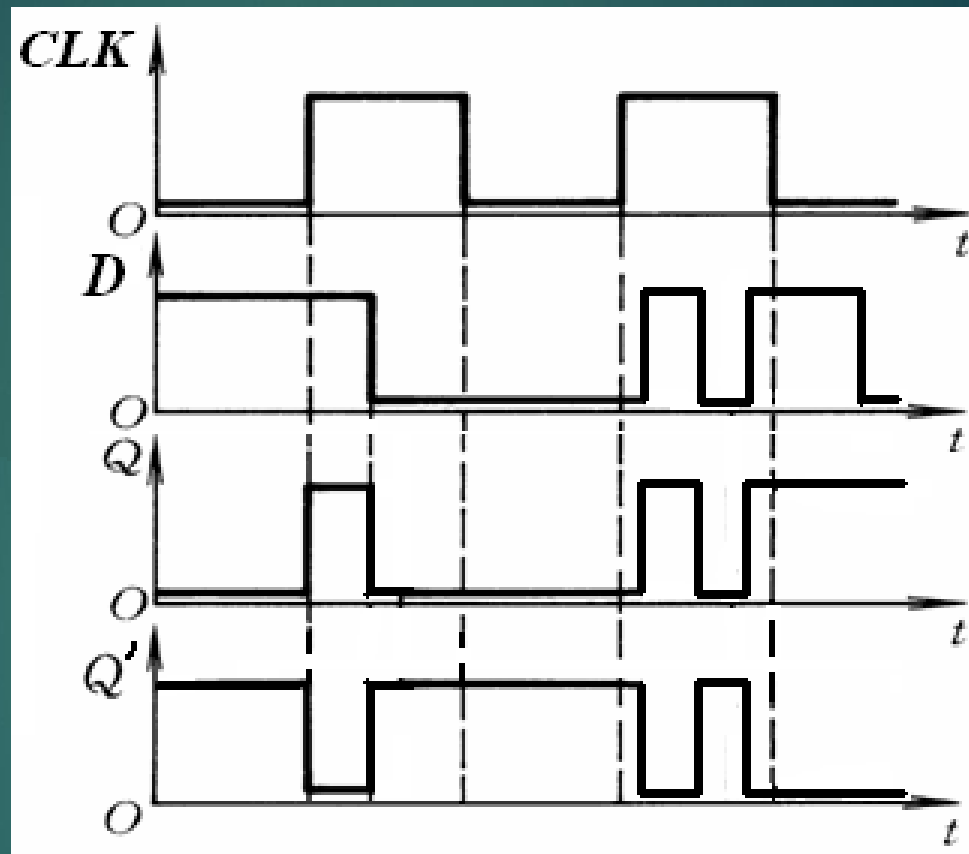
$$Q^* = D$$



例:

特性方程:

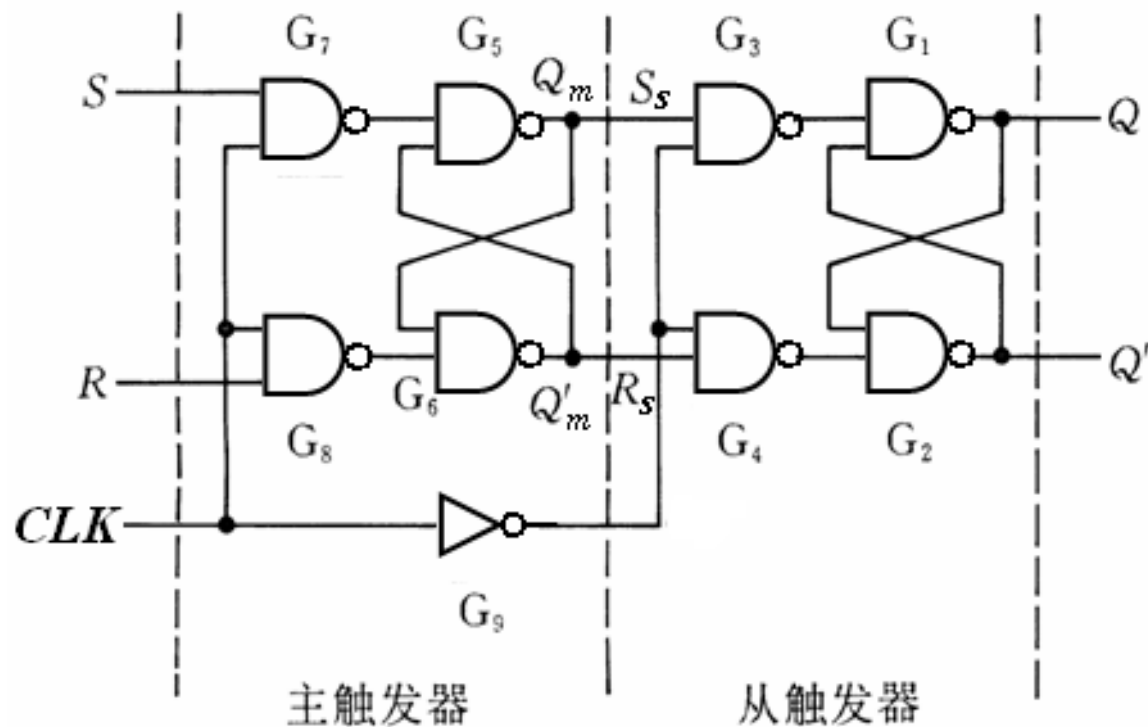
$$Q^* = D$$



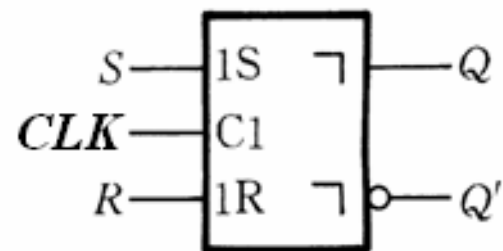
三、脉冲触发的触发器

(主从触发器)

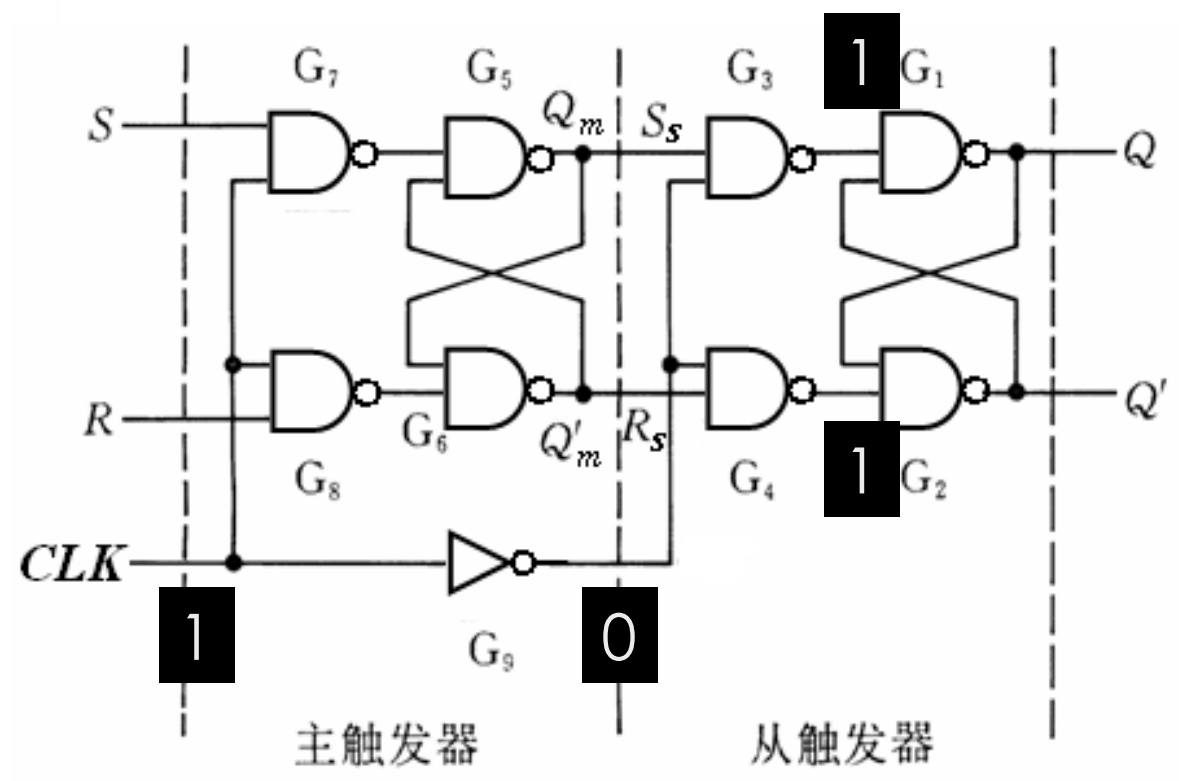
1. 主从SR触发器



(a)

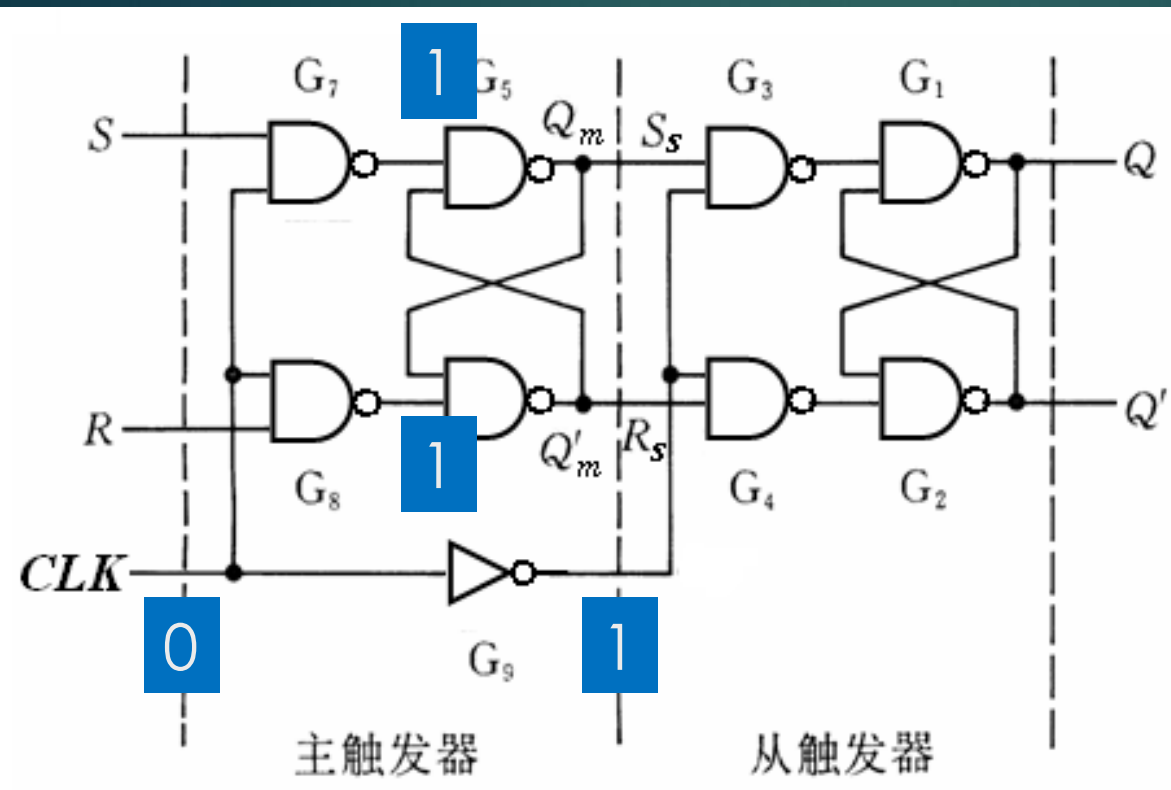


(b)



(1) 接收输入信号过程

$CLK=1$ 期间：主触发器控制门 G_7 、 G_8 打开，接收输入信号 S 、 R ，从触发器控制门 G_3 、 G_4 封锁，其状态保持不变。



(2) 输出信号过程
 CLK下降沿到来时，
 主触发器封锁，从
 触发器按照主触发
 器的状态改变。

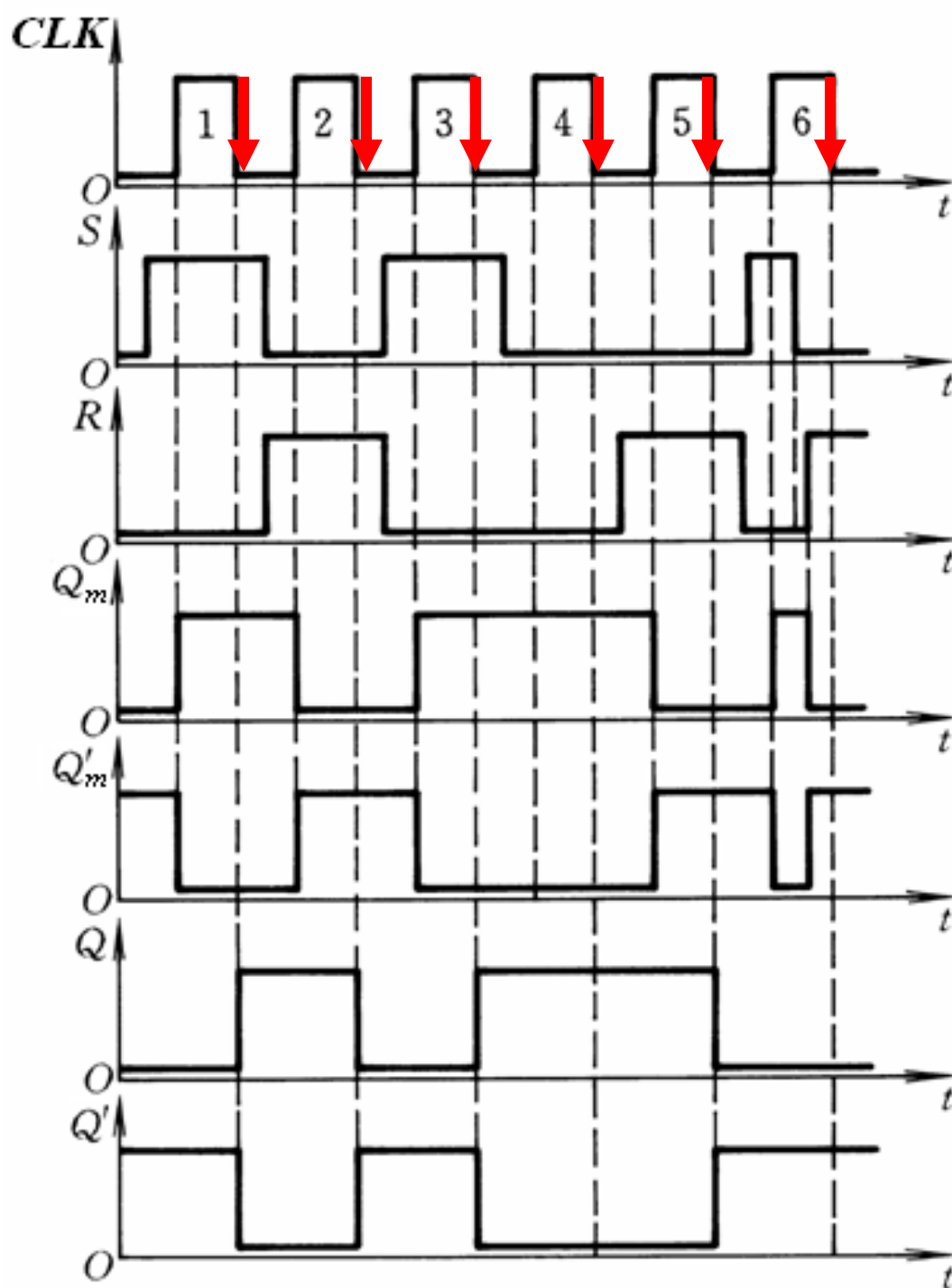
特性
方程

$$\begin{cases} Q^* = S + R'Q \\ SR = 0 \end{cases}$$

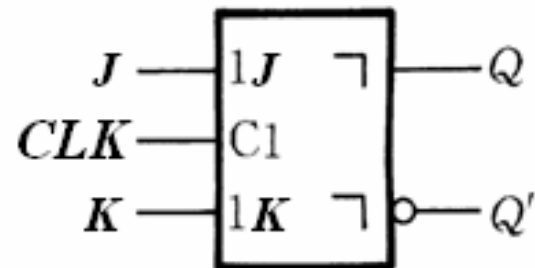
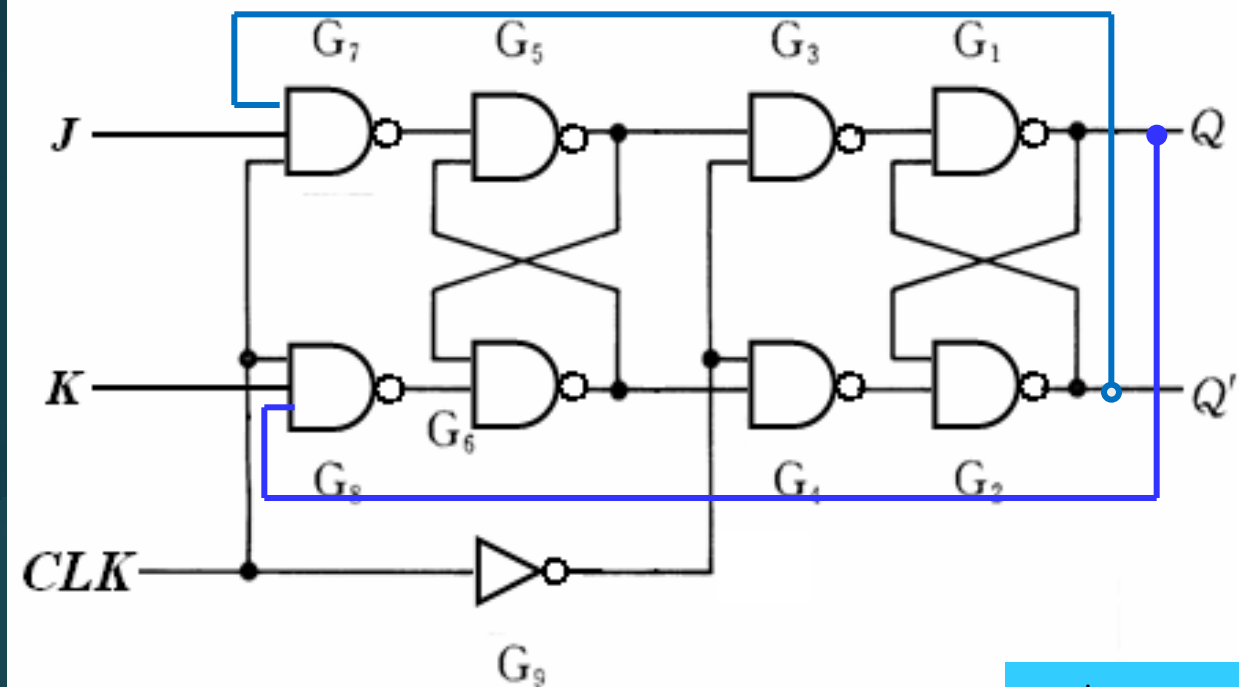
CLK下降沿到来时有效

例

$$\begin{cases} Q^* = S + R'Q \\ SR = 0 \end{cases}$$



2.主从JK触发器

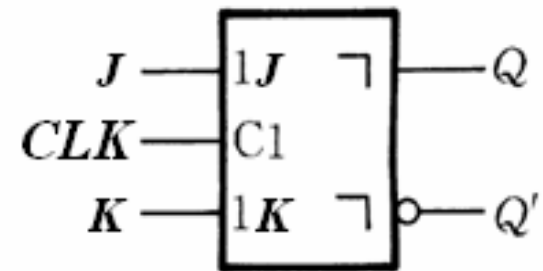
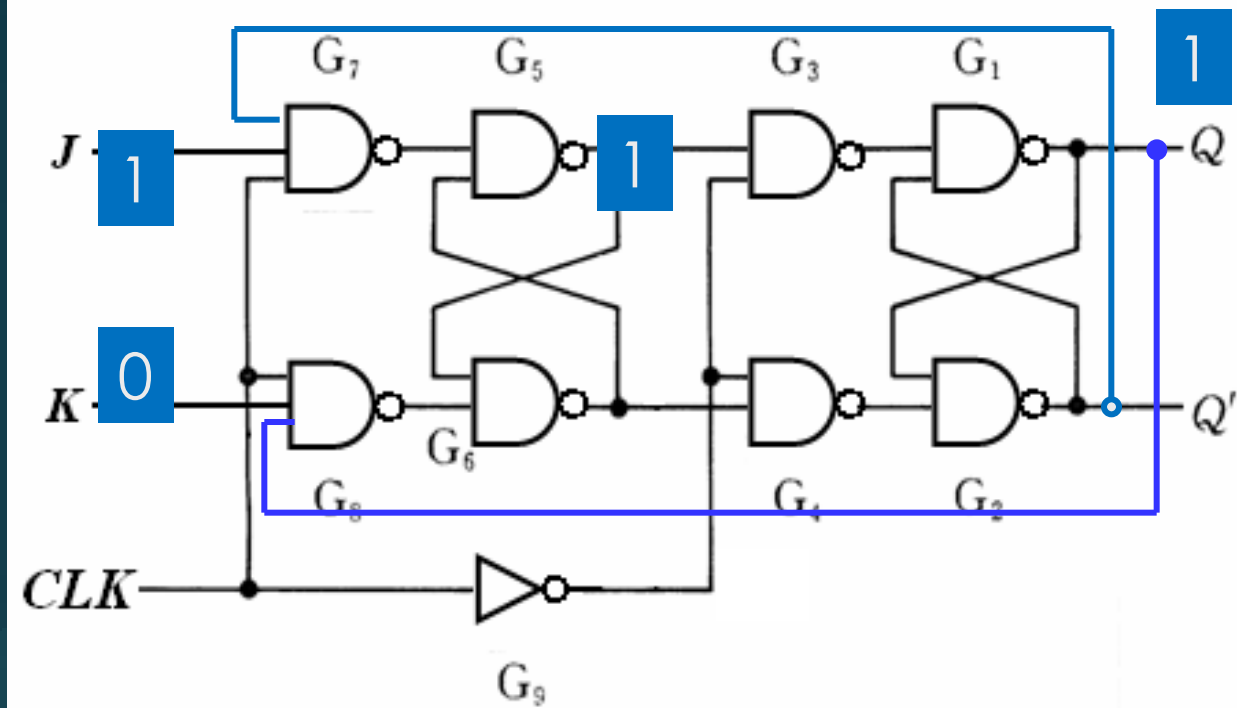


$$S = JQ' \quad R = KQ$$

主从JK触发器没有约束。

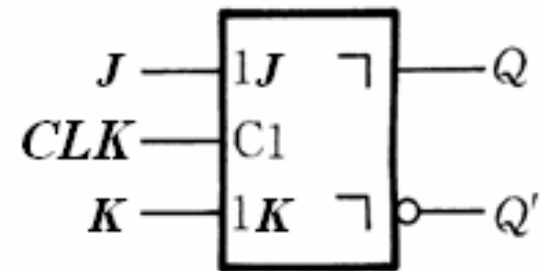
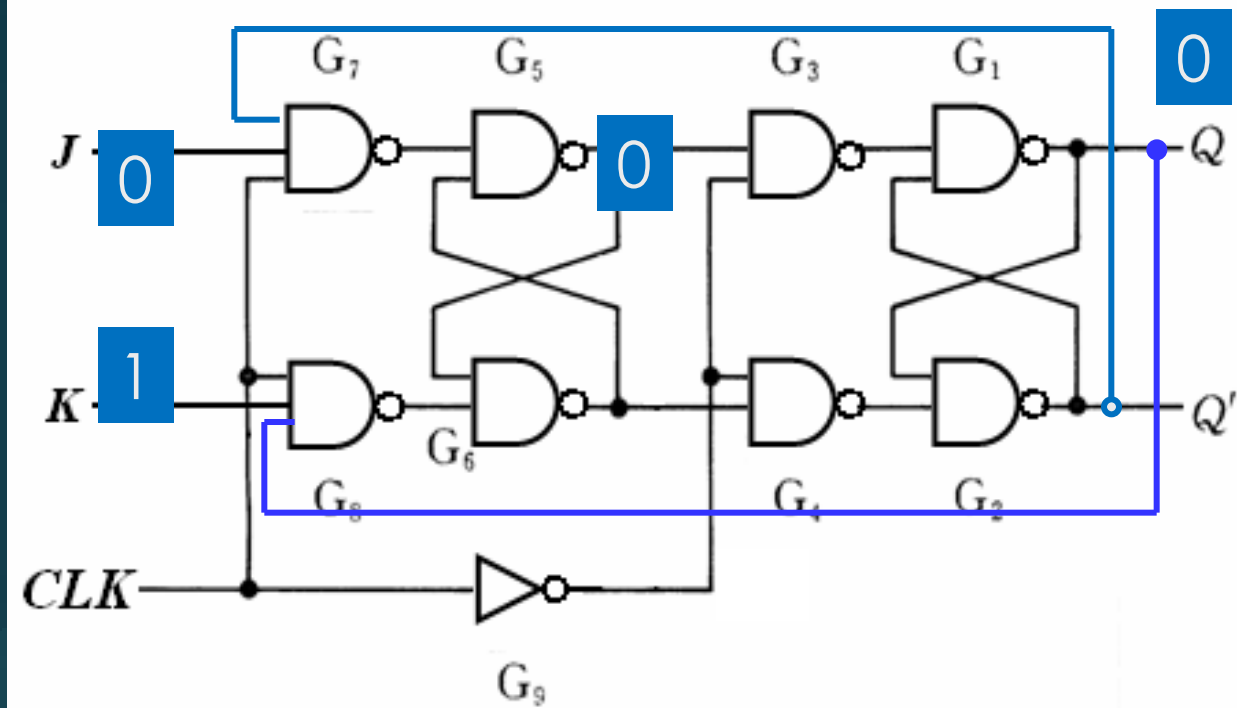
$$\begin{aligned} Q^* &= S + R'Q \\ &= JQ' + (KQ)'Q \\ &= JQ' + K'Q \end{aligned}$$

CLK 下降沿时有效

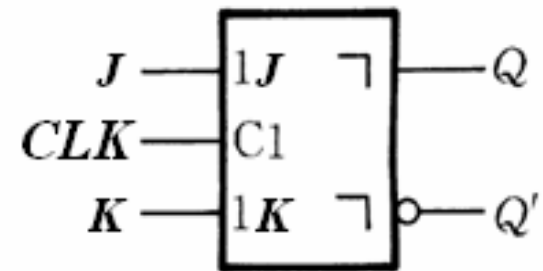
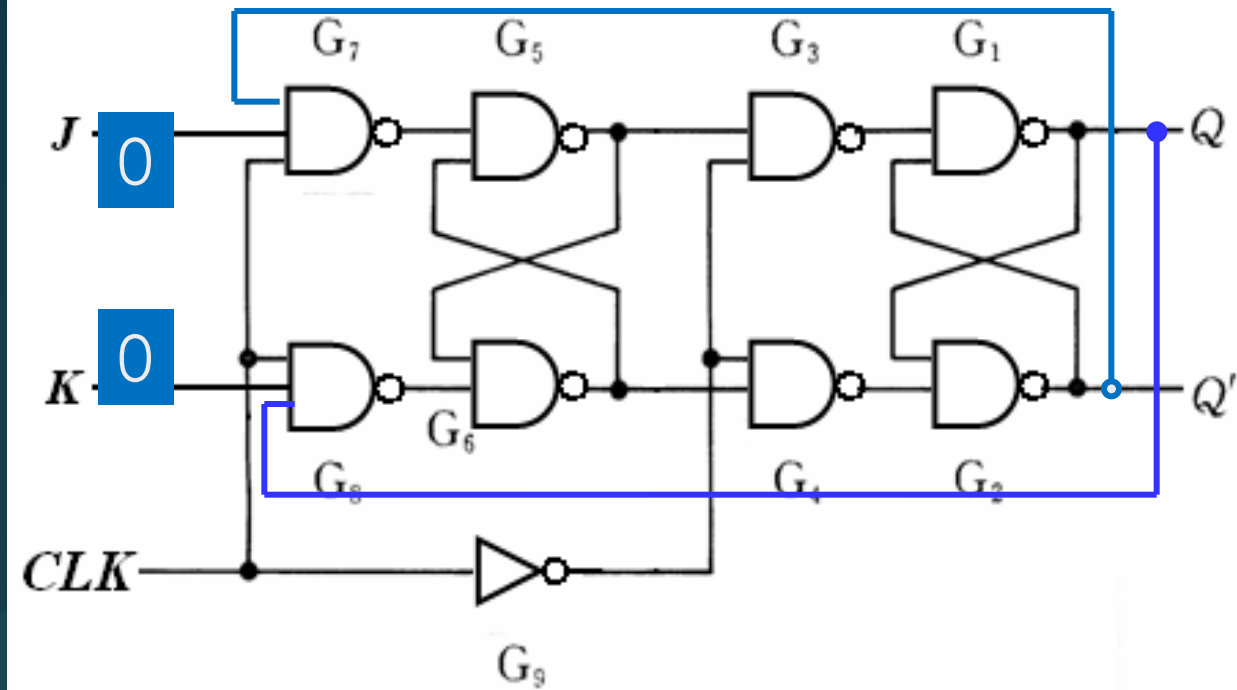


$$S = JQ' \quad R = KQ$$

J=1 K=0时，CLK=1期间主触发器置1；
CLK下降沿到达时，从触发器置1， $Q^*=1$ 。

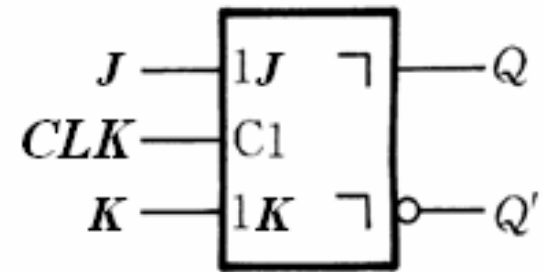
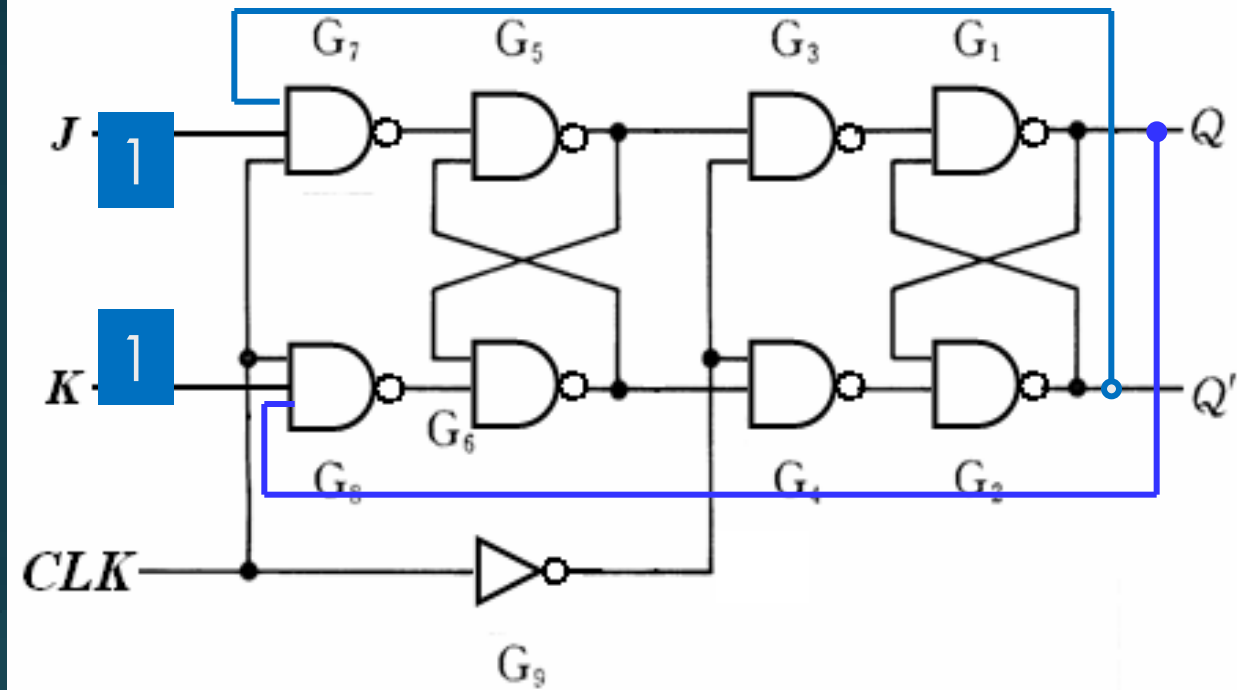


J=0 K=1时，CLK=1期间主触发器置0；
CLK下降沿到达时，从触发器置0， $Q^*=0$ 。



$J=0$ $K=0$ 时，触发器保持原来状态不变，

$$Q^* = Q。$$



$J=1$ $K=1$ 时,

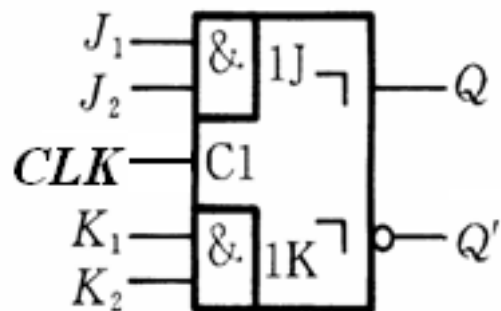
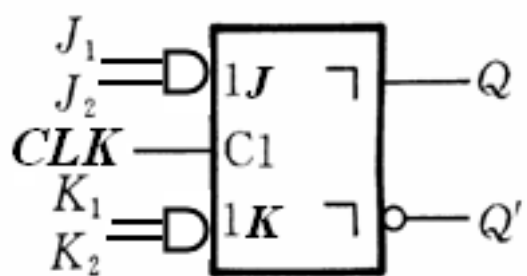
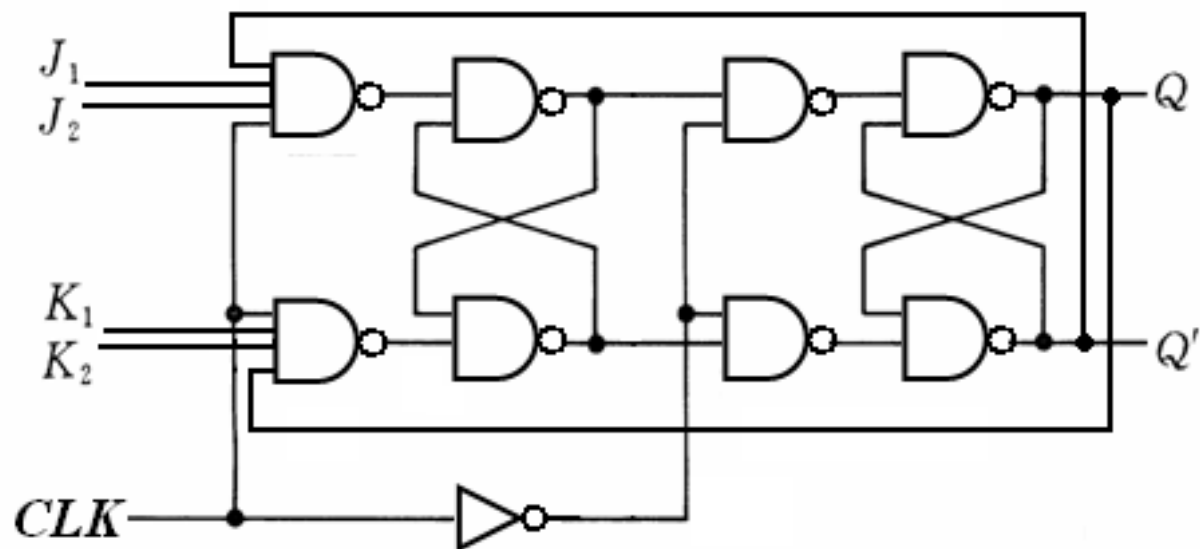
$Q=0, G_7$ 输出0, 主触发器置1, $CLK\downarrow, Q^*=1$;

$Q=1, G_8$ 输出0, 主触发器置0, $CLK\downarrow, Q^*=0$ 。

$Q^*=Q'$

JK触发器的特性表

J	K	Q	Q^*	功能
0	0	0	0	$Q^* = Q$ 保持
0	0	1	1	
0	1	0	0	$Q^* = 0$ 置 0
0	1	1	0	
1	0	0	1	$Q^* = 1$ 置 1
1	0	1	1	
1	1	0	1	$Q^* = Q'$ 翻转
1	1	1	0	

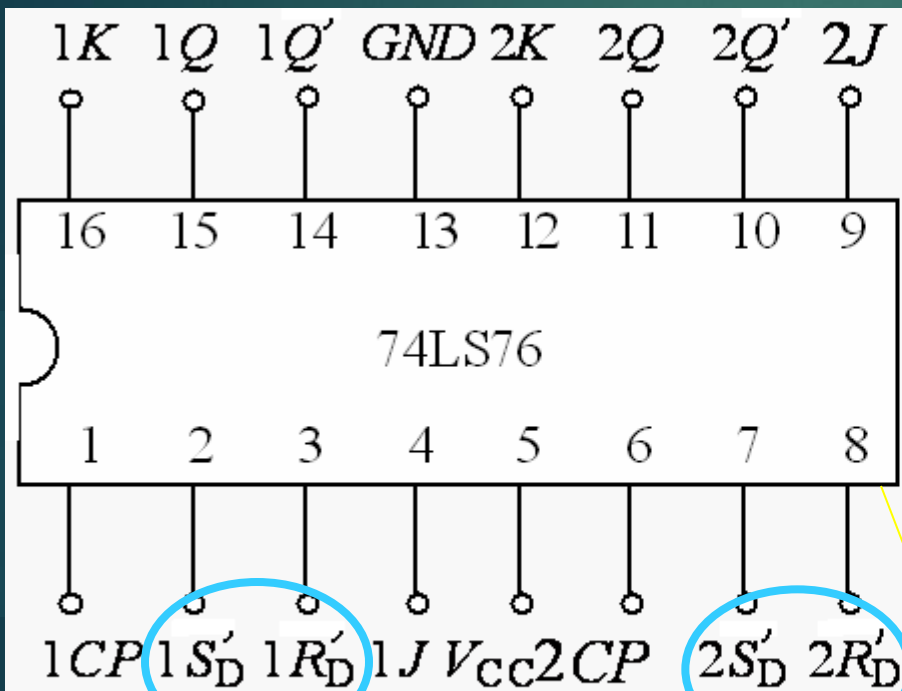


具有多输入端的主从JK触发器，输入端 J_1 和 J_2 、 K_1 和 K_2 是与的关系。

集成主从JK触发器

低电平有效

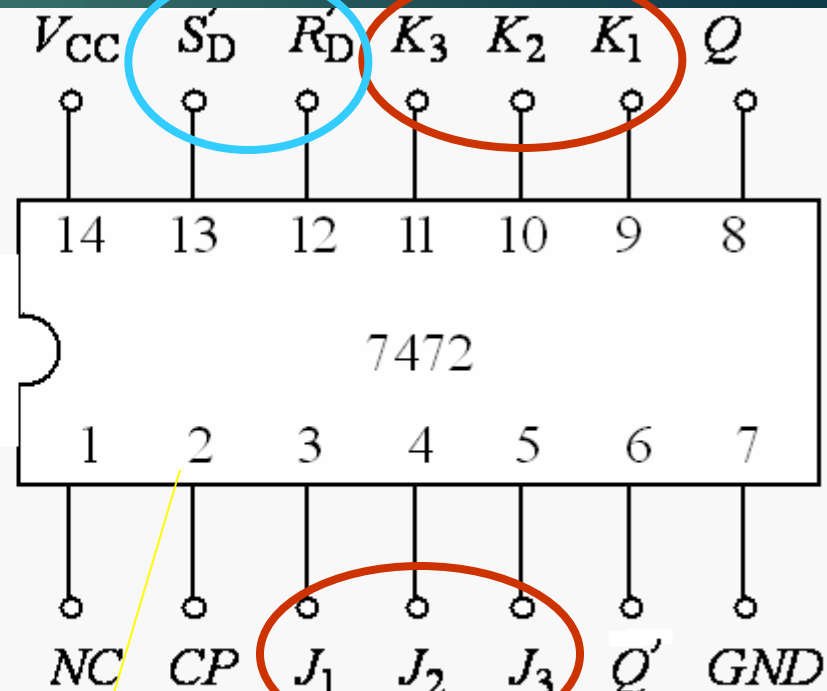
$$K = K_1 K_2 K_3$$



(a) 74LS76 的引脚图

低电平有效

CP下降沿触发

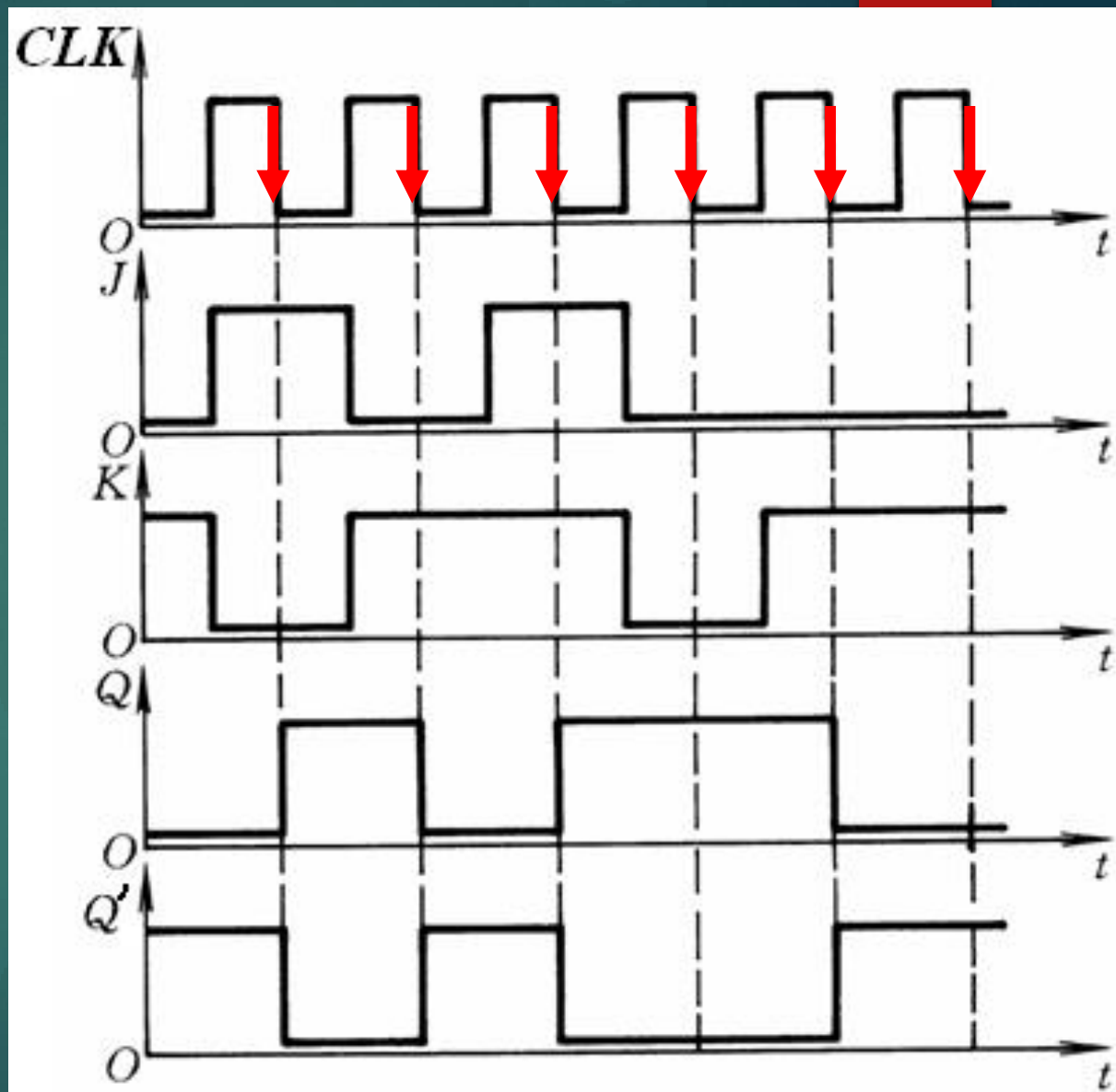


(b) 7472 的引脚图

$$J = J_1 J_2 J_3$$

例

$$Q^* = JQ' + K'Q$$



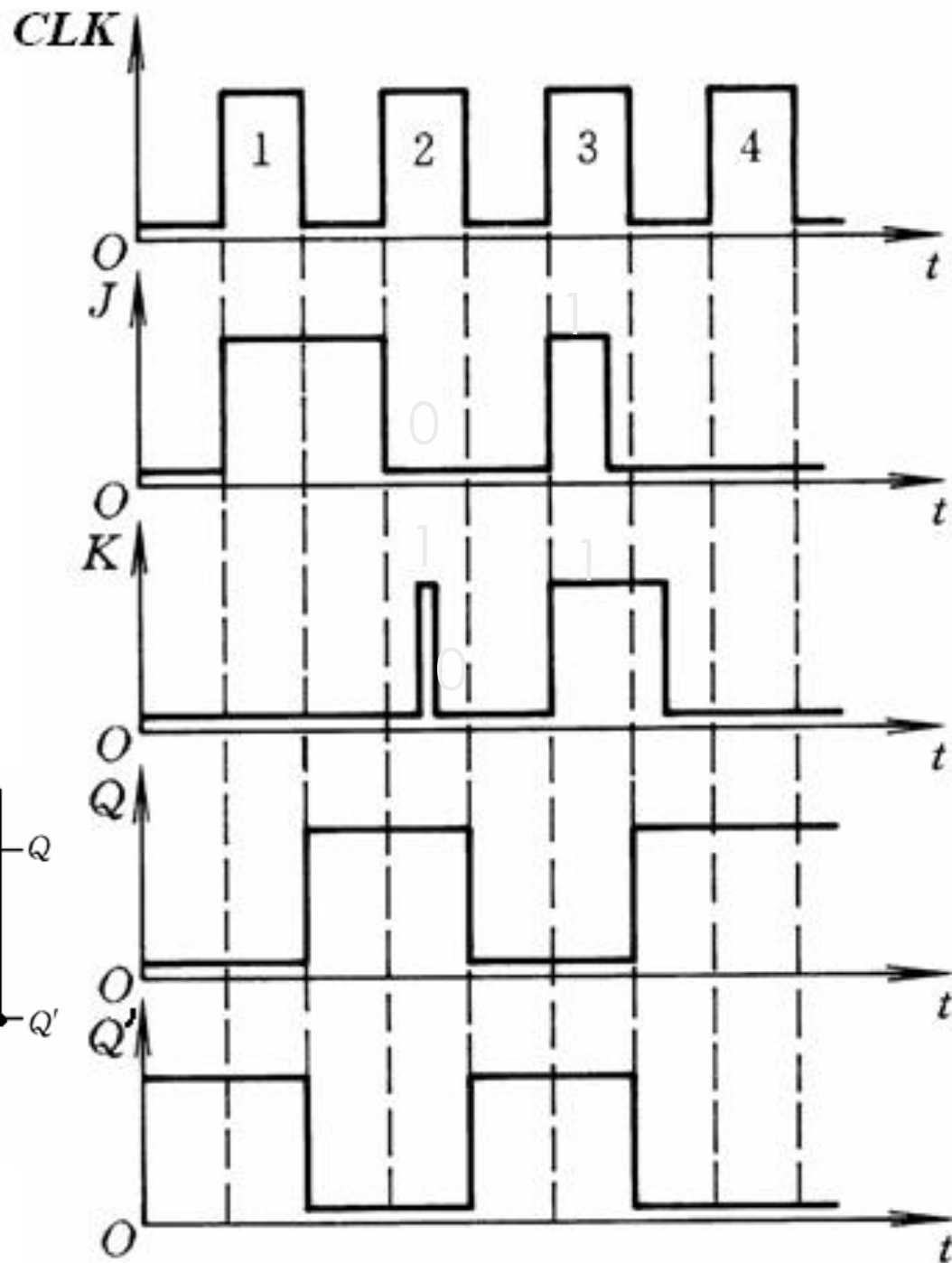
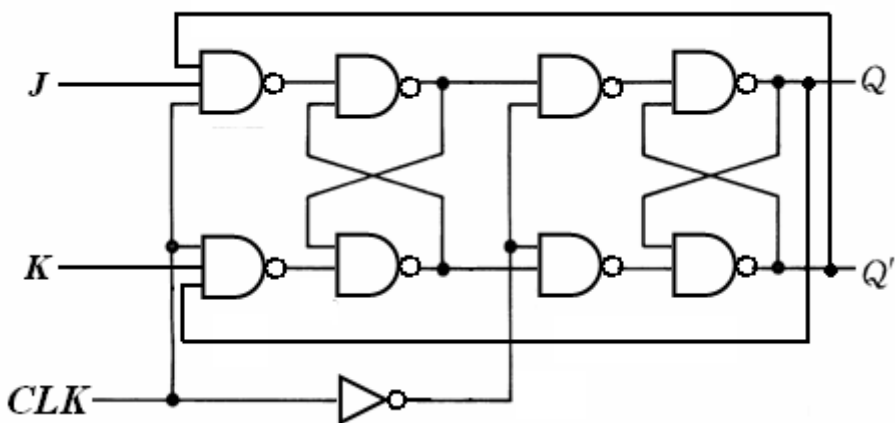
脉冲触发方式的动作特点:

(1) 触发器翻转分两步动作: 第一步, 在 $\text{CLK}=1$ 期间主触发器接收输入端信号, 被置成相应的状态, 从触发器不变; 第二步, CLK 下降沿到来时从触发器按照主触发器的状态翻转, 输出端 Q 和 Q' 的状态改变发生在 CLK 下降沿。

(2) 在 $\text{CLK}=1$ 的全部时间里输入信号都将对主触发器起控制作用。

例

第三个CLK=1期间， $Q=0$ ， $J=K=1$ ，主触发器被置1，虽然CLK下降沿到达时又回到 $J=0$ ，从触发器保持输出 $Q^*=1$ 。



一次变化现象：

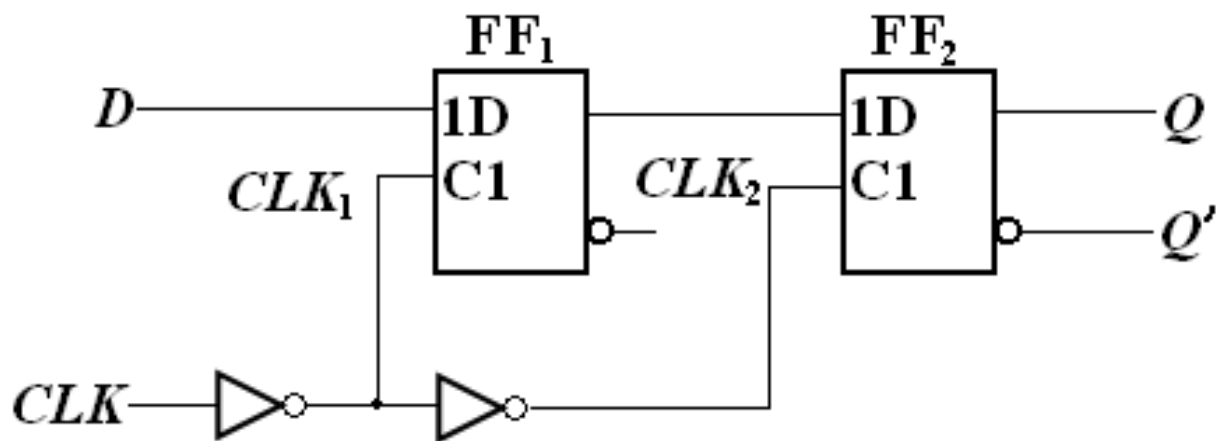
在 $Q=0$ 时，J端出现正向干扰，在 $Q=1$ 时，K端出现正向干扰，触发器的状态只能根据输入端的信号（正向干扰信号）改变一次的现象称为一次变化现象。

一次变化现象降低了主从JK触发器的抗干扰能力。

主从JK触发器在使用时要求J、K信号在CLK上升沿前加入，CLK=1期间保持不变，CLK下降沿时触发器状态发生改变。

四、边沿触发的触发器

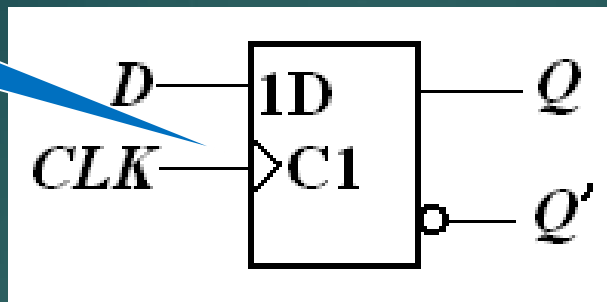
1. 用两个电平触发D触发器组成的边沿触发器



特性表

CLK	D	Q^*
0	\times	Q
\uparrow	0	0
\uparrow	1	1

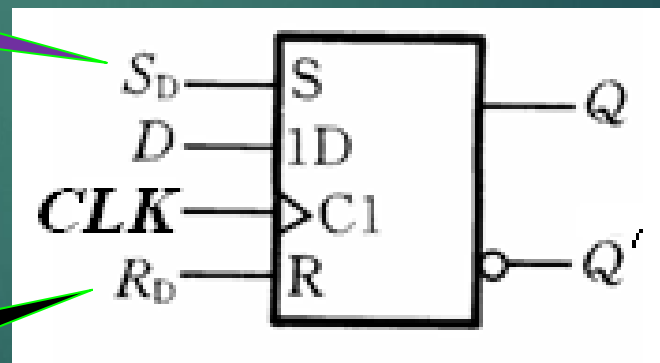
上升沿触发



逻辑符号

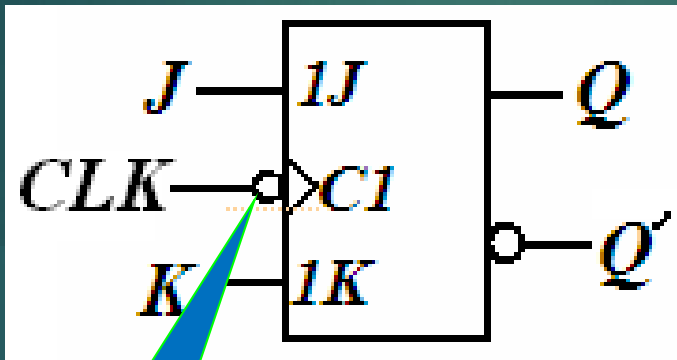
带异步置位、复位端的CMOS边沿触发D触发器

异步置位端（高电平有效）



异步复位端（高电平有效）

2.利用传输延迟时间的边沿触发器



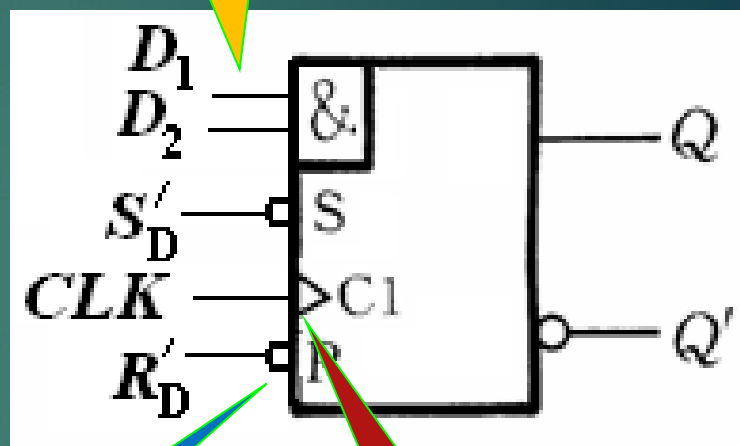
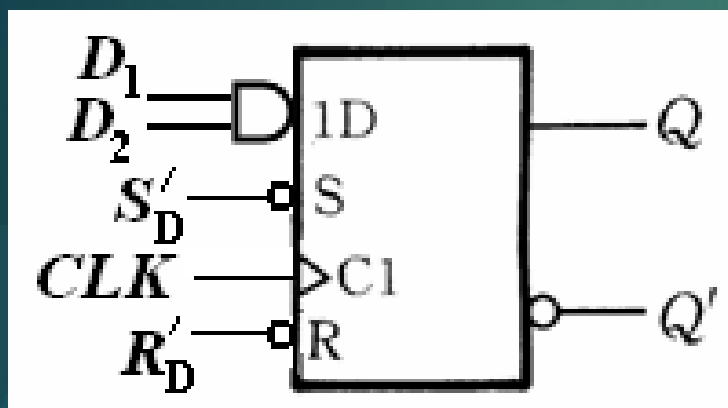
下降沿触发

特性表

CLK	J	K	Q^*
\times	\times	\times	Q
\downarrow	0	0	Q
\downarrow	0	1	0
\downarrow	1	0	1
\downarrow	1	1	Q'

3.维持阻塞边沿触发器

多输入端



低电平有效

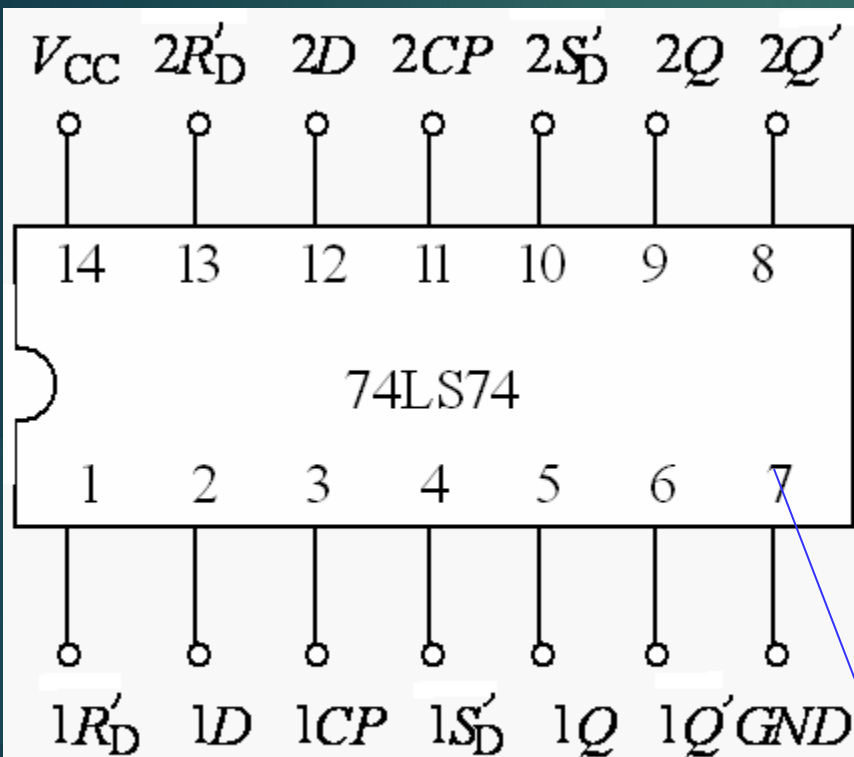
上升沿触发

边沿触发器动作特点：

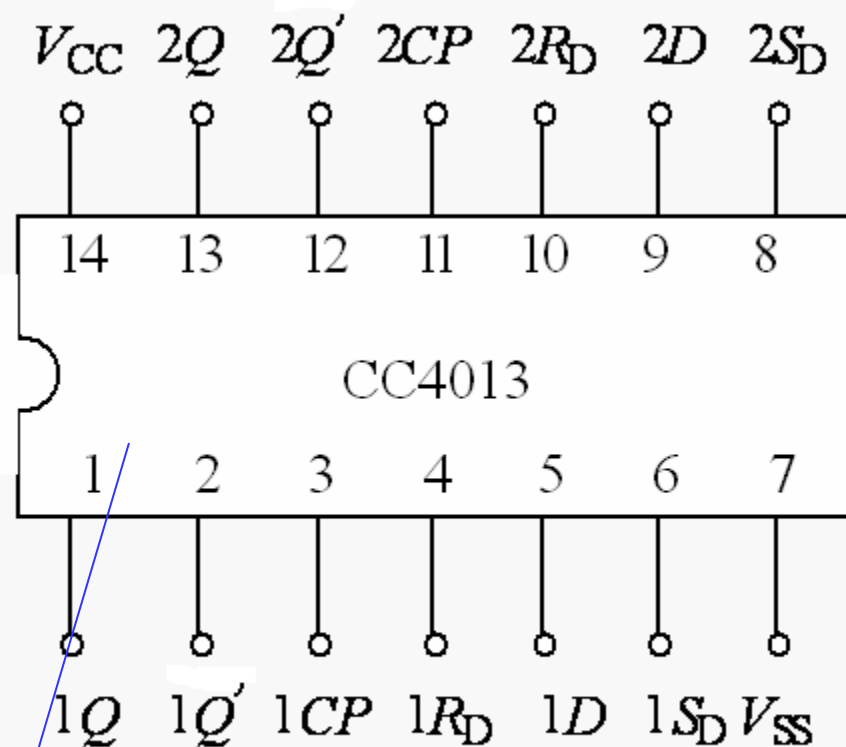
触发器的次态仅仅取决于时钟信号的上升沿（下降沿）到达时输入的逻辑状态，而在这以前或以后，输入信号的变化对触发器输出的状态没有影响。

边沿触发器有效地提高了触发器的抗干扰能力，因而也提高了电路的工作可靠性。

集成边沿D触发器



(a) 74LS74 引脚排列图

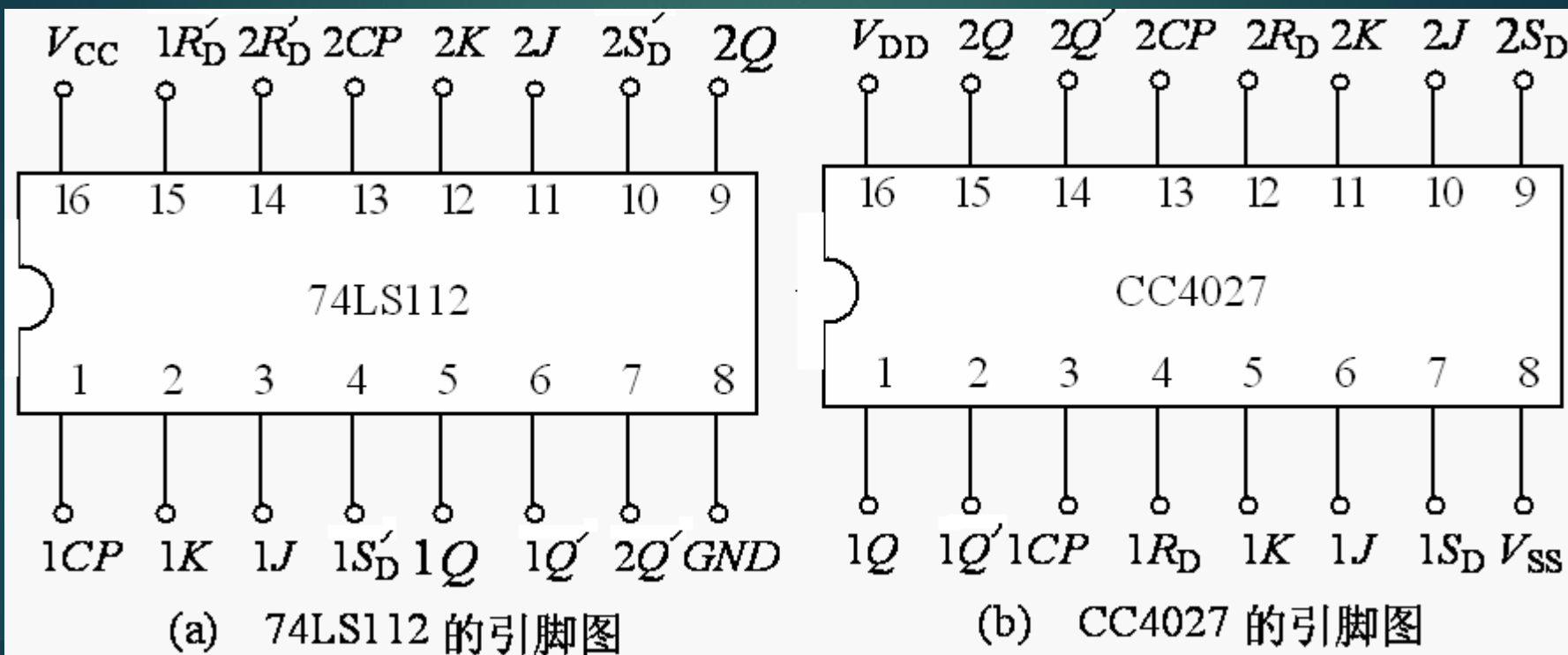


(b) CC4013 引脚排列图

CP上升沿触发

注意：CC4013的异步输入端 R_D 和 S_D 为高电平有效。

集成边沿JK触发器

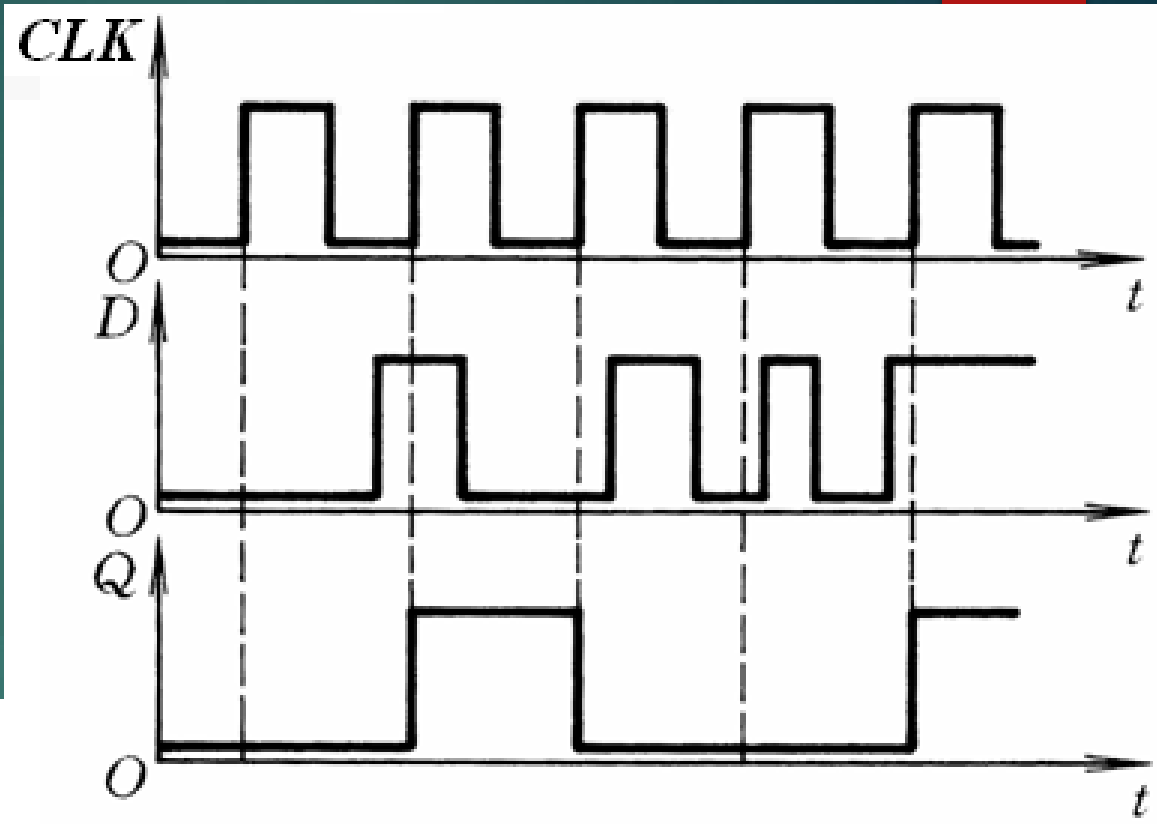
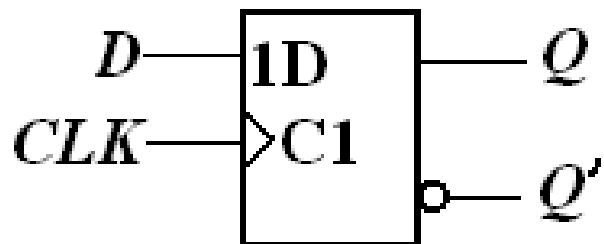


注意

- ① 74LS112 为 CP 下降沿触发。
- ② CC4027 为 CP 上升沿触发，且其异步输入端 R_D 和 S_D 为高电平有效。

例

已知D和CP的波形，试画出Q的波形。设触发器初始状态为0。



课堂练习

题目:时钟CP及输入信号D 的波形如图所示,试画出各触发器输出端Q的波形,设各输出端Q的初始状态为0.

