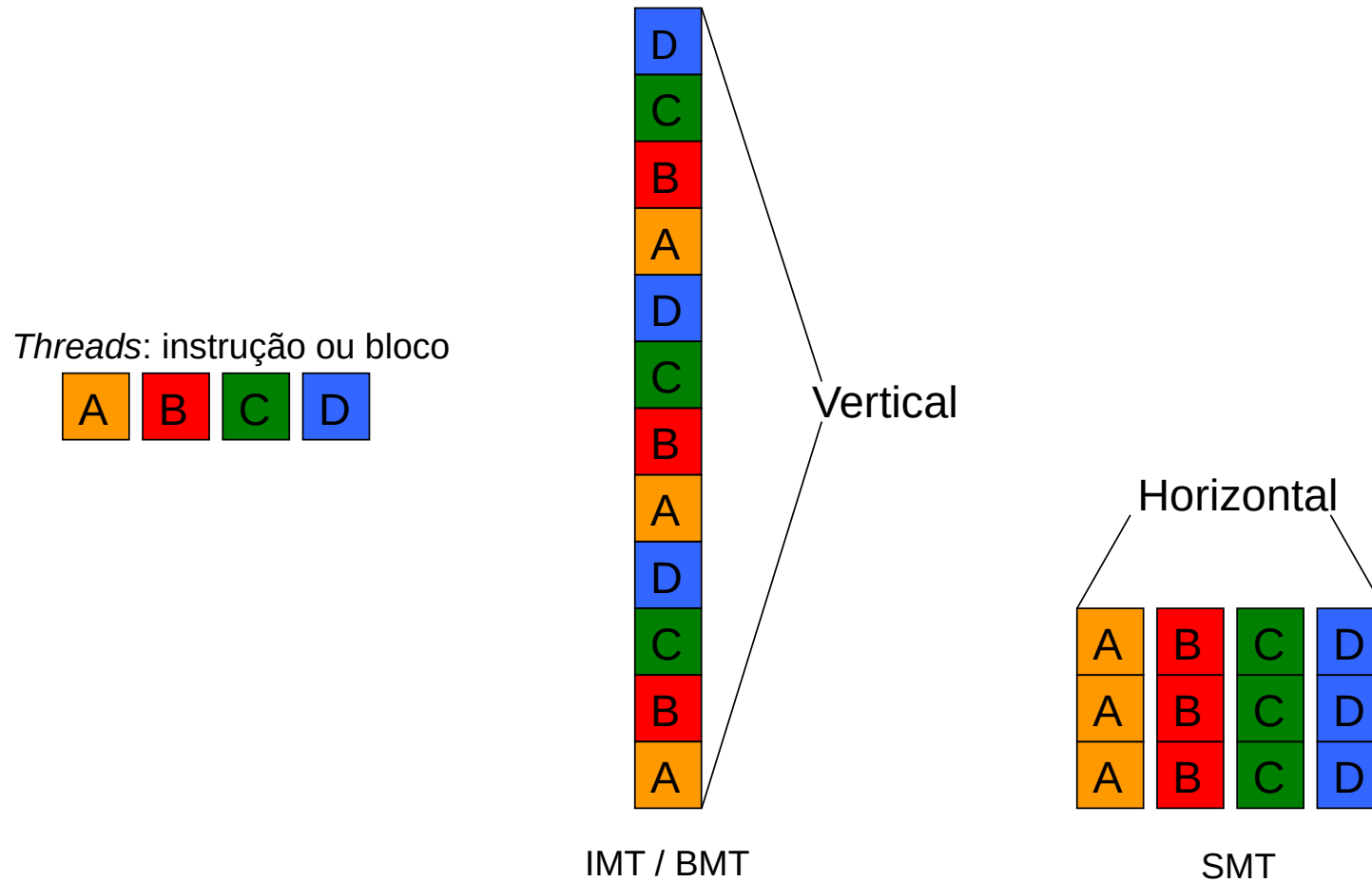


Arquitetura de Computadores III

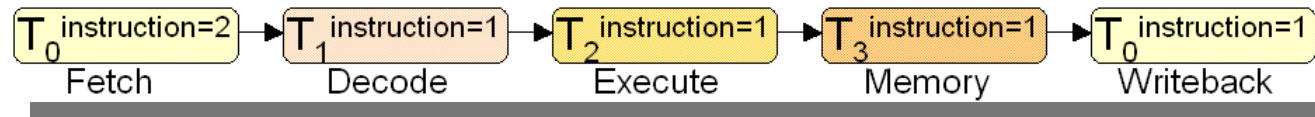
Arquitetura de Suporte Multithreading

Suporte a múltiplas threads

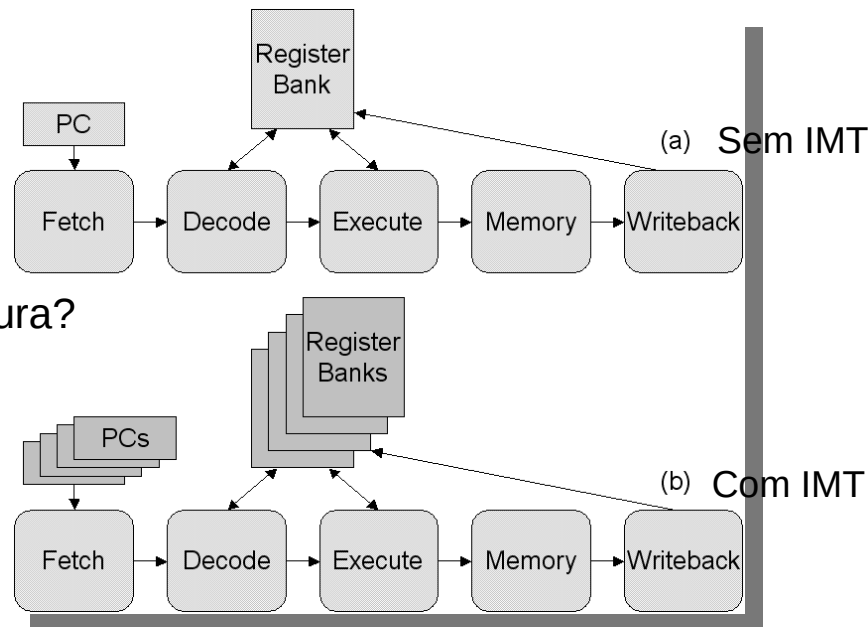


Suporte a múltiplas threads

Quantas instruções são executadas simultaneamente?



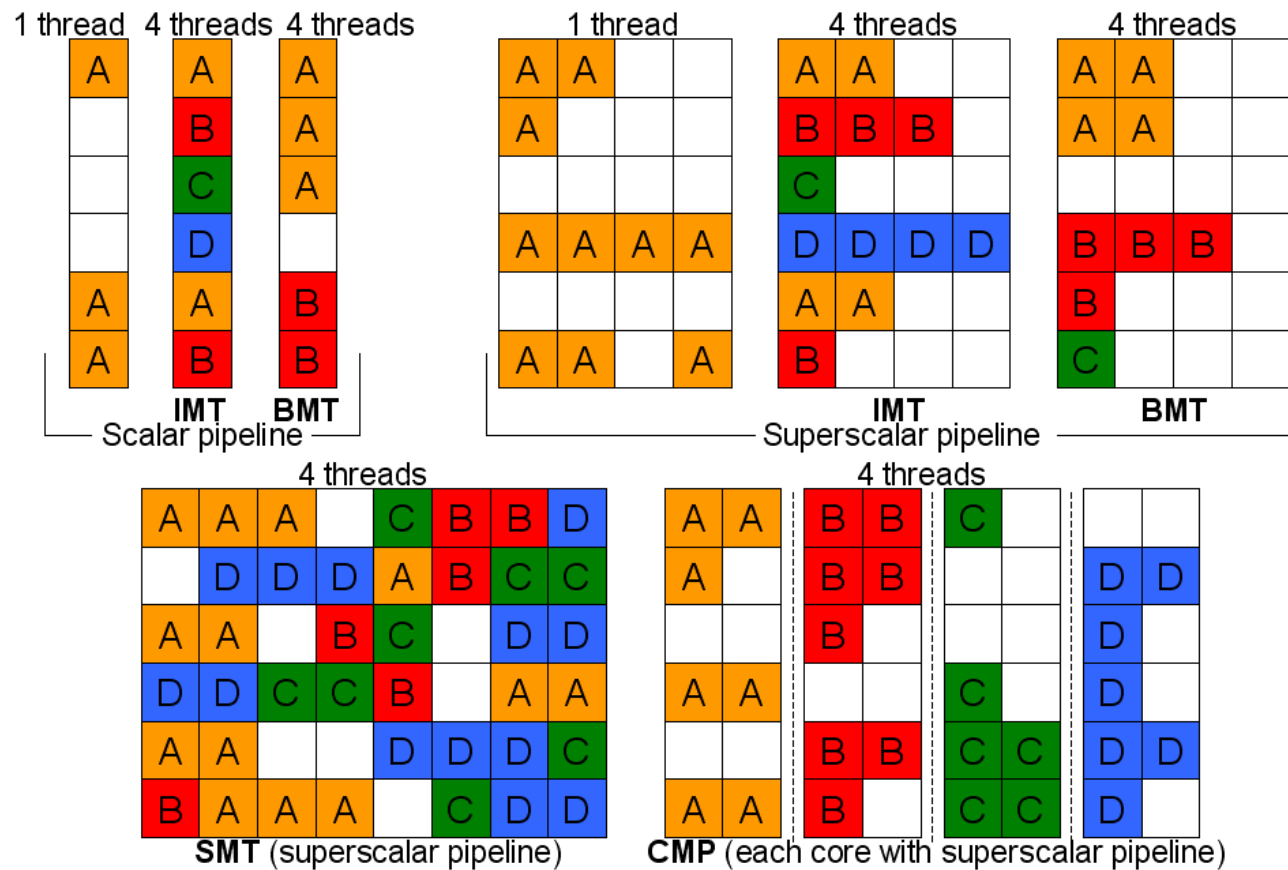
Qual o impacto na arquitetura?



FREITAS, H. C.; MADRUGA, F. L.; ALVES, M. A. Z.; NAVAUX, P. O. A. Design of Interleaved Multithreading for Network Processors on Chip, IEEE International Symposium on Circuits and Systems, ISCAS, Taipei, p. 2213-2216, 2009

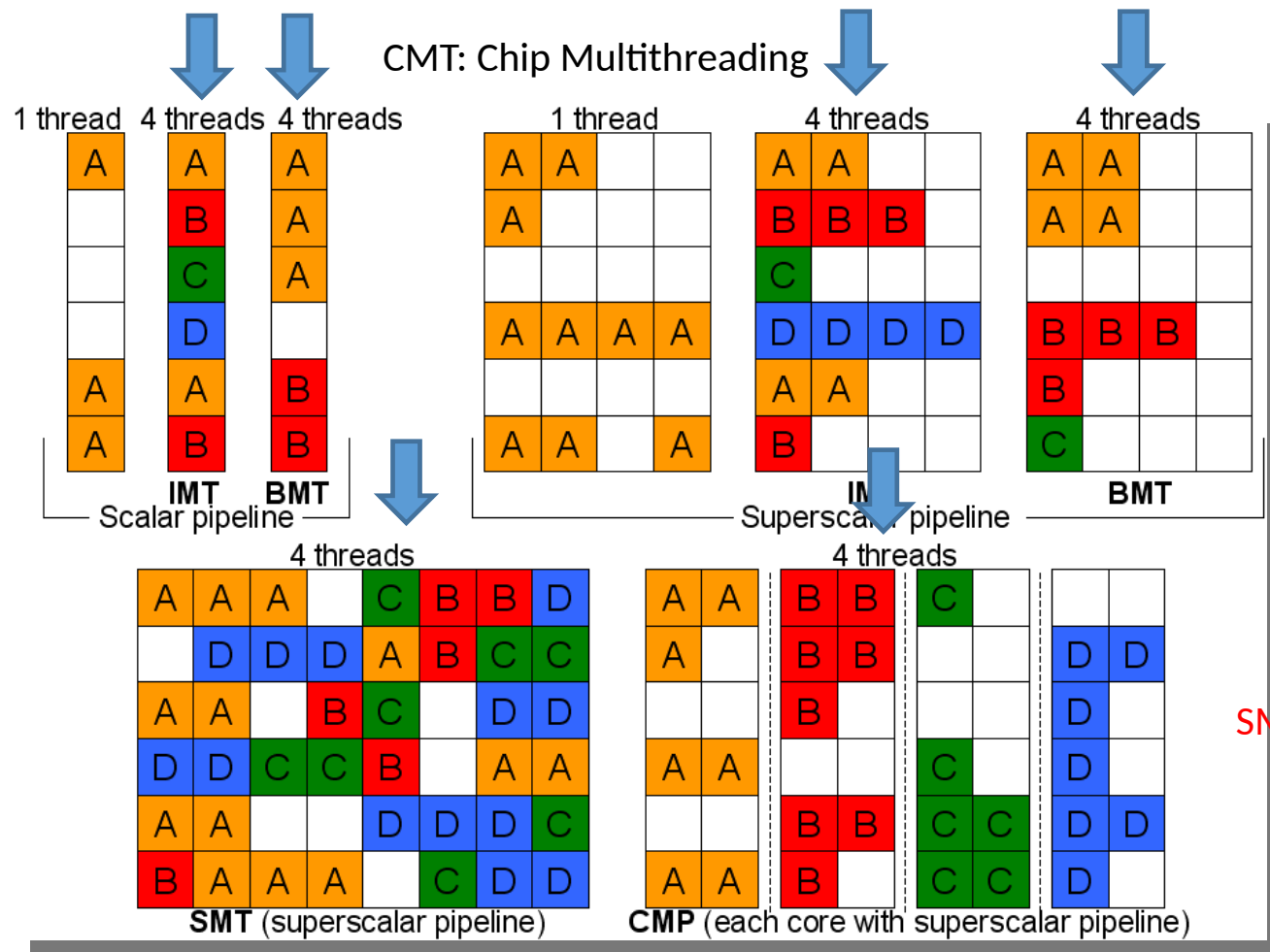
Suporte a múltiplas threads

CMT: Chip Multithreading



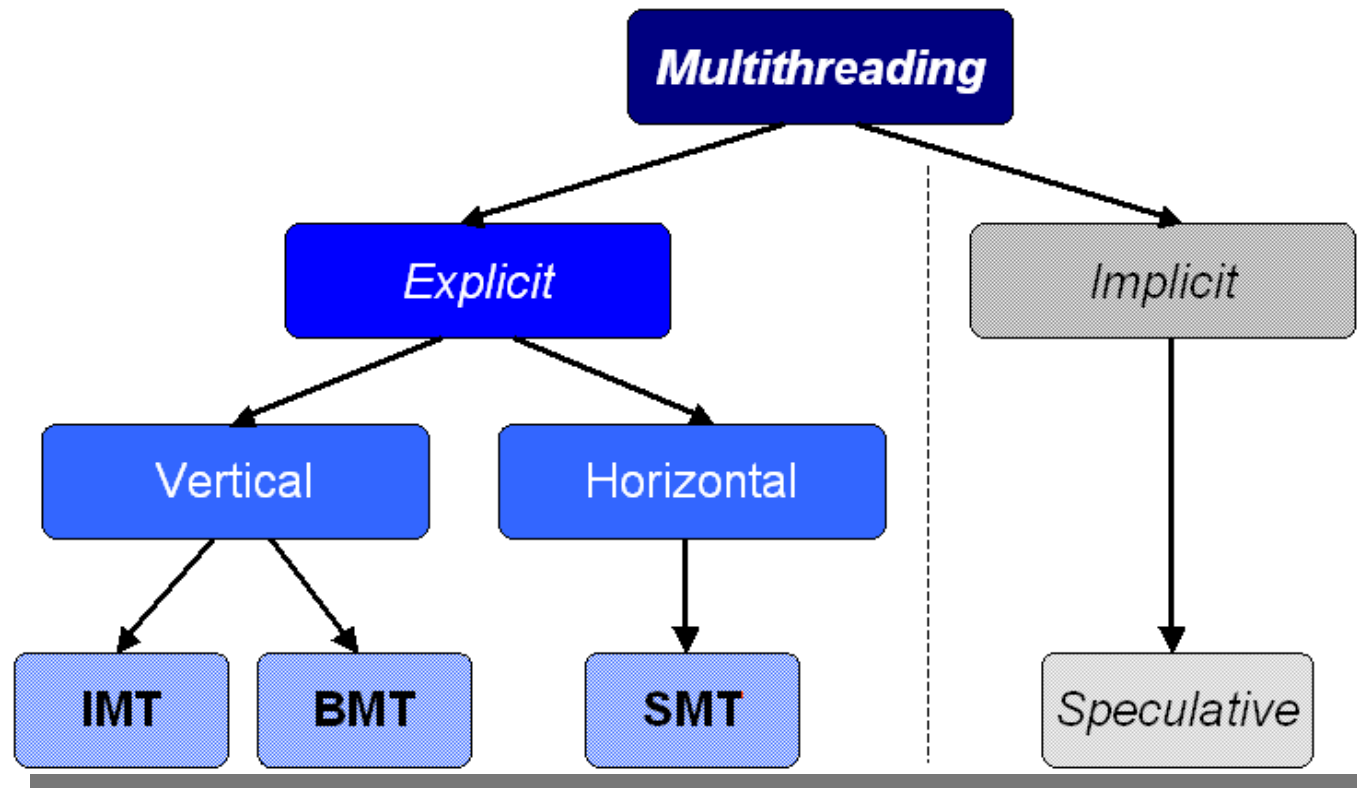
FREITAS, H. C.; MADRUGA, F. L.; ALVES, M. A. Z.; NAVAUX, P. O. A. Design of Interleaved Multithreading for Network Processors on Chip, IEEE International Symposium on Circuits and Systems, ISCAS, Taipei, p. 2213-2216, 2009

Suporte a múltiplas threads



FREITAS, H. C.; MADRUGA, F. L.; ALVES, M. A. Z.; NAVAUX, P. O. A. Design of Interleaved Multithreading for Network Processors on Chip, IEEE International Symposium on Circuits and Systems, ISCAS, Taipei, p. 2213-2216, 2009

Suporte a múltiplas threads

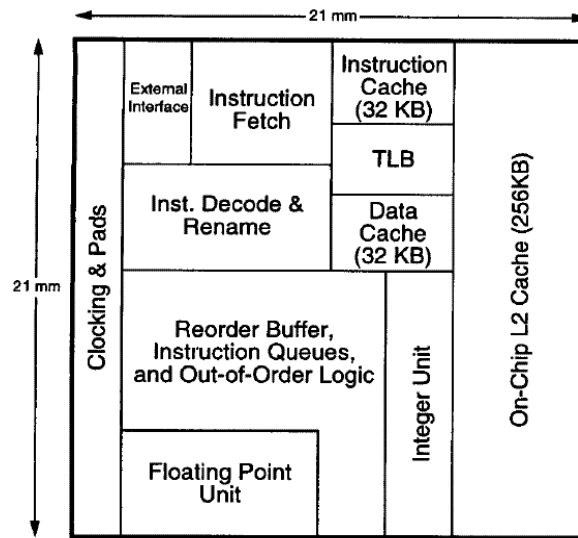


Suporte a múltiplas threads (toco no SMT)

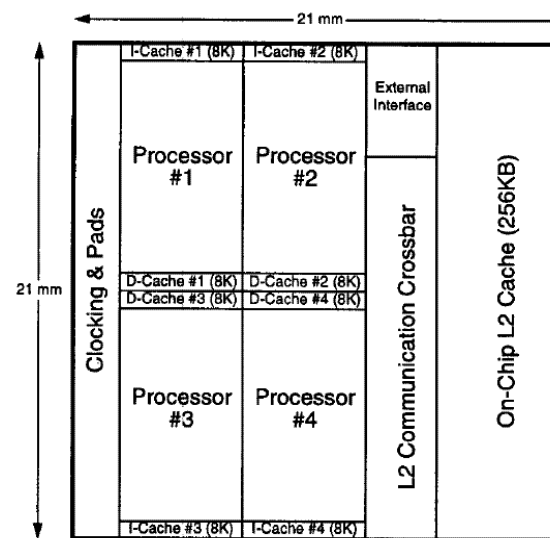
- Benefícios:
 - CPI => IPC (Superescalar).
 - Vazão de instruções (Superescalar) => Vazão de threads (SMT).
 - Ilusão de mais de um núcleo de processamento.
 - Não existe o esvaziamento de pipeline comum no BMT.
 - Não há atraso na execução de threads, comum no IMT/BMT.
- Desafios / Problemas:
 - Tamanho da arquitetura.
 - Banco de registradores muito grande para guardar vários contextos.
 - Divisão de recursos e equilíbrio de desempenho.
 - Conflitos de cache sem degradação de desempenho.

Processadores multicore

- (a) Superescalaridade de seis vias de execução.
- (b) Chip multicore. Cada core superescalar com duas vias de execução.



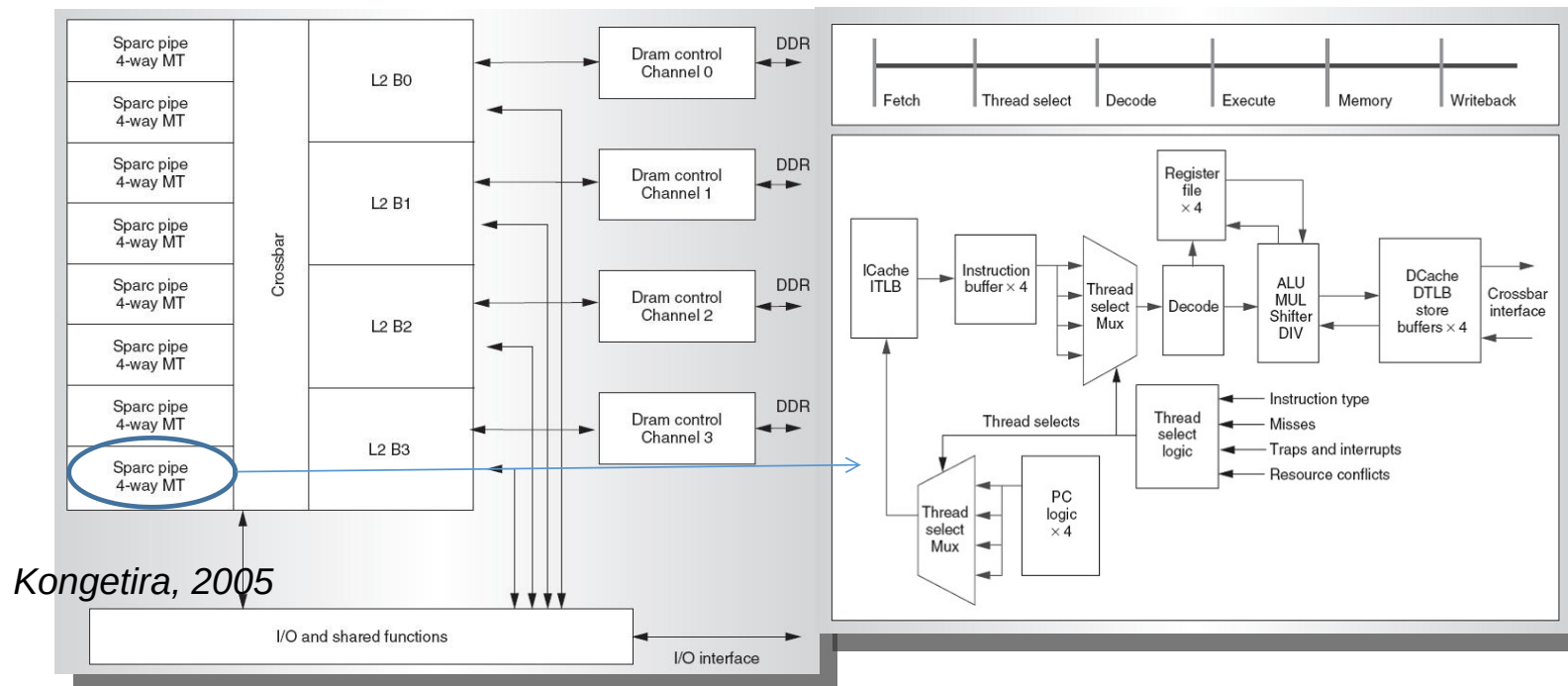
(a)
10% a 30%
ILP



(b)
50% a 100%
TLP

OLUKOTUN, K. et al., The Case for a Single-Chip Multiprocessor, 7th International Conference on Architectural Support for Programming Languages and Operating Systems, p. 2-11, 1996.

Processadores multicore



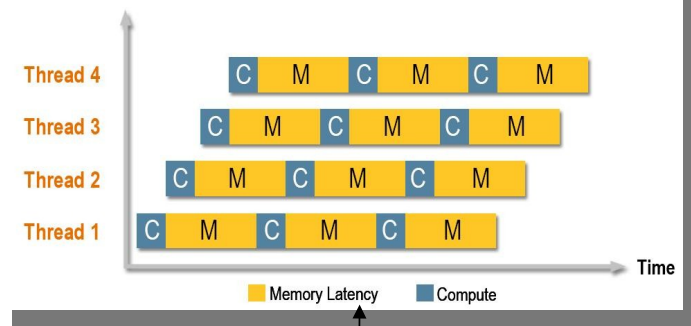
- Suporte a 4 *threads* IMT por núcleo (**32 *threads* ativas, 8 *threads* simultâneas**).
- Crossbar switch de 134,4 GB/s.
- 4 canais DDR 23GB/s.
- Potência < 80W.

KONGETIRA, P. et al., Niagara: a 32-way multithreaded Sparc processor, IEEE MICRO, v. 25, Issue 2, p. 21-29, March-April 2005.

Processadores multicore

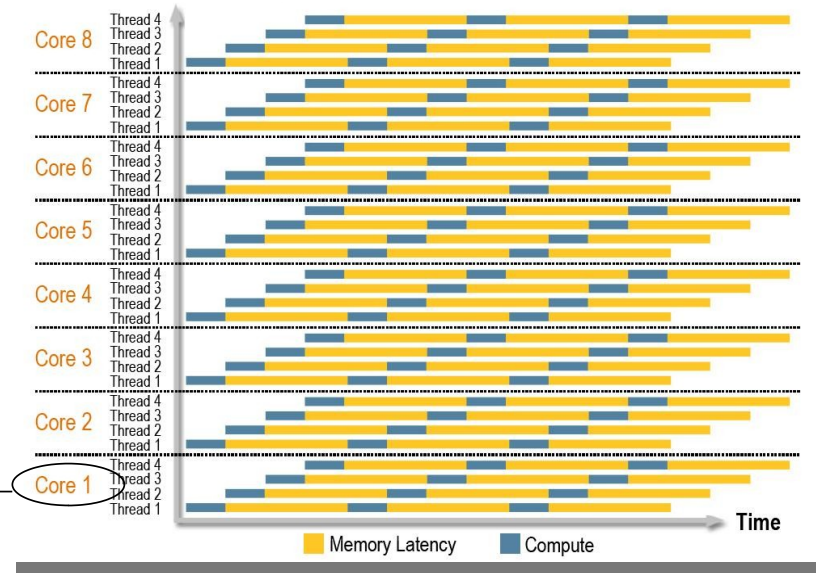
Quantas threads simultâneas?

Chip Multithreading (CMT)

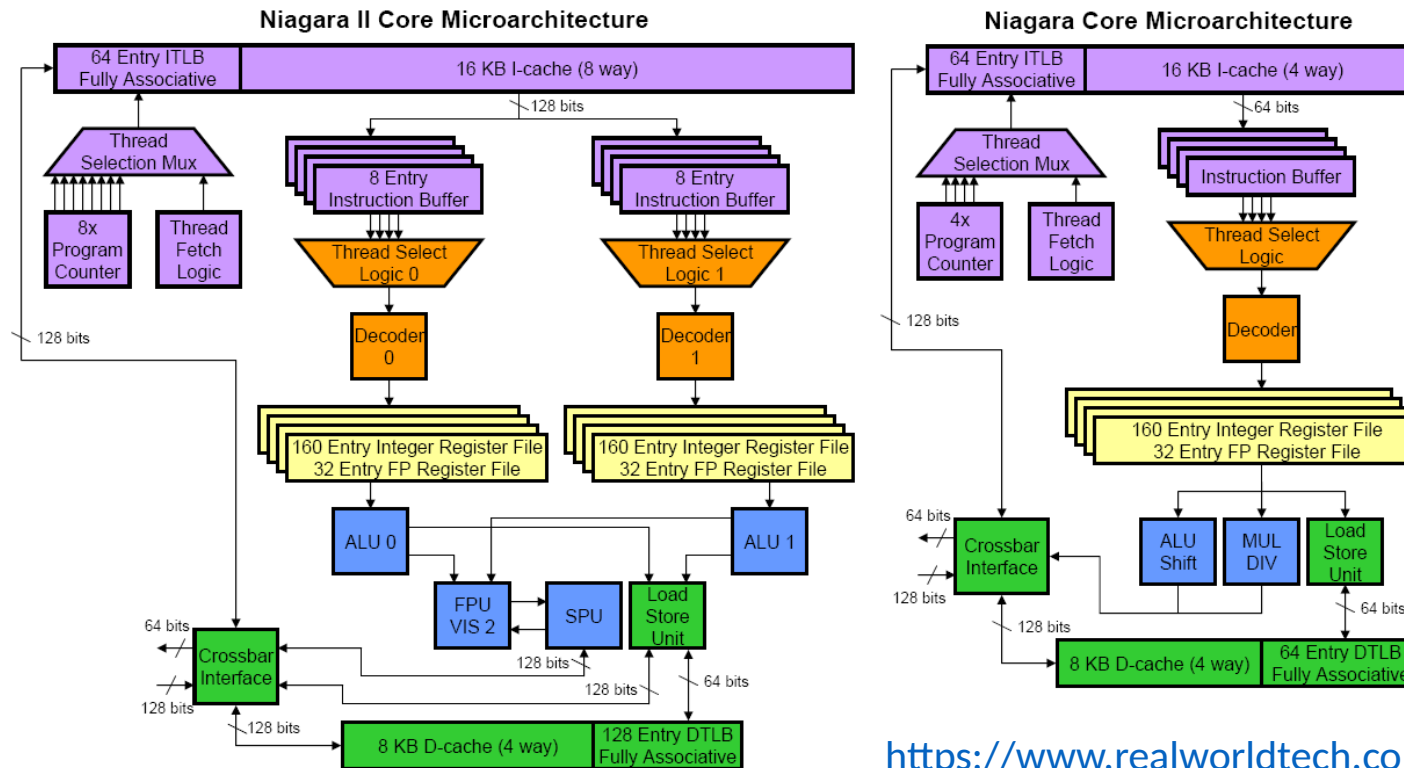


YEN, D. W., Scalable Sparc Systems Next-Generation Computing, Scalable Systems Group, Sun Microsystems, 2005

CMT – Multiple Multithreaded Cores



Processadores multicore

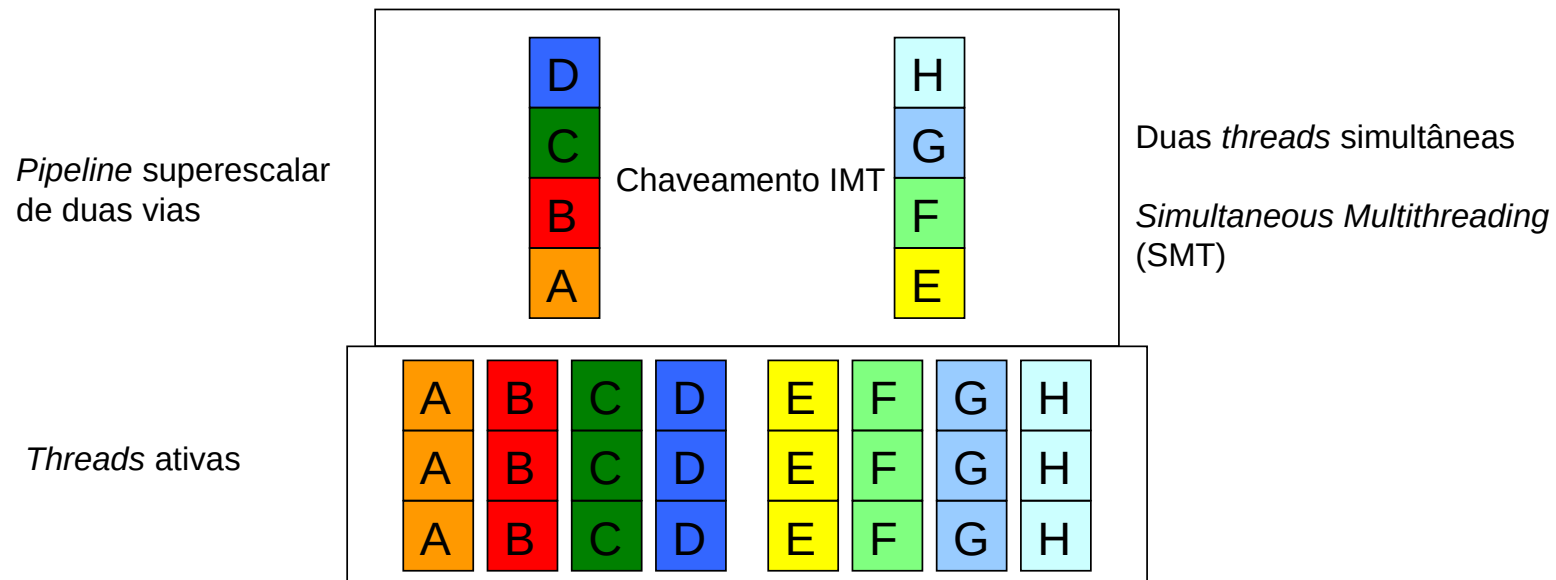


<https://www.realworldtech.com/niagara2/2/>

- Suporte a 8 *threads* por núcleo (64 *threads* ativas, 16 *threads* simultâneas).
- Instruções executadas em ordem, previsão de desvio estático ou pela última decisão tomada.
- Crossbar switch de 268,8 GB/s.

Processadores multicore

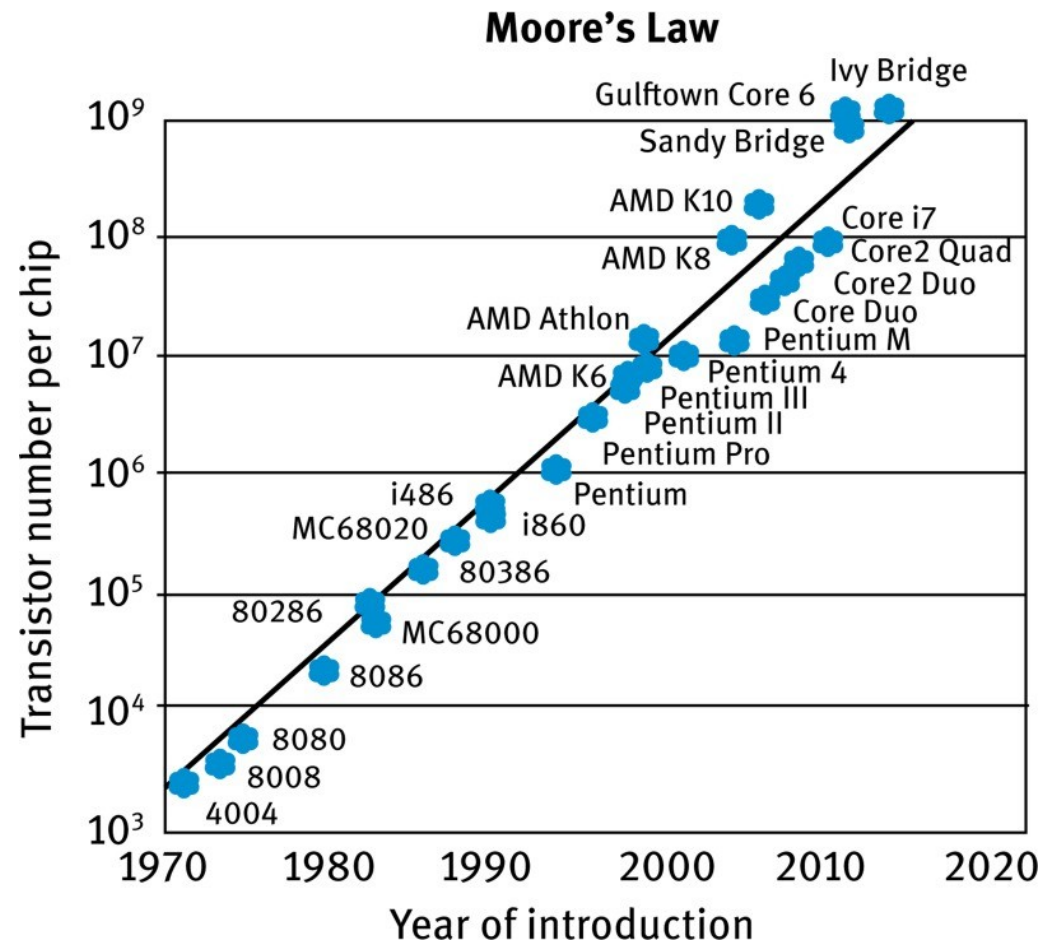
- ✧ SMT combinado com IMT em *chip multi-core*.
 - ✧ Superescalaridade associada a SMT com entrelaçamento de instruções.
 - ✧ Aumenta desempenho para cargas de trabalho de propósitos gerais.
 - ✧ Reduz tamanho e complexidade da arquitetura superescalar do processador.



Arquitetura de Computadores III

Arquiteturas Multicore (história)

Lei de Moore



https://www.ncbi.nlm.nih.gov/books/NBK321721/figure/oin_tutorial.F3/

Dennard Scaling

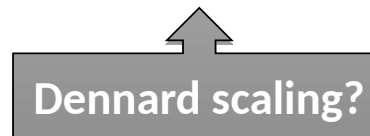
- Há redução em área, tensão e atraso do circuito, com impacto em:
 - Aumento da frequência.
 - Redução em todas as distâncias levando a uma redução na capacitância.
 - Consequentemente, há uma redução no consumo de potência.
- Portanto, mesmo com o aumento em 2x na densidade de transistores (Lei de Moore) o consumo de potência permanece o mesmo.
- **No entanto**, Dennard ignorou as correntes de fuga e limites de tensão e, portanto:
 - Com os transistores ficando menores, a potência aumenta porque não escala em função do tamanho.
 - Isso ficou conhecido como **Power Wall** que limita na prática processadores com **frequência de até 4GHz, desde 2006**.

https://en.wikipedia.org/wiki/Dennard_scaling

Qual a origem do processador multicore?

Propósito geral

- Em uma fábrica de processadores tão tão distante...
 - O diretor para o arquiteto: Precisamos de mais desempenho!
 - O arquiteto para o diretor: Não é possível aumentar o paralelismo de instruções!
 - O diretor para o engenheiro: Precisamos de mais desempenho!
 - O engenheiro para o diretor: Não é possível aumentar a frequência, o chip vai “queimar”!
- Quem poderá nos socorrer!?



Dennard scaling?

Se este miniconto coincidir com fatos, é pura sorte!

Qual a “origem” do processador multicore?

Propósito geral

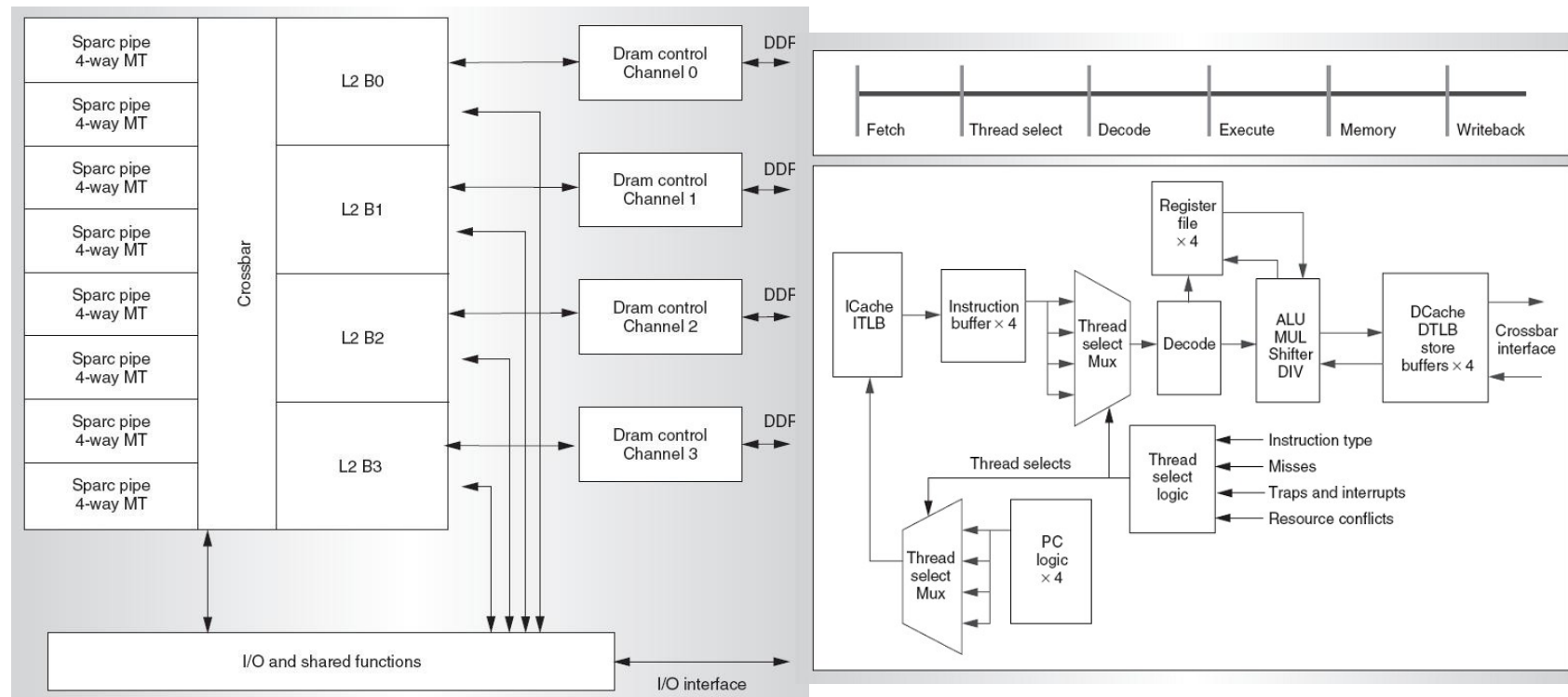
- Em uma fábrica de processadores tão tão distante...
 - Alguém diz: E a Lei de Moore!?
 - A Lei de Moore está relacionada à capacidade de integração.
 - Não está relacionada ao aumento de frequência.
 - Está relacionada a quantidade de transistores em um mesmo espaço.
 - Se diminuirmos o tamanho dos transistores?
 - 180 nm, 130 nm, 90 nm, 65 nm, 45 nm, 32 nm, 22 nm....
 - Vamos aumentar a quantidade de processadores dentro do chip de processador!
 - Vamos chamá-los de núcleos!
 - Portanto, não adianta apenas aumentar paralelismo de instruções, nem frequência de operação!
 - Precisamos aumentar a quantidade de núcleos!

Dennard scaling?



Se este miniconto coincidir com fatos, é pura sorte!

UltraSparc-T1 (Niagara 1)

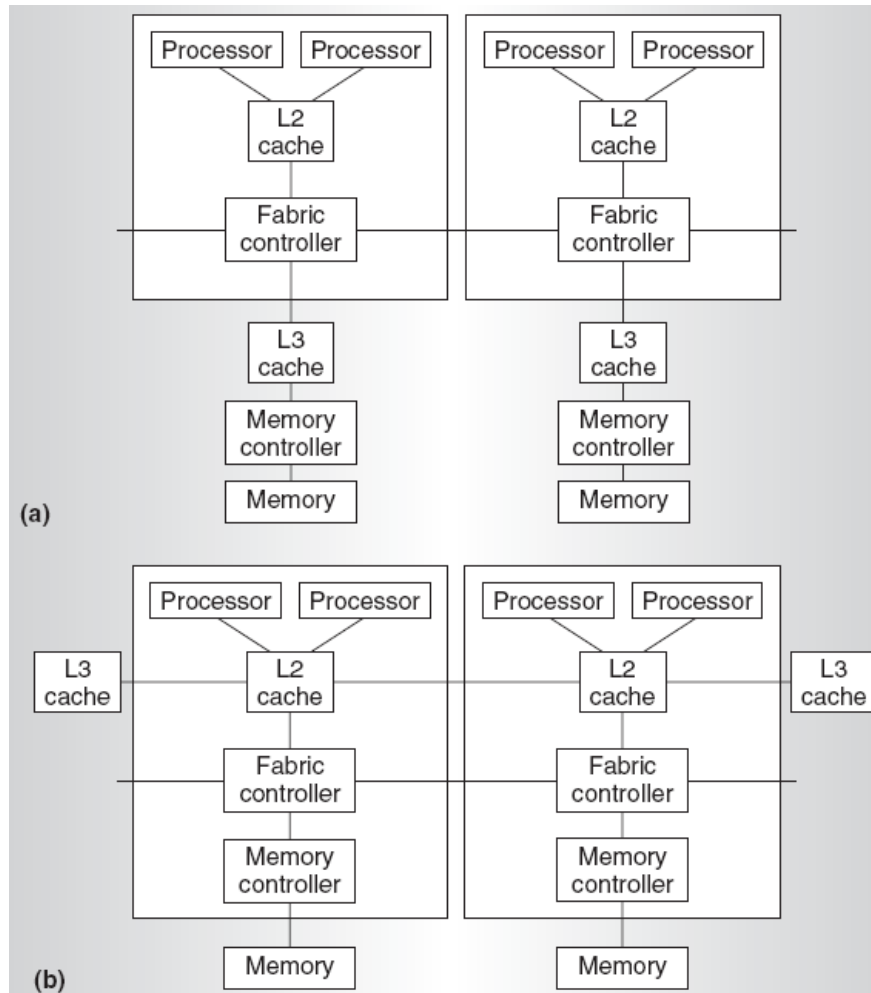


- Suporte a 4 threads IMT por núcleo (32 threads ativas, 8 threads simultâneas).
- Crossbar switch de 134,4 GB/s.
- 4 canais DDR 23GB/s.
- Potência < 80W.

KONGETIRA, P. et al., Niagara: a 32-way multithreaded Sparc processor, IEEE MICRO, v. 25, Issue 2, p. 21-29, March-April 2005.

Power 4 e Power 5

Power 4

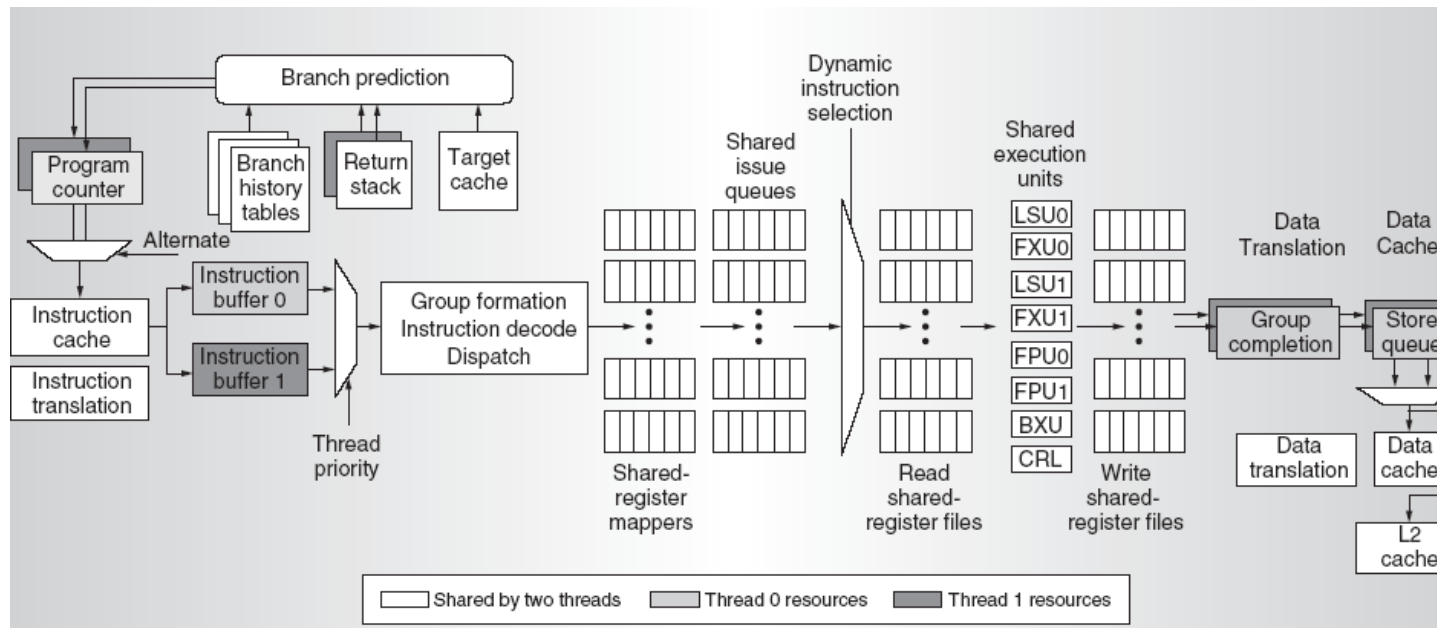


Power 5

- Os processadores Power 4 e Power5 possuem códigos binários e estrutura compatíveis.
- Diferença no acesso a cache L3.
- A grande diferença: o Power 5 suporte a duas threads simultâneas (SMT) por núcleo.
 - O Power5 possui dois núcleos físicos, mas quatro núcleos lógicos de processamento.

KALLA, R., SINHARROY, B., TENDLER, J. M., IBM Power5 Chip: A Dual-Core Multithreaded Processor, IEEE MICRO, v. 24, Issue 2, p. 40-47, 2004

Power 5



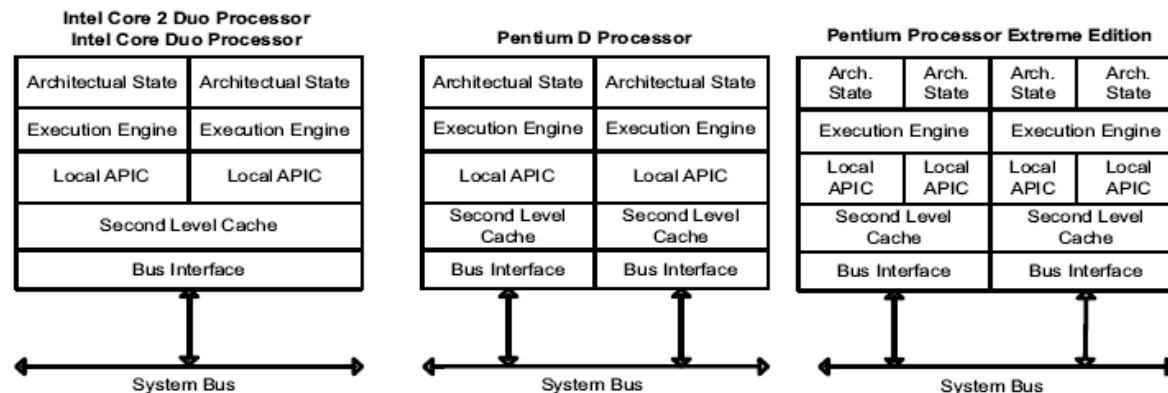
- A informação mais interessante no projeto do Power5 é justamente o fato do desempenho não melhorar com o suporte SMT por núcleo. Os principais motivos são:
 - O número limitado de unidades de execução que são compartilhados entre as duas threads.
 - O alto consumo da largura de banda de memória pelas duas threads.
- Esta é a principal razão para que o Power5 também suporte apenas uma thread por núcleo.

KALLA, R., SINHARROY, B., TENDLER, J. M., IBM Power5 Chip: A Dual-Core Multithreaded Processor, IEEE MICRO, v. 24, Issue 2, p. 40-47, 2004

Intel Dual Core

- Os processadores Pentium D e Core Duo, são compostos por dois núcleos, mas sem suporte a hyperthreading. Fisicamente e logicamente são dois núcleos internos.
- Diferenças básicas:
 - Suporte a múltiplas threads
 - Cache nível L2

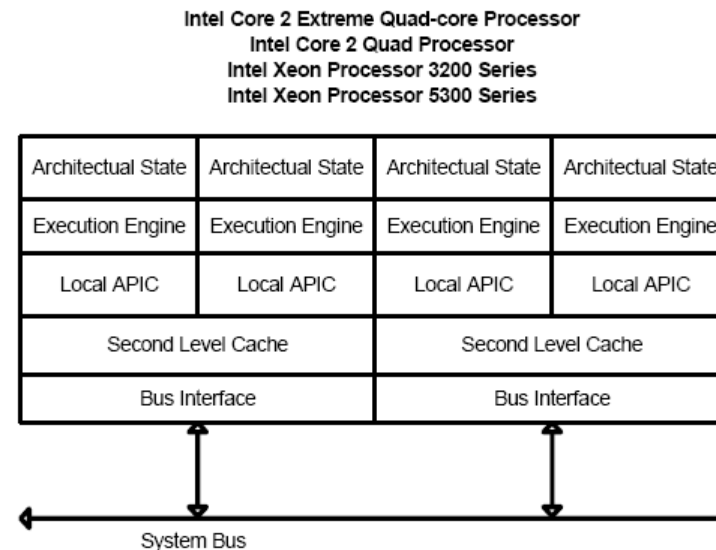
INTEL, IA-32 Intel Architecture
Software Developer's Manual,
Volume 1: Basic Architecture,
March 2006



Intel Quad Core

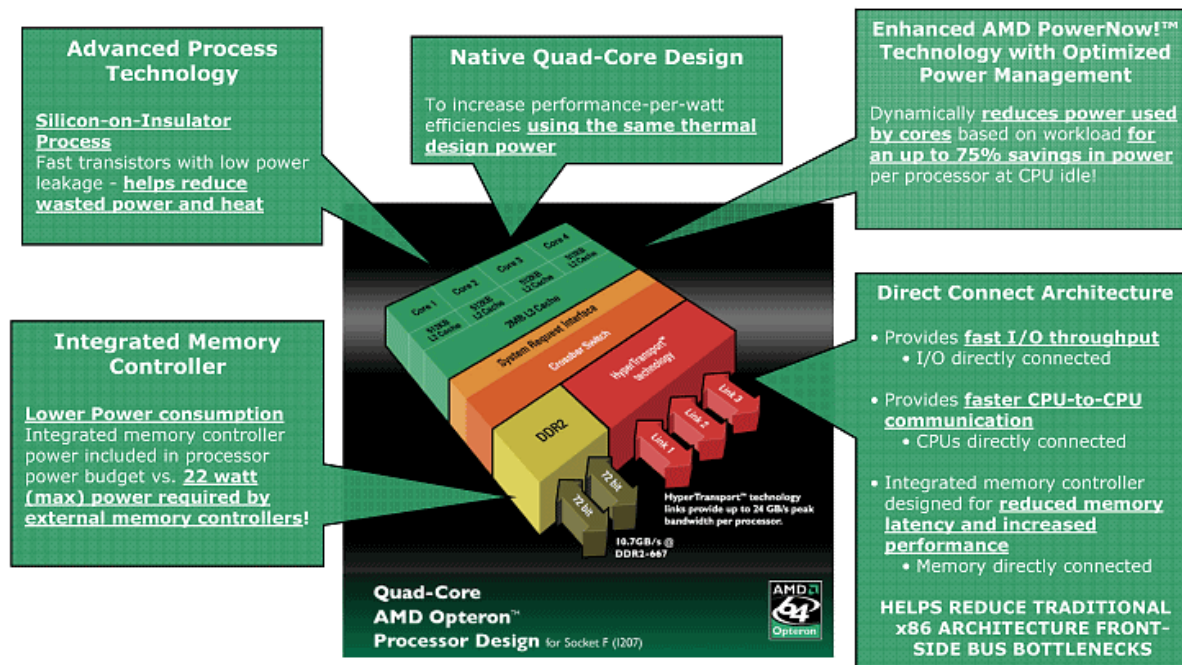
- O projeto de um processador com 4 núcleos pela Intel é basicamente a união de dois processadores dual core.
- A cache L2 compartilhada ganhou força.
- SMT não é utilizado.

INTEL, IA-32 Intel Architecture
Software Developer's Manual,
Volume 1: Basic Architecture,
March 2006



AMD Quad Core

Technologies Enabling Performance-Per-Watt Advantages for Quad-Core

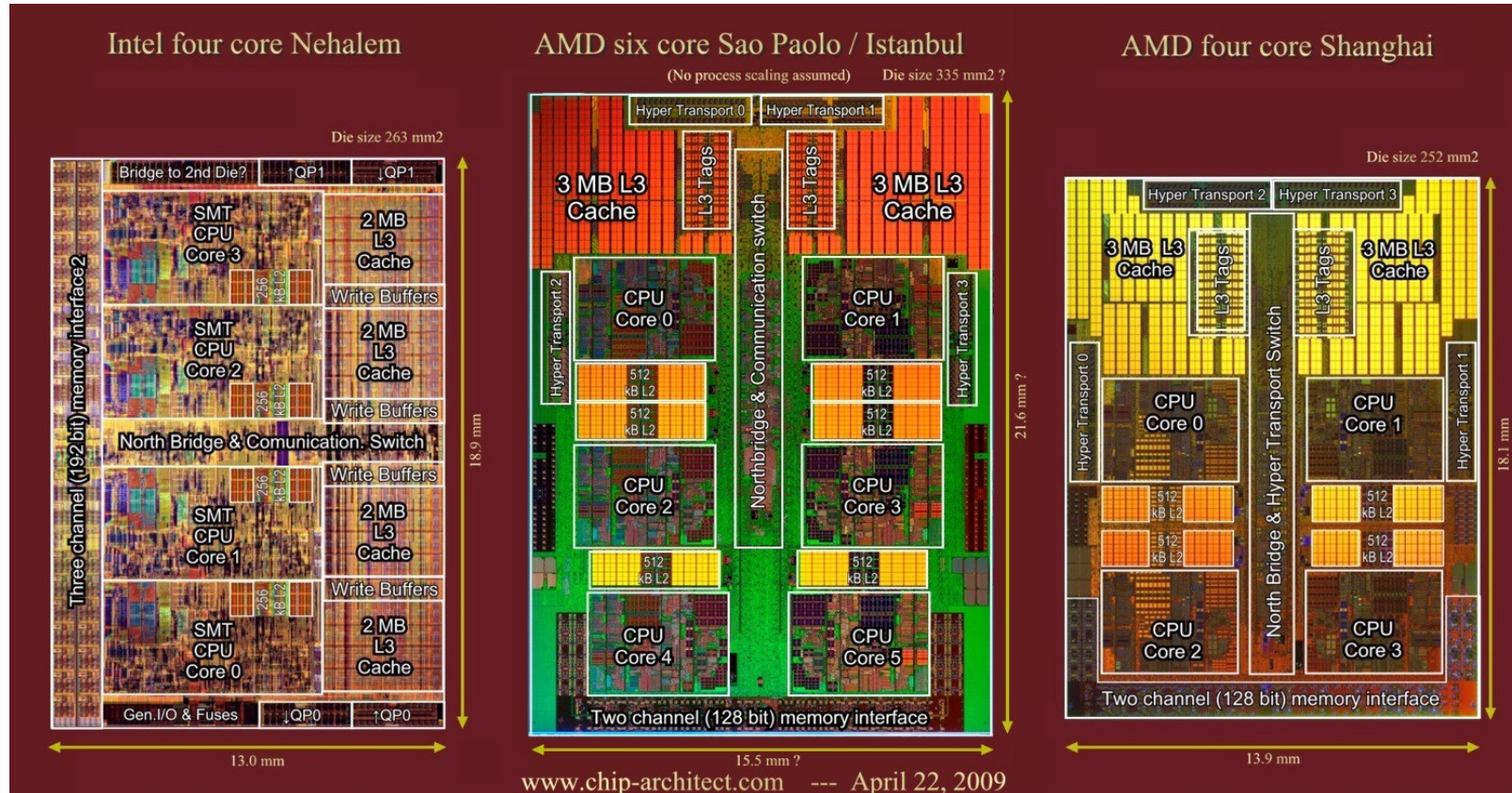


September 2006

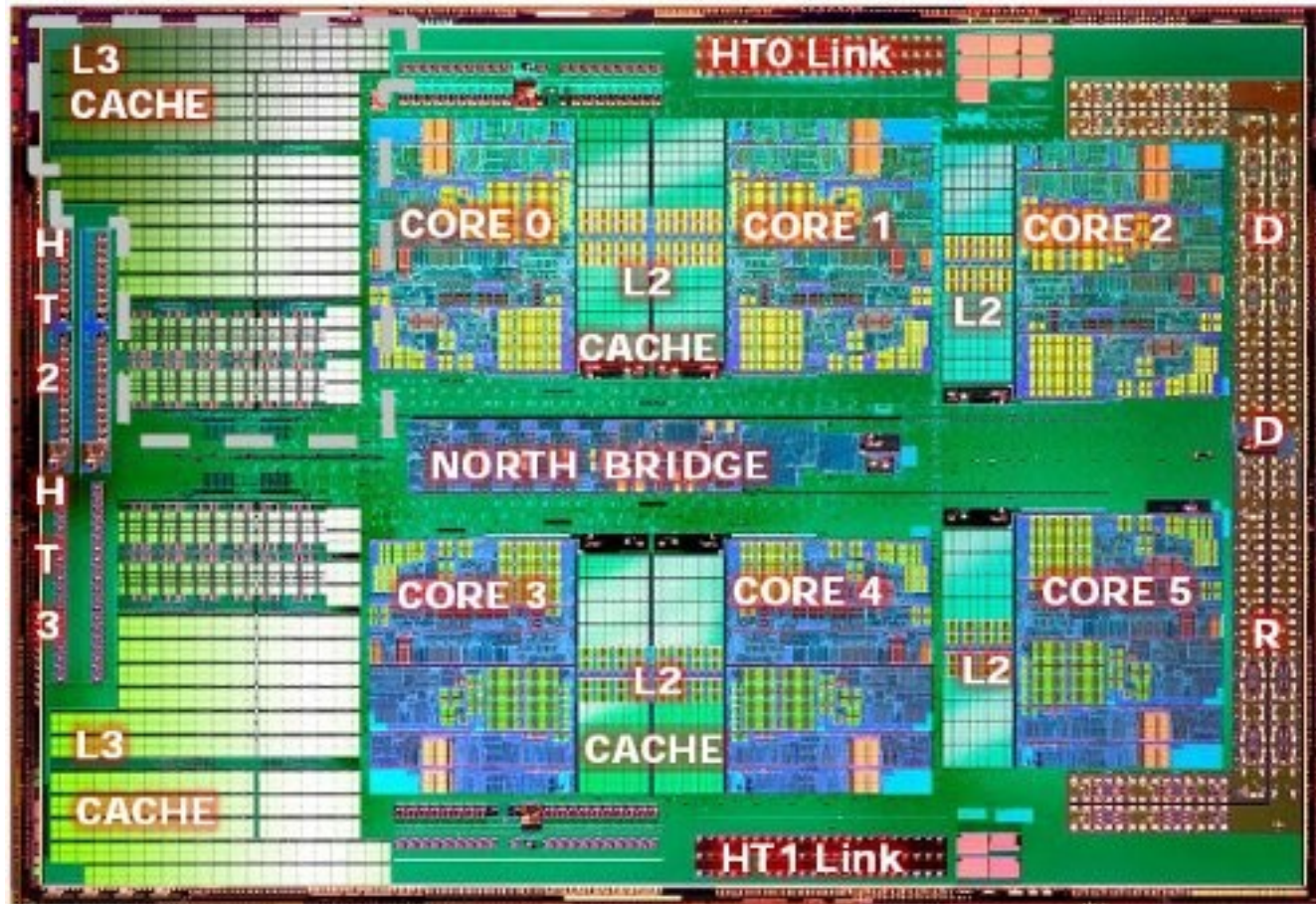
For copyright and trademark attribution, and disclaimers about this presentation refer to the last page

<http://ixbtlabs.com/articles2/editorial/amd-guiseppa-amato-conf-part1.html>

Nehalem, Istanbul, Shanghai



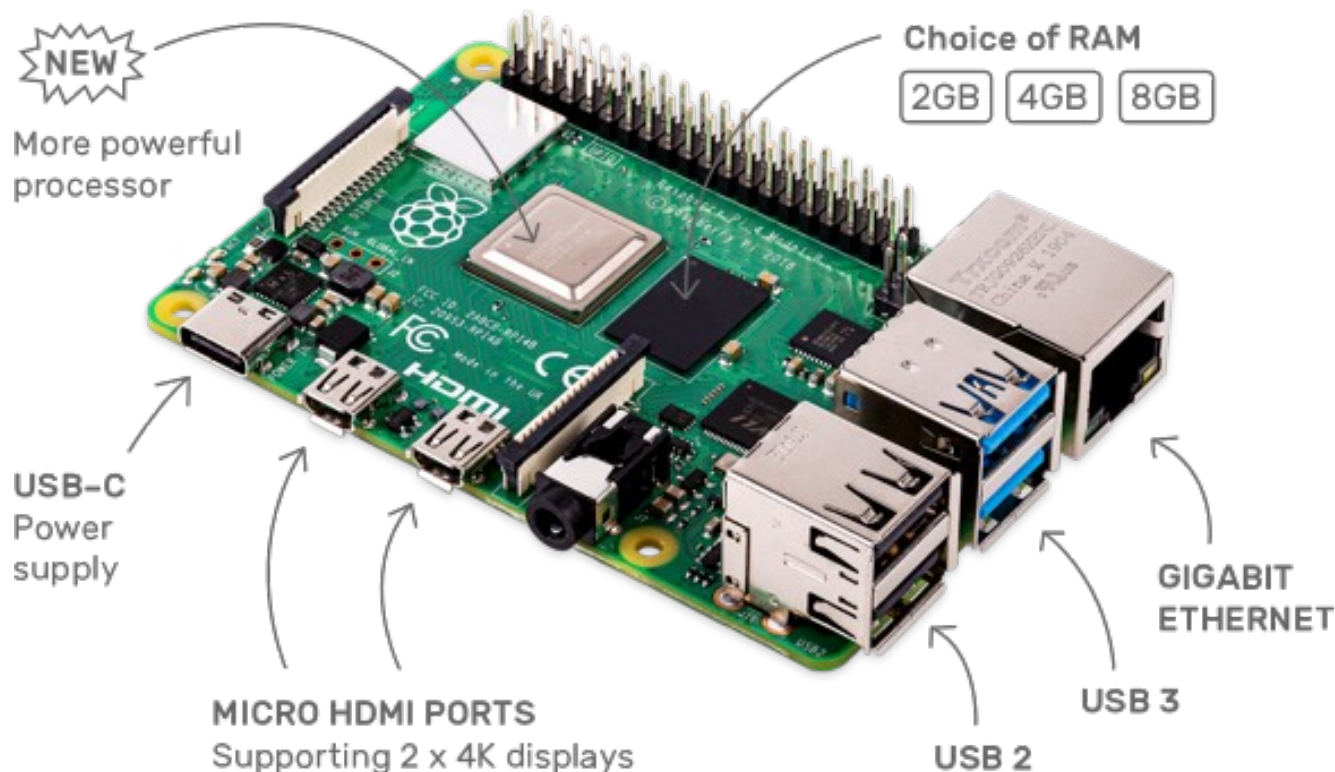
AMD Magny Cours (12 núcleos)



<https://forums.ocworkbench.com/showthread.php?t=88918>

Arquiteturas de Processadores Multicore

Raspberry Pi 4 Model B

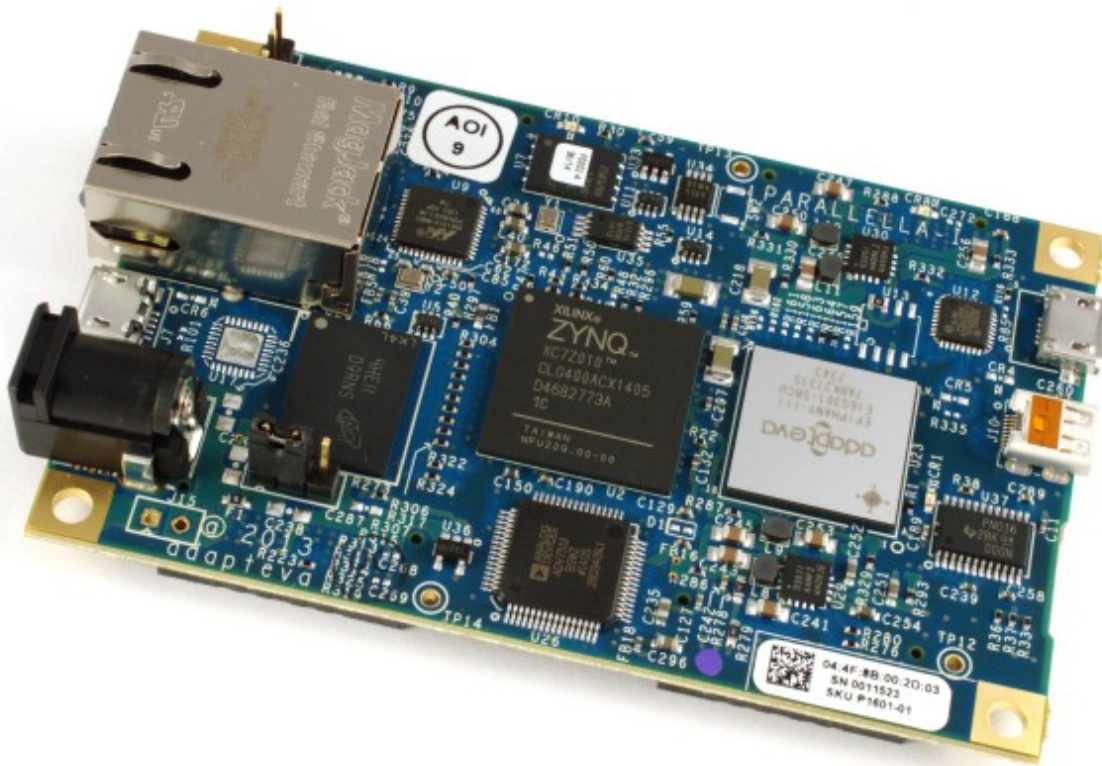


- **Broadcom BCM2711, Quad core Cortex-A72 (ARM v8) 64-bit SoC @ 1.5GHz**
- 2GB, 4GB or 8GB LPDDR4-3200 SDRAM (depending on model)
- 2.4 GHz and 5.0 GHz IEEE 802.11ac wireless, Bluetooth 5.0, BLE
- Raspberry Pi standard 40 pin GPIO header (fully backwards compatible with previous boards)
- Micro-SD card slot for loading operating system and data storage
- Starting at \$35

<https://www.raspberrypi.org/products/raspberry-pi-4-model-b/>

Arquiteturas de Processadores Multicore

Parallella Board



- 18-core credit card sized computer
- #1 in energy efficiency @ 5W
- 16-core Epiphany RISC SOC
- Zynq SOC (FPGA + ARM A9)
- Gigabit Ethernet
- 1GB SDRAM
- Micro-SD storage
- Up to 48 GPIO pins
- HDMI, USB (optional)
- Open source design files
- Runs Linux
- Starting at \$99

<https://www.parallella.org/>

Processor Intel i9



Estimativa de
7 bilhões de transistores
em 18 núcleos

Revolução Multicore - CPU

- Xeon 2007: Quad-core CPUs
- Xeon 2008: 6-core CPUs
- Xeon 2010: 8-core CPUs
- Xeon 2013: 12-core CPUs
- Xeon 2015: 22-core CPUs
- Xeon 2017: 32-core CPUs
- Xeon 2019: 48-core CPUs

Intel Xeon Cascade Lake é um processador com 48 núcleos

Voltado a servidores de alto desempenho, processador Intel Xeon Cascade Lake AP tem até 48 núcleos e será lançado em 2019

Um mês depois de revelar os [primeiros processadores Core de nona geração](#), a Intel anunciou novos chips para servidores: a linha **Xeon Cascade Lake Advanced Performance** (ou **Xeon Cascade Lake AP**), como foi batizada, pode contar com até 48 núcleos em uma única unidade.



<https://tecnoblog.net/noticias/2018/11/06/intel-xeon-48-nucleos/>