

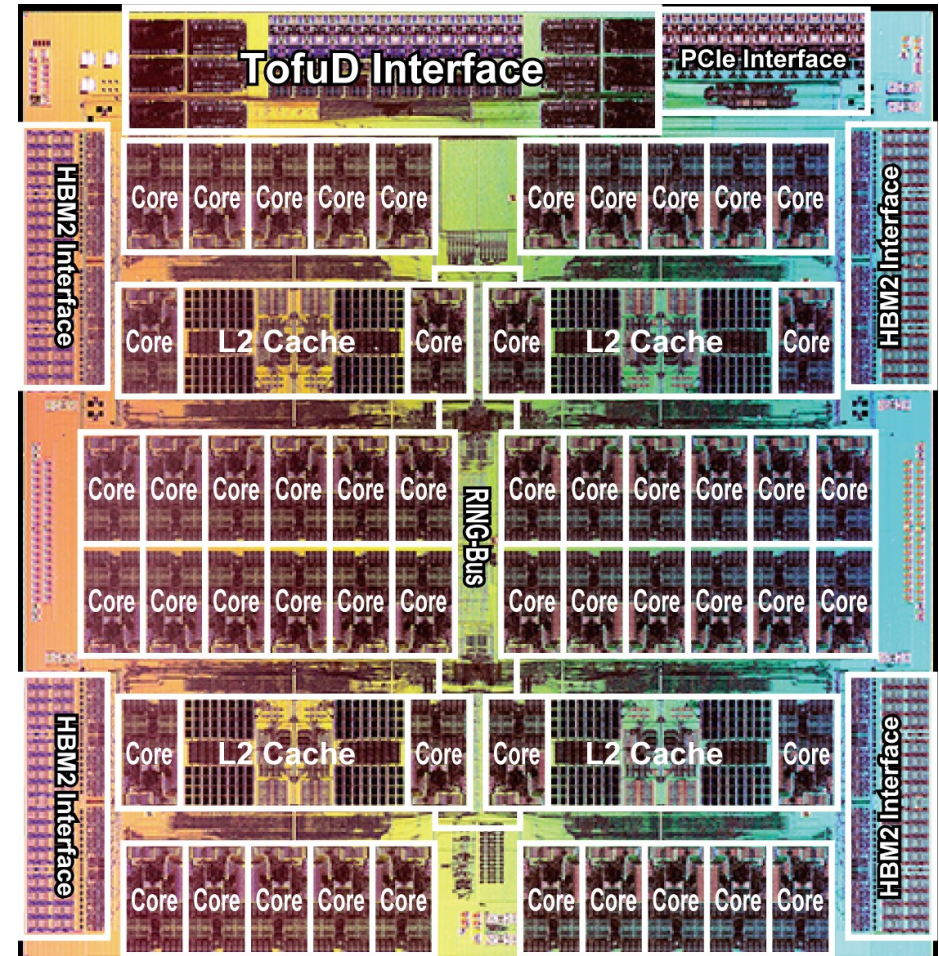
Arquitetura de Computadores III

Arquiteturas Manycore e Redes-em-Chip

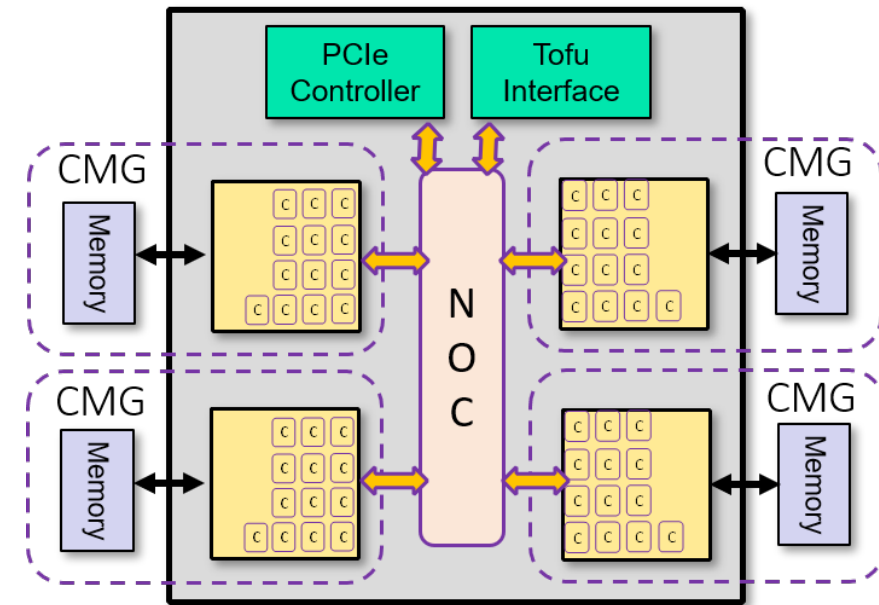
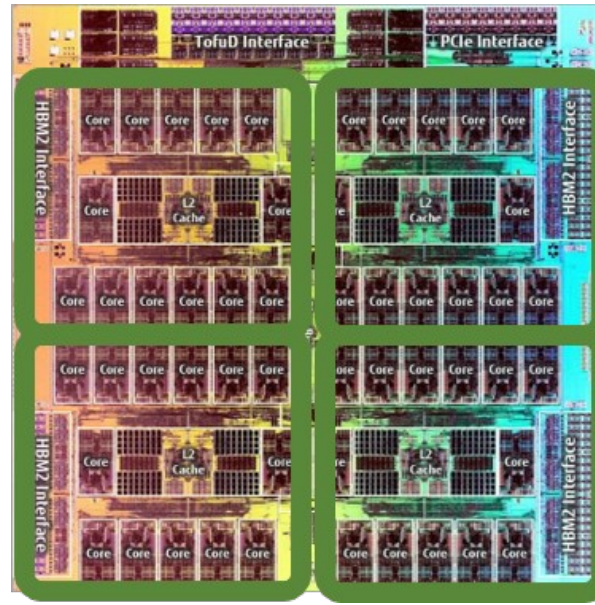
Processador Fujitsu ARM A64FX

- Total de 7.299.072 núcleos.
- Processador A64FX 48C 2.2GHz
- Arquitetura ARM projetada pela Fujitsu

<https://www.r-ccs.riken.jp/en/fugaku/project>



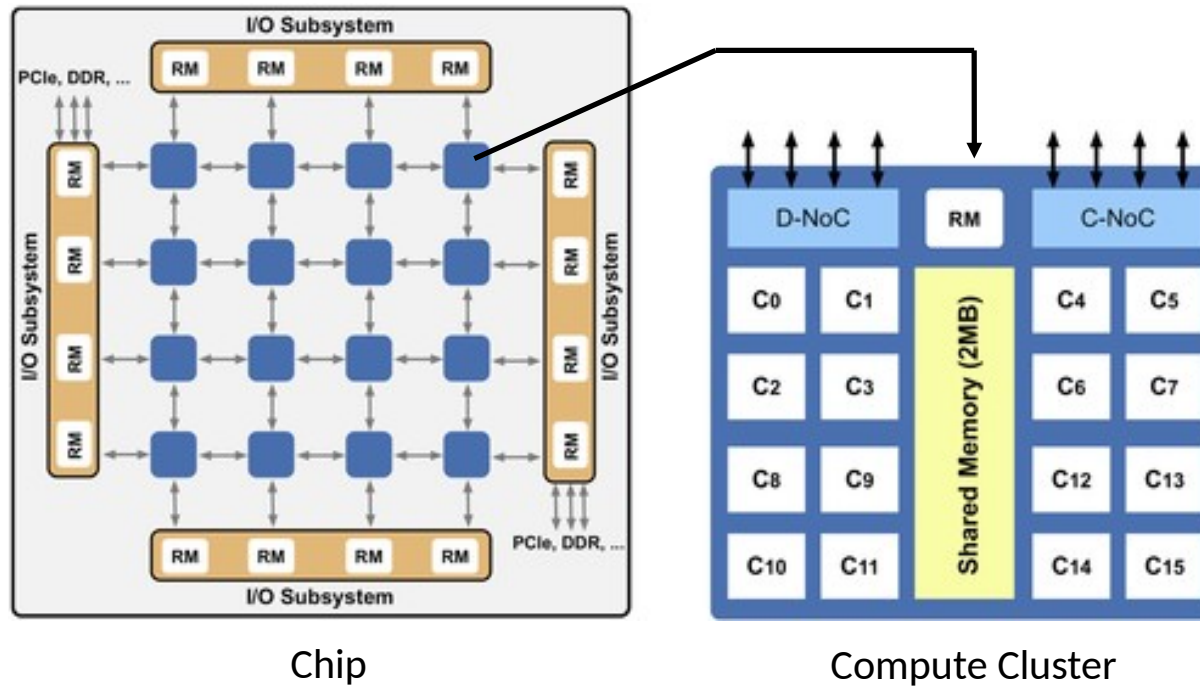
Processador Fujitsu ARM A64FX



<https://postk-web.r-ccs.riken.jp/spec.html>

Arquiteturas Kalray MPPA 256

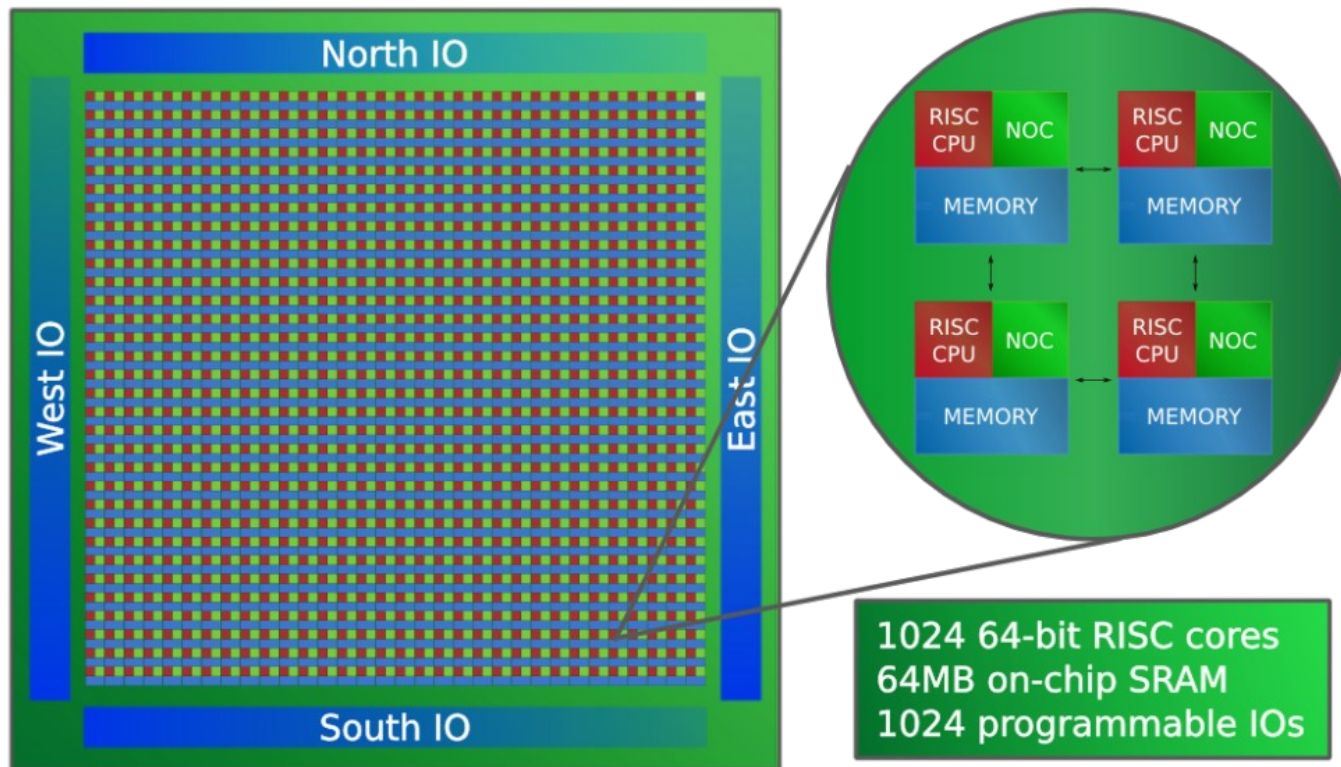
MPPA-256



<https://onlinelibrary.wiley.com/doi/abs/10.1002/cpe.3892>

Arquitetura Epiphany-V

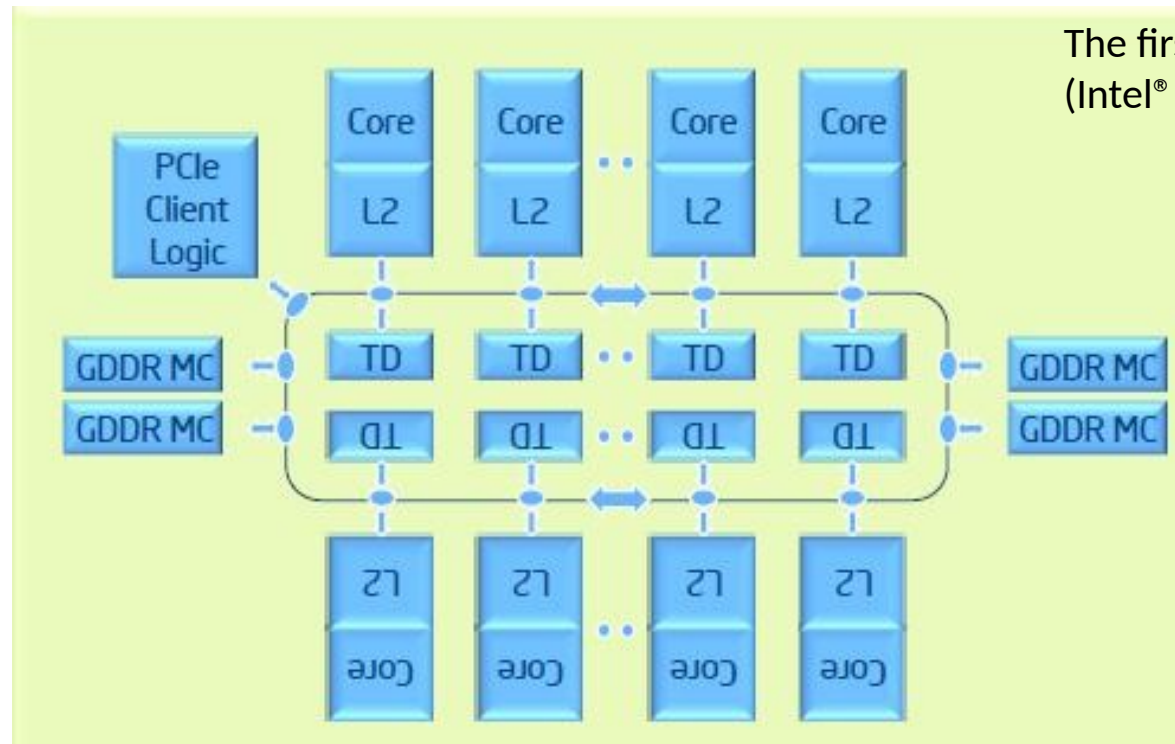
Epiphany-V



<https://www.parallella.org/2016/10/05/epiphany-v-a-1024-core-64-bit-risc-processor/>

Arquiteturas de Aceleradores Manycore

Intel Xeon Phi (Knights Corner)



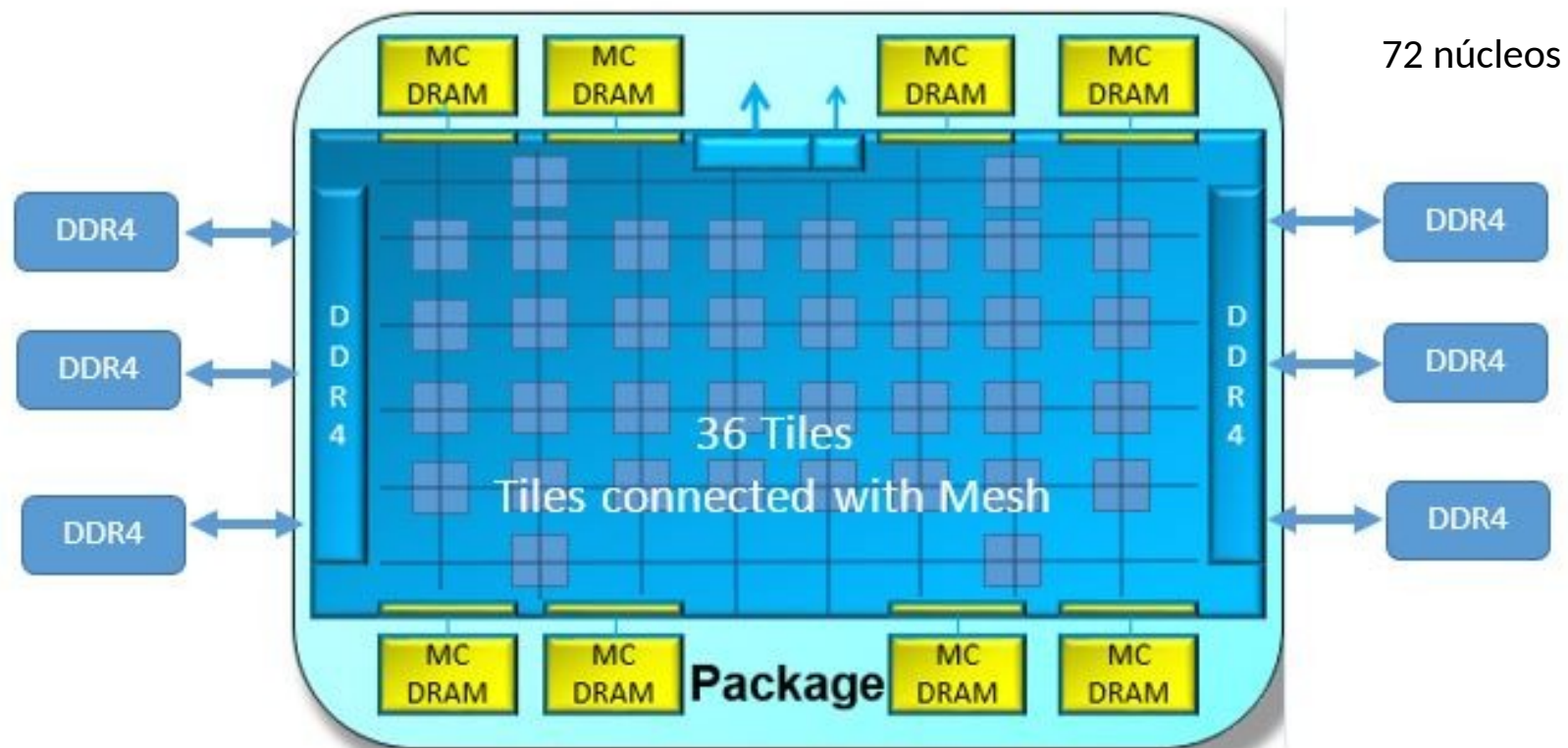
The first Intel® Many Integrated Core
(Intel® MIC) architecture product

61 núcleos

<https://software.intel.com/content/www/us/en/develop/articles/intel-xeon-phi-coprocessor-codename-knights-corner.html>

Arquiteturas de Aceleradores Manycore

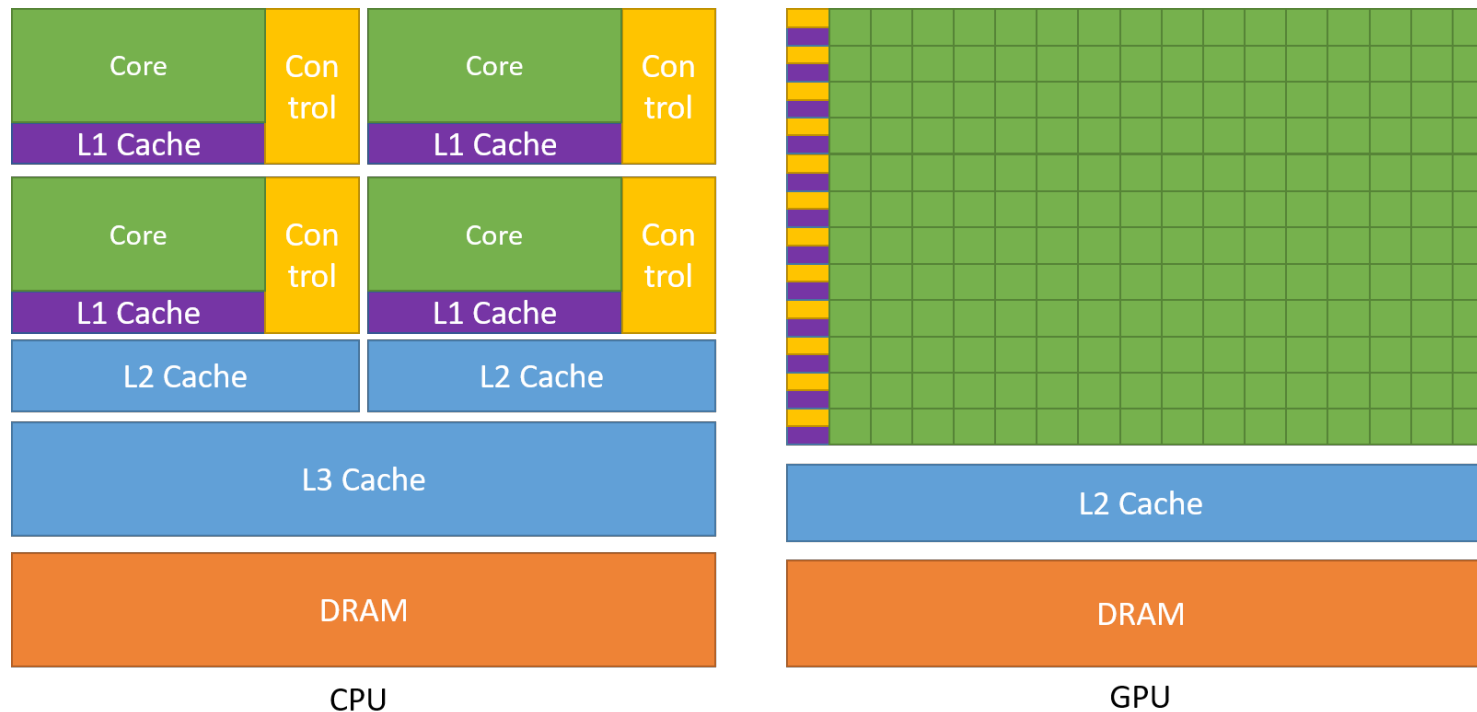
Intel Xeon Phi (Knights Landing)



<https://software.intel.com/content/www/us/en/develop/articles/intel-xeon-phi-x200-processor-memory-modes-and-cluster-modes-configuration-and-use-cases.html>

Arquiteturas de Aceleradores Manycore

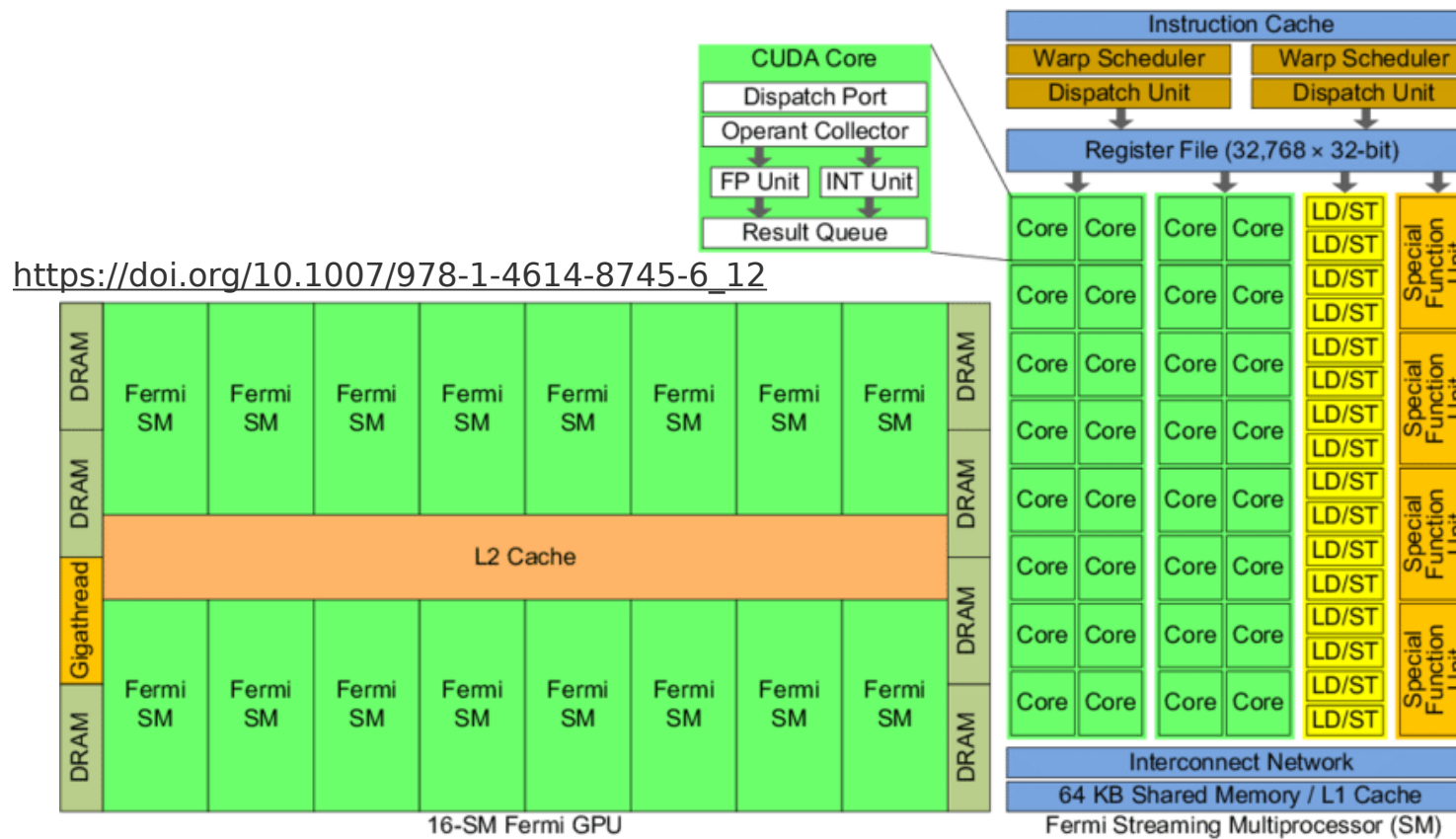
Graphics Processing Unit (GPU)



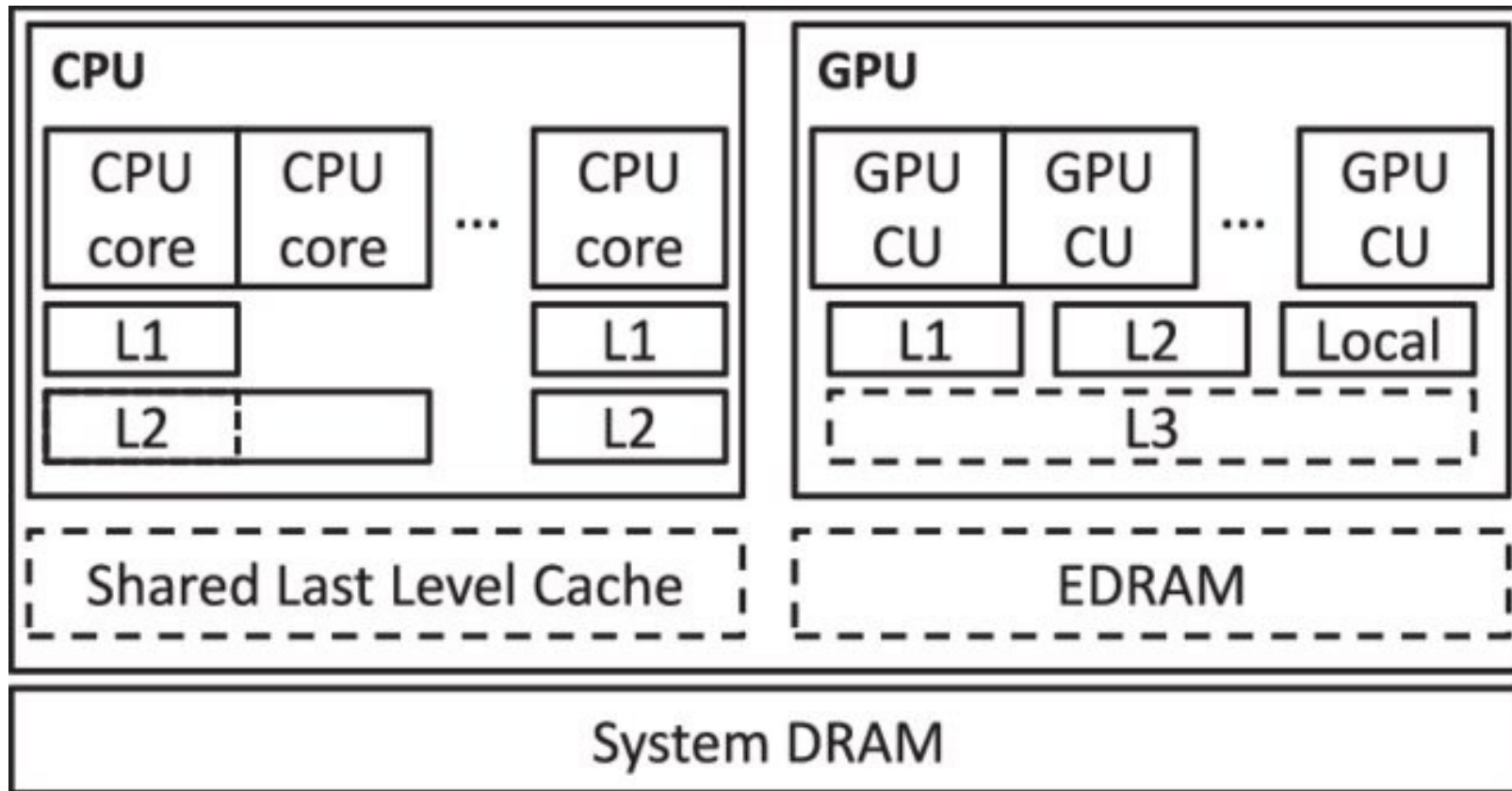
<https://docs.nvidia.com/cuda/cuda-c-programming-guide/index.html>

Arquiteturas de Aceleradores Manycore

Graphics Processing Unit (GPU)



CPU e GPU integradas



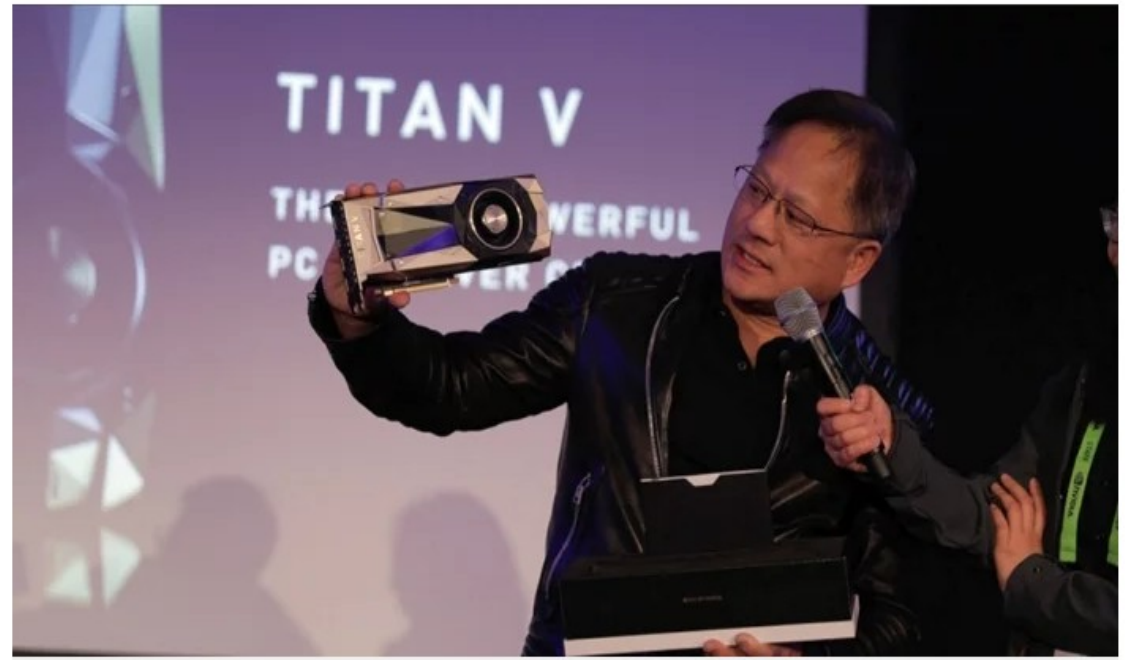
Accelerated Processing Units
Ex: Intel Ivy Bridge and Haswell

<https://doi.org/10.1109/TPDS.2016.2586074>

Revolução Manycore

- GTX 280 (2008) – 240 núcleos
- GTX 480 (2010) – 480 núcleos
- GTX 690 (2012) - 1536 núcleos
- GTX Titan (2014) – 2880 núcleos
- GTX Titan (2017) – 3840 núcleos
- Titan V (2019) – 5120 núcleos

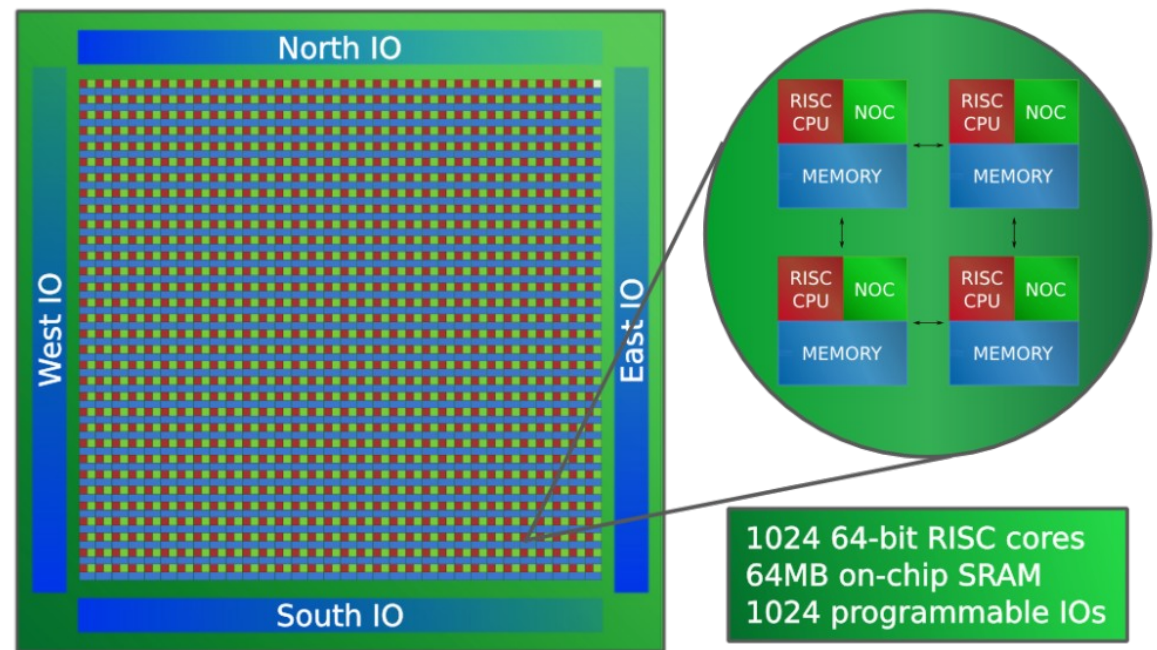
Outros números generosos fazem parte do pacote. Encontramos 5.120 núcleos CUDA divididos em seis clusters, frequência de 1.200 MHz (1.455 MHz em boost), 640 núcleos tensor (usados em aprendizagem de máquina), 320 TMUs (unidades para texturização), além de TDP de 250 W.



<https://tecnoblog.net/noticias/2017/12/08/nvidia-gpu-titan-v/>

Arquiteturas manycore e redes-em-chip

- Em linhas gerais, uma arquitetura *manycore* que demanda uma rede-em-chip, possui como característica o propósito geral de processamento, principalmente paralelo, com muitas comunicações coletivas. Por este motivo, é necessário ter uma rede capaz de oferecer diversos caminhos de interconexão entre os núcleos, memórias, entre outros dispositivos dentro do chip. Uma arquitetura de GPU não possui esta característica.



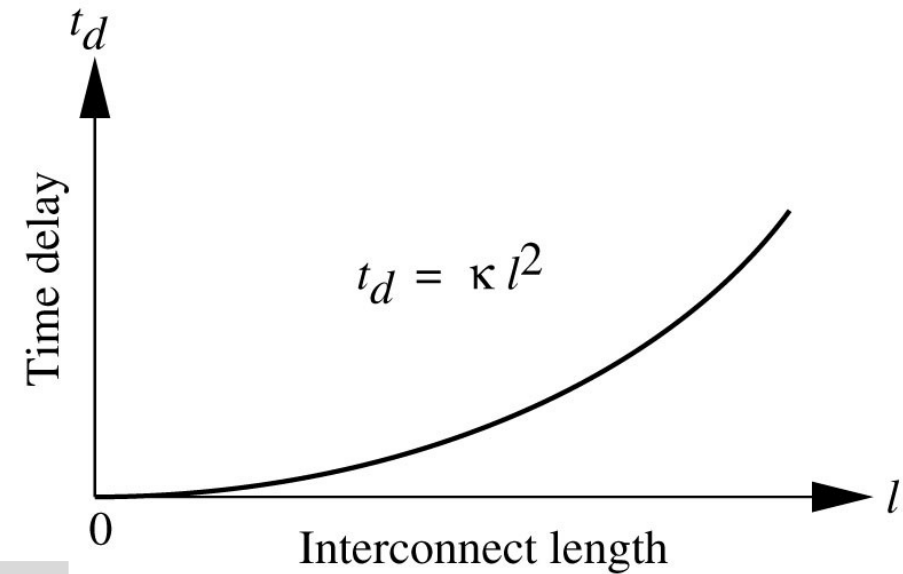
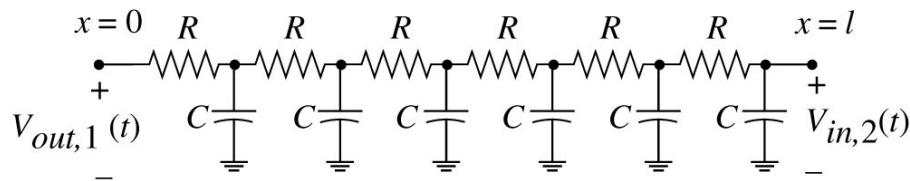
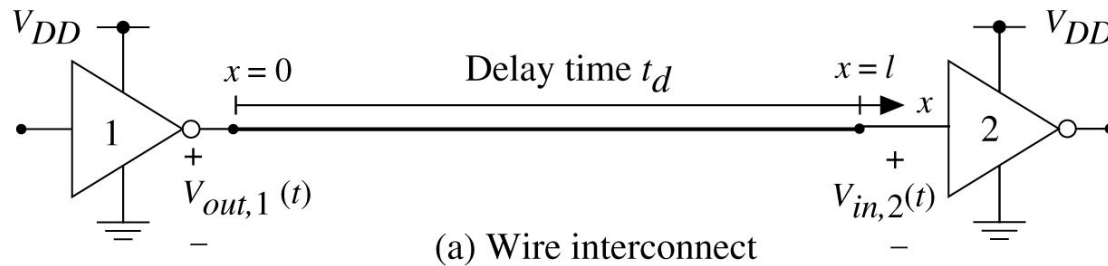
<https://www.parallella.org/2016/10/05/epiphany-v-a-1024-core-64-bit-risc-processor/>

Antes do Manycore...

- Processador multi-core:
 - 2 núcleos: barramento
 - 4 núcleos: barramento ou chave crossbar
 - 6 núcleos: barramento ou chave crossbar
 - 8 núcleos: barramento ou chave crossbar
 - 12 núcleos: barramento ou chave crossbar
 - 16 núcleos: barramento ou chave crossbar!?
- 48 núcleos: como interconectar!?

Processador Manycore

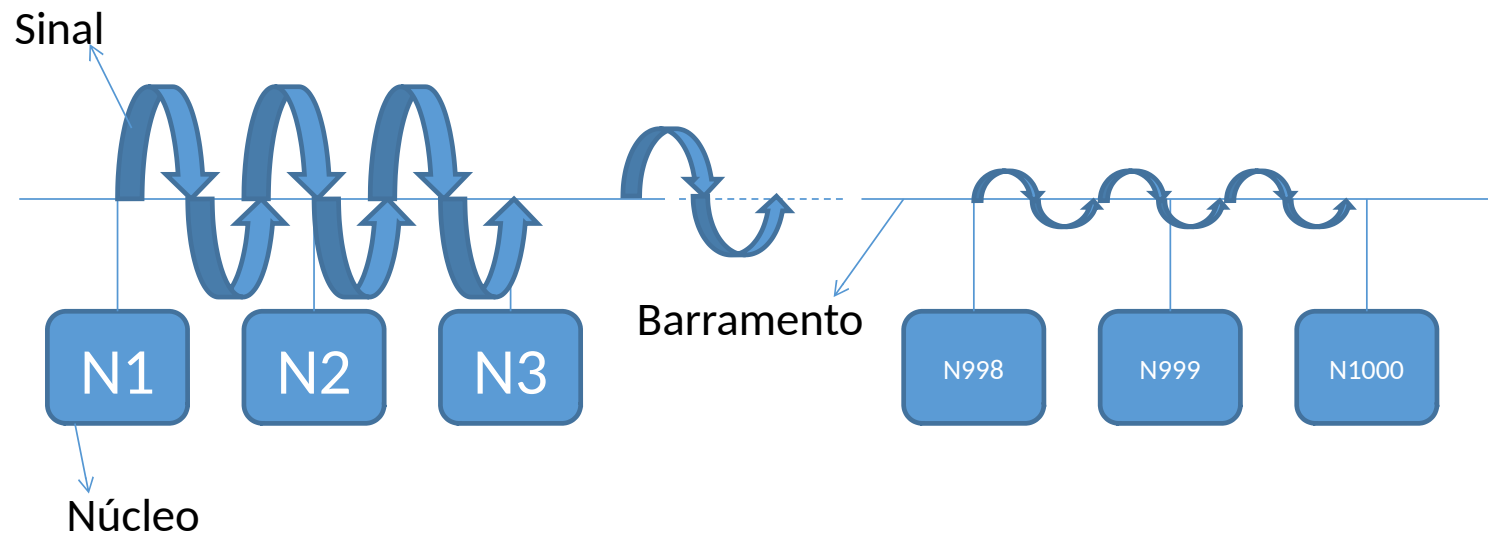
- O problema está no fio para interconectar os núcleos!



Uyemura, Sistemas Digitais, Uma abordagem Integrada, Thomson, 2002

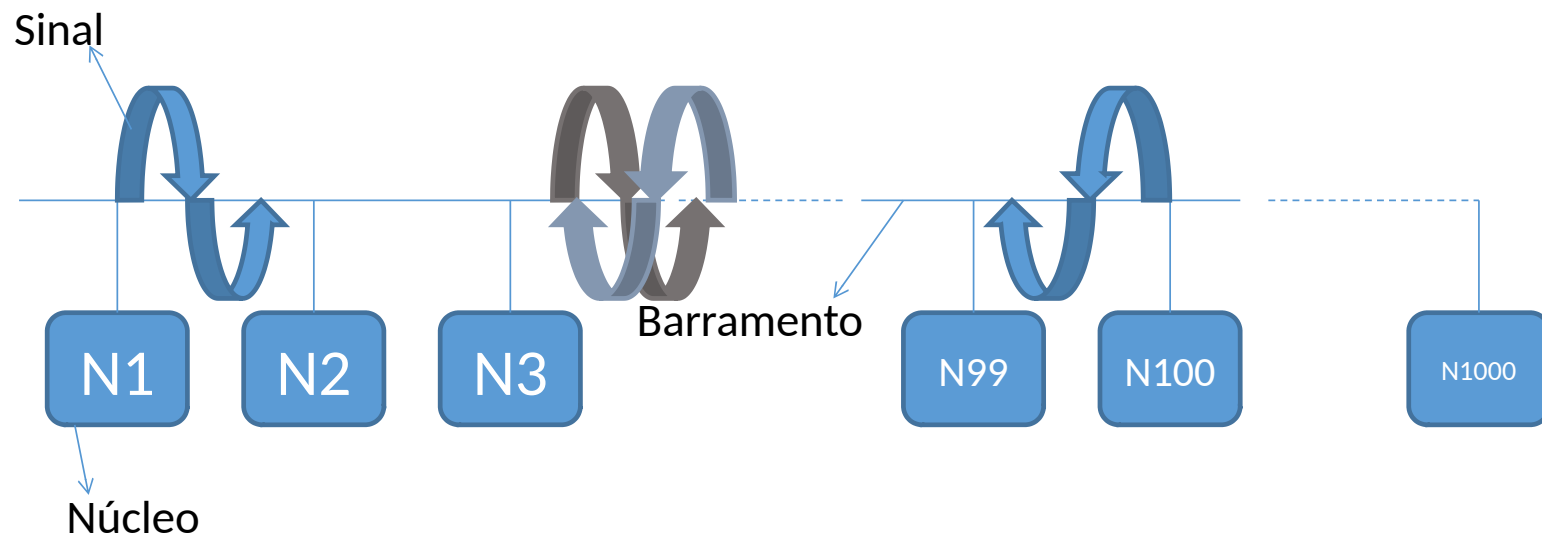
Processador Manycore

- O problema está no fio para interconectar os núcleos!
 - Problema 1: atenuação do sinal.
 - Perda dos dados.



Processador Manycore

- O problema está no fio para interconectar os núcleos!
 - Problema 2: núcleos distantes não escutam sinal.
 - Colisão e perda de dados.



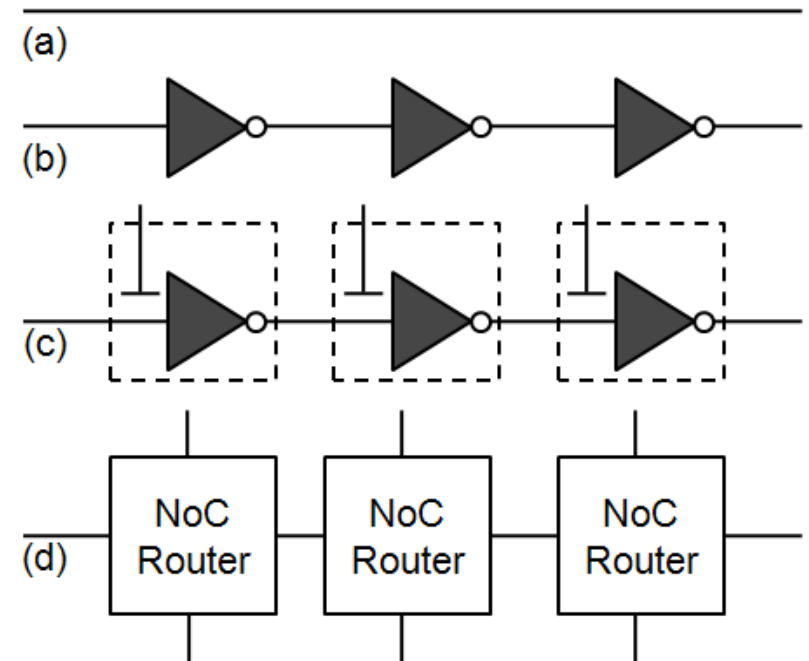
Se o problema está no fio...

- Vamos eliminar a influência do fio!
 - Rede-em-Chip com fio, mas fio curto!
 - Há também:
 - Rede-em-Chip sem fio!
 - Rede-em-Chip óptica!
 - Rede-em-Chip reconfigurável!

Do Barramento ao roteador

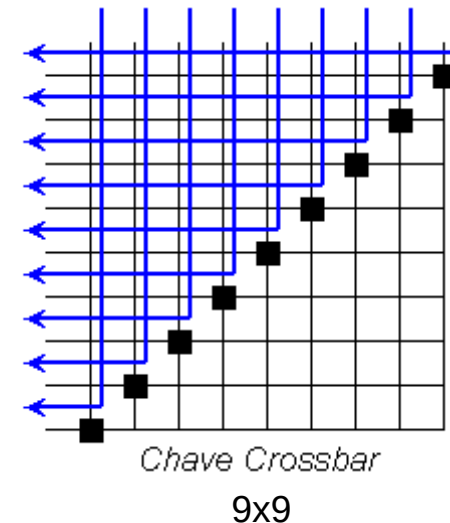
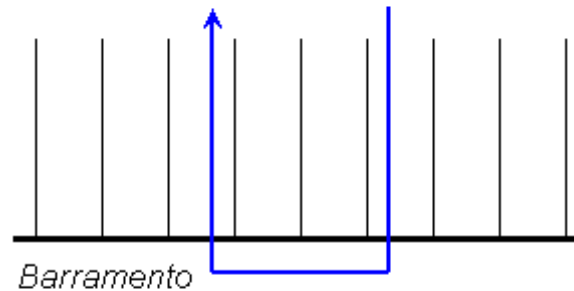
- Evolução da interconexão global para NoC.
 - a) fio longo dominado pela resistência,
 - b) adição de repetidores ou buffers,
 - c) repetidores se tornam latches,
 - d) latches evoluem para roteadores de NoC.

CIDON, I., KOLODNY, A., GINOSAR, R., The Elements of NoC, Tutorial (Slides), ACM/IEEE International Symposium on Networks-on-Chip (NOCS), San Diego, USA, 2009



Rede-em-Chip

- Interconexões não escaláveis:
 - Barramento e Chave Crossbar.
 - Por que?



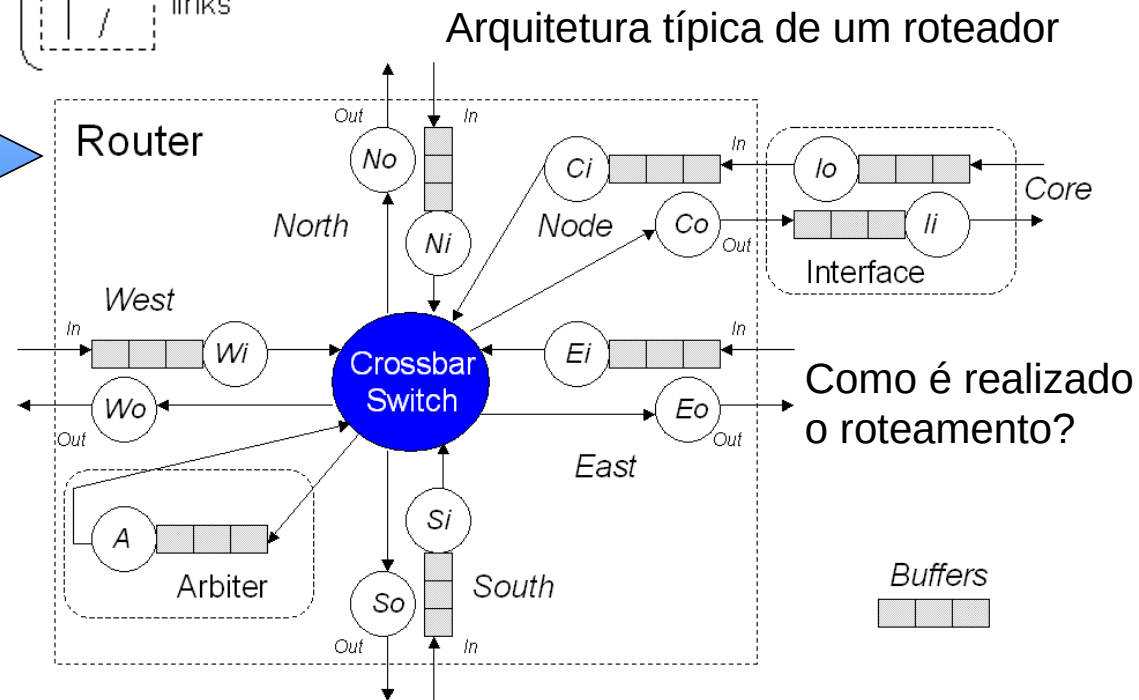
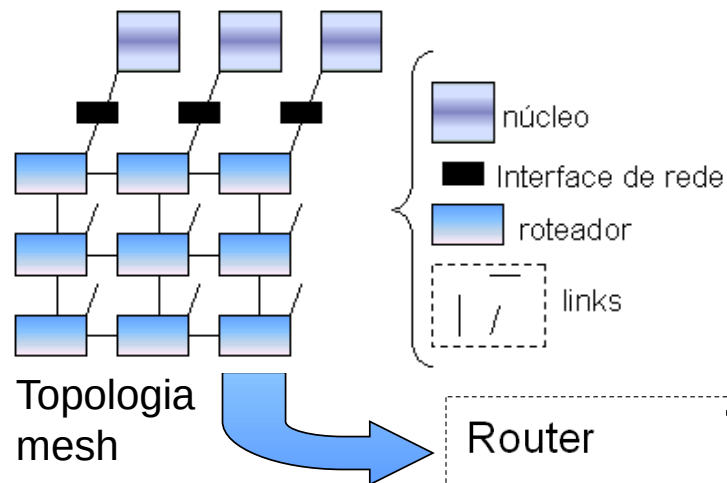
Qual a principal limitação do barramento?

Imaginem uma chave crossbar 99x99?
É viável? Por que?

Rede-em-Chip

- Principais características:
 - Composta por roteadores,
 - Possui pacotes de rede,
 - Trabalha com protocolo de roteamento,
 - Possui diversas topologias,
 - Trabalha com Qualidade-de-Serviço (QoS),
 - É tolerante a falhas,
 - É escalável!

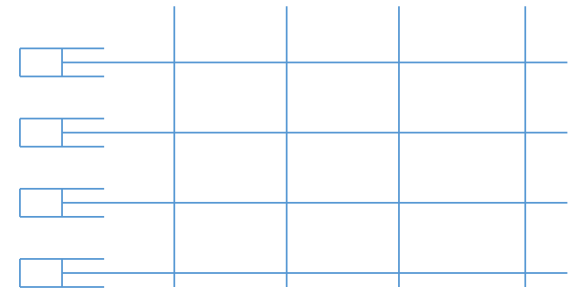
Redes-em-Chip



Freitas, Alves, Navaux, NoC e NUCA: Conceitos e Tendências para Arquiteturas de Processadores Many-Core, Escola Regional de Alto Desempenho (ERAD), Cap.3, 2009

Tipos de Buffers

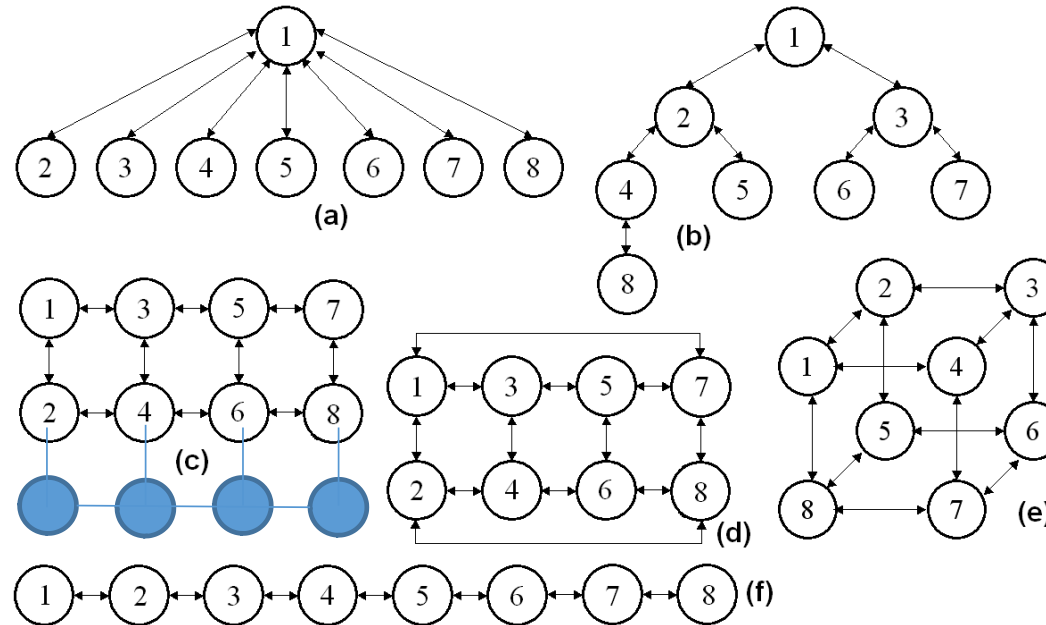
- Buffers de entrada: As técnicas de arbitragem são relativamente simples, possui uma melhor relação de área e potência, além de proporcionar um melhor desempenho para a chave crossbar.
- Buffers de saída: Em função de N entradas conectadas a cada um dos buffers de saída, a chave crossbar precisa ser N vezes mais rápida. A adoção de buffers de saída não é a mais adequada para alto desempenho. No entanto, existem vantagens em se tratando da eliminação do bloqueio de pacotes que não receberam permissão de envio porque o primeiro pacote da fila ainda não teve liberação de uma determinada saída. Este problema é conhecido como head of the line blocking e pode acontecer nas soluções com buffers de entrada.
- Buffers de crosspoint: Cada ponto de conexão da chave crossbar possui um buffer. É utilizada a técnica de roteamento chamada de self-routing. Neste caso, em cada crosspoint seria necessário além do buffer um decodificador para decisão de envio ou não do pacote. Esta solução aumenta o tamanho e a potência consumida da chave crossbar.



Preocupações no projeto de NoC

- Deadlock: é a representação de uma dependência cíclica. Neste caso, um pacote não consegue progredir e fica restrito a um subconjunto de estados ou roteadores.
- Livelock: é a representação de uma contínua retransmissão do pacote sem atingir o nó destino. Comum em protocolos de roteamento.
- Starvation: é a representação da não alocação de um recurso devido a postergação indefinida de acesso ao mesmo. Comum em protocolos de arbitragem.

Redes-em-Chip (topologias)



FREITAS, H. C.; SANTOS, T. G. S.; NAVAUX, P. O. A. NoC Architecture Design for Multi-Cluster Chips, IEEE International Conference on Field Programmable Logic and Applications, FPL, Heidelberg, p. 53-58. 2008

(a) Estrela

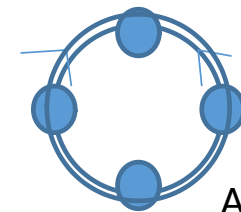
(b) Árvore

(c) Mesh

(d) Torus

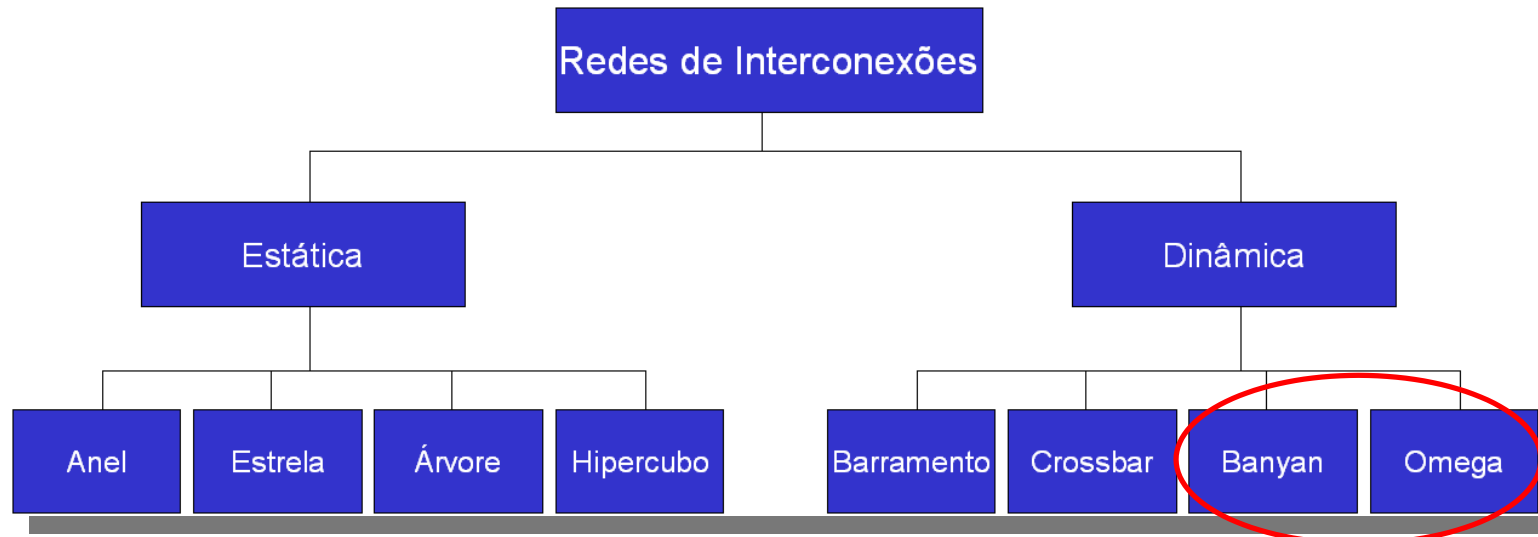
(e) Hipercubo

(f) Pipeline



Anel bidirecional

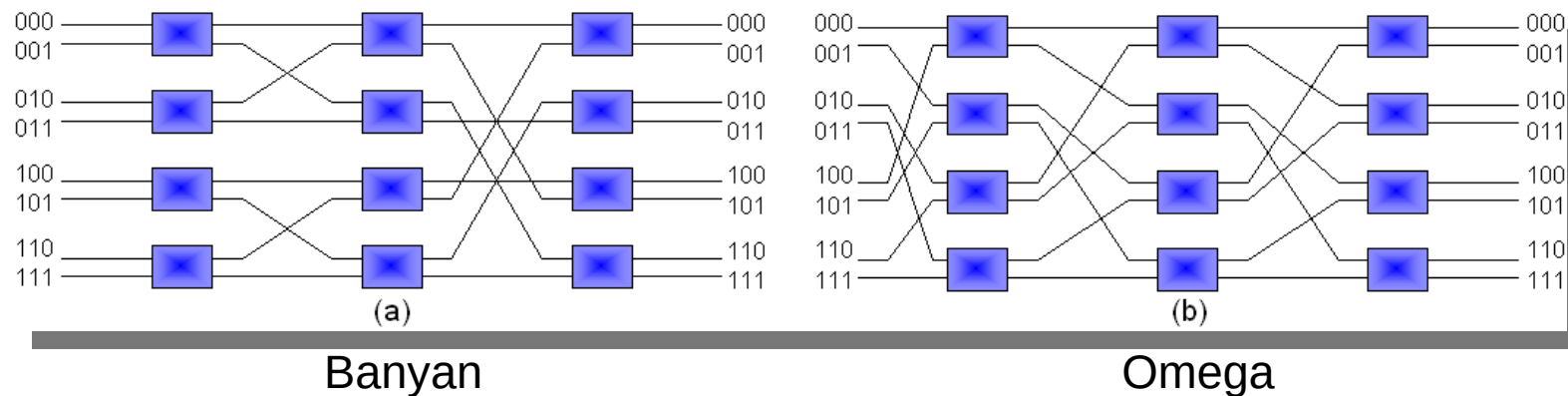
Redes-em-Chip (Classificações)



DE ROSE, C., NAVAUX, P. O. A., Arquiteturas Paralelas, [S.I.], Sagra Luzzatto, 2003

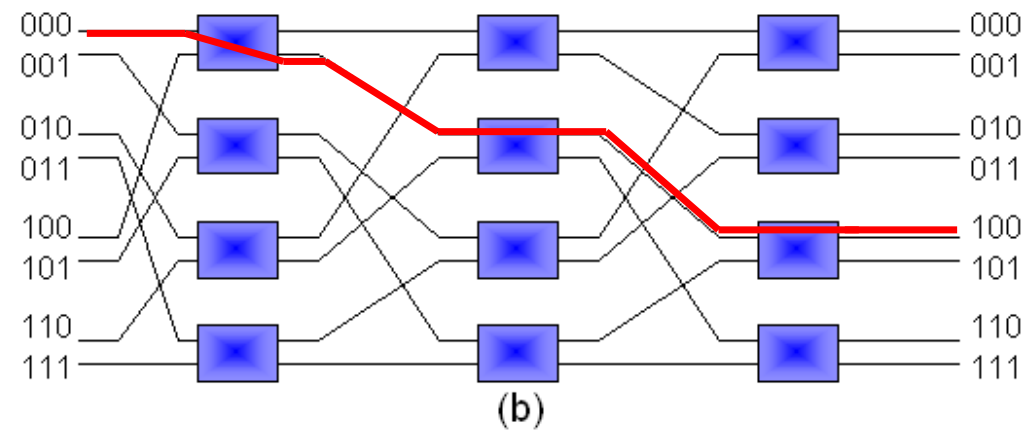
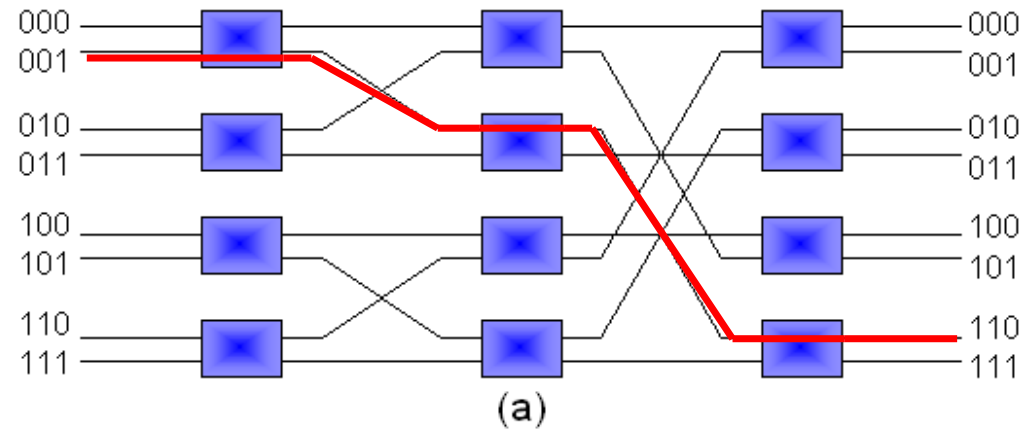
Redes Dinâmicas (multi-nível)

Um único caminho entre entrada e saída faz com que o roteamento seja eficiente, podendo ser feito de forma descentralizada.

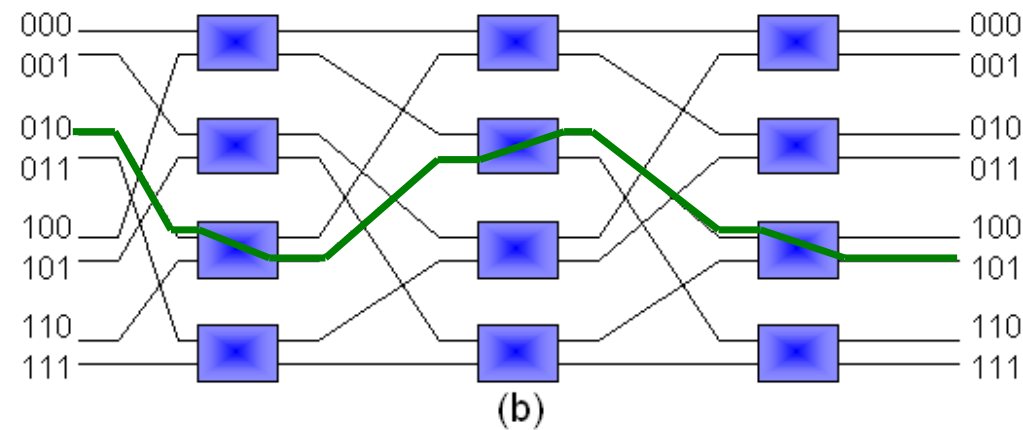
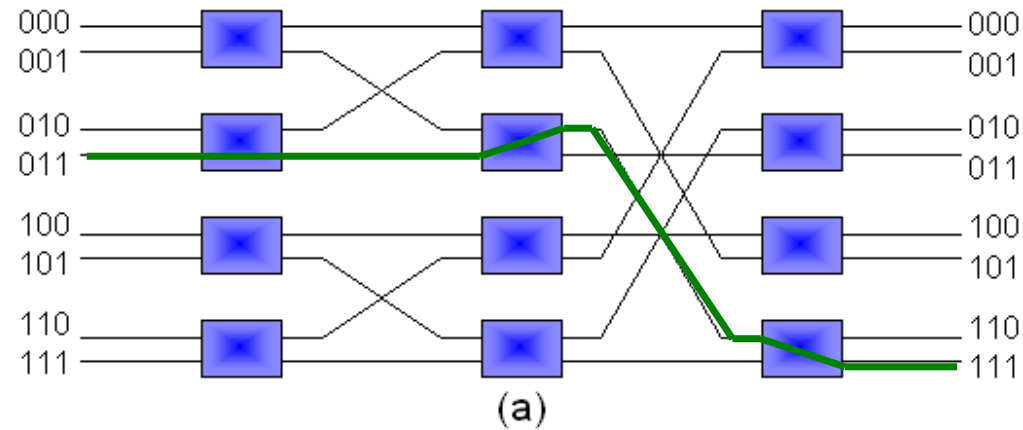


Freitas, Alves, Navaux, NoC e NUCA: Conceitos e Tendências para Arquiteturas de Processadores Many-Core, Escola Regional de Alto Desempenho (ERAD), Cap.3, 2009

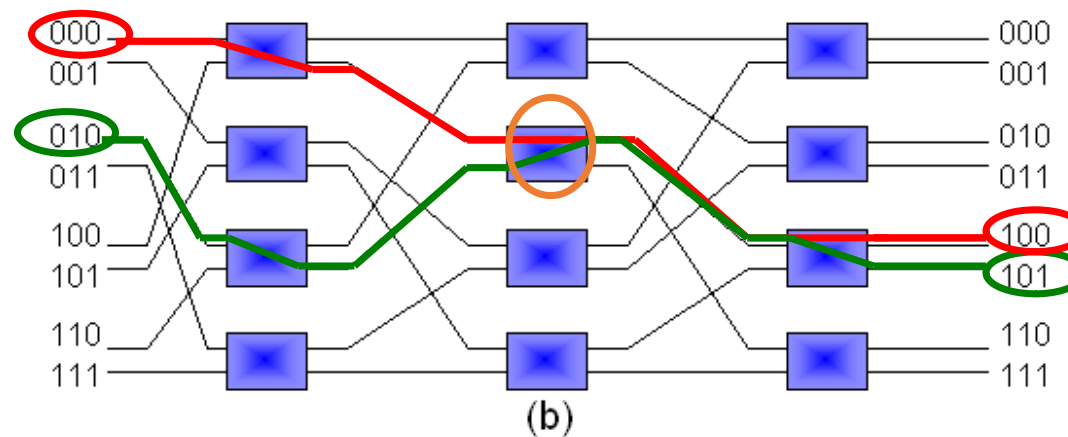
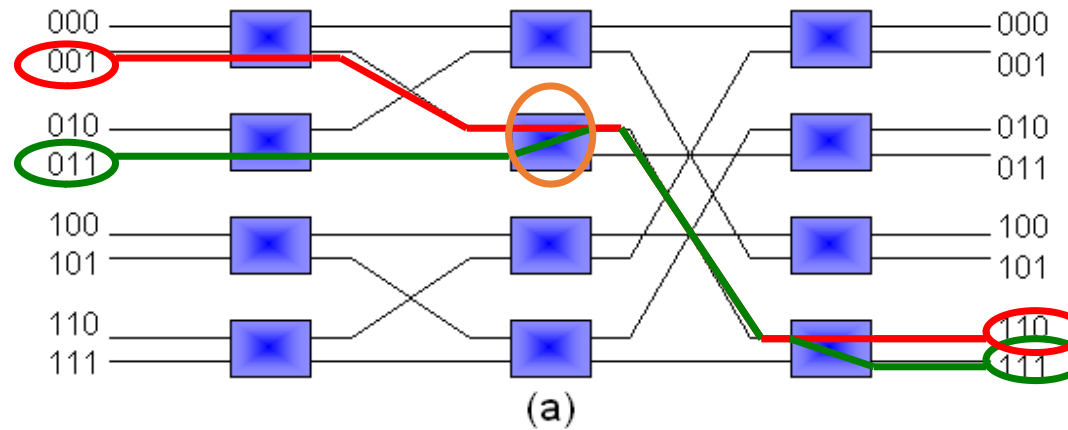
Redes Dinâmicas (multi-nível)



Redes Dinâmicas (multi-nível)

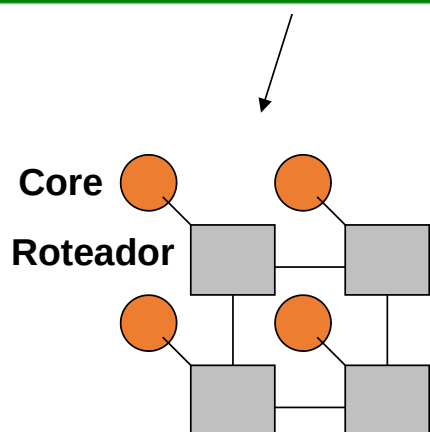


Redes Dinâmicas (multi-nível bloqueante)

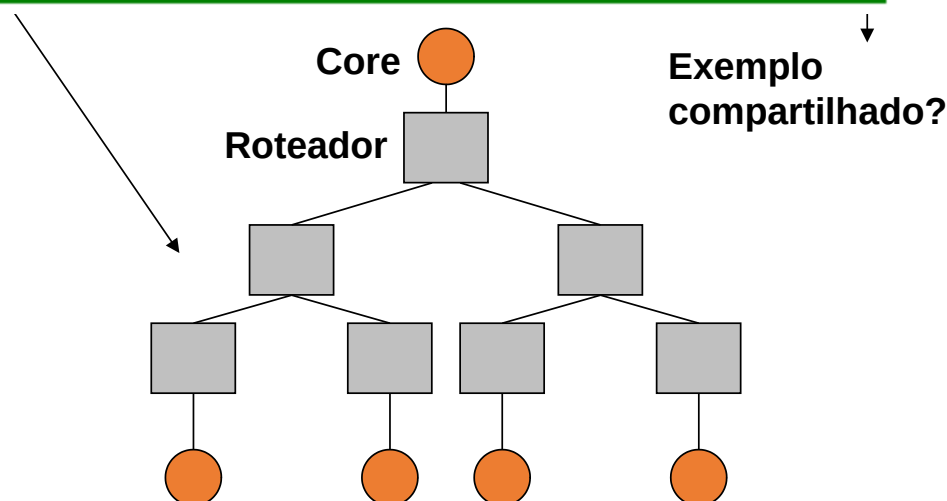


Redes-em-Chip (Classificações)

Topologia	Estratégia de Transferência	Método de Controle	Estrutura do Caminho
Estrela	Indireta	Roteamento centralizado	Dedicado
Árvore	Indireta	Roteamento Descentralizado	Dedicado
Mesh	Direta	Roteamento Descentralizado	Dedicado
Torus	Direta	Roteamento Descentralizado	Dedicado
Hipercubo	Direta	Roteamento Descentralizado	Dedicado
Pipeline	Direta	Roteamento Descentralizado	Dedicado



Rede direta



Rede indireta

Adaptado de:

AHMADI, H., DENZEL, W. E., A Survey of Modern High-Performance Switching Technique, IEEE Journal on Selected Areas in Communications, v.7, n.7, p.1091-1103, September 1989.

ANDERSON, G. A., JENSEN, E. D., Computer Interconnection Structures: Taxonomy, Characteristics, and Examples, ACM Computing Surveys, v.7, n.4, p.197-213, December 1975.

DUATO, J., YALAMANCHILI, S., NI, L., Interconnection Networks, [S.l.], Morgan Kaufmann, 2002.

Viabilidade das NoCs

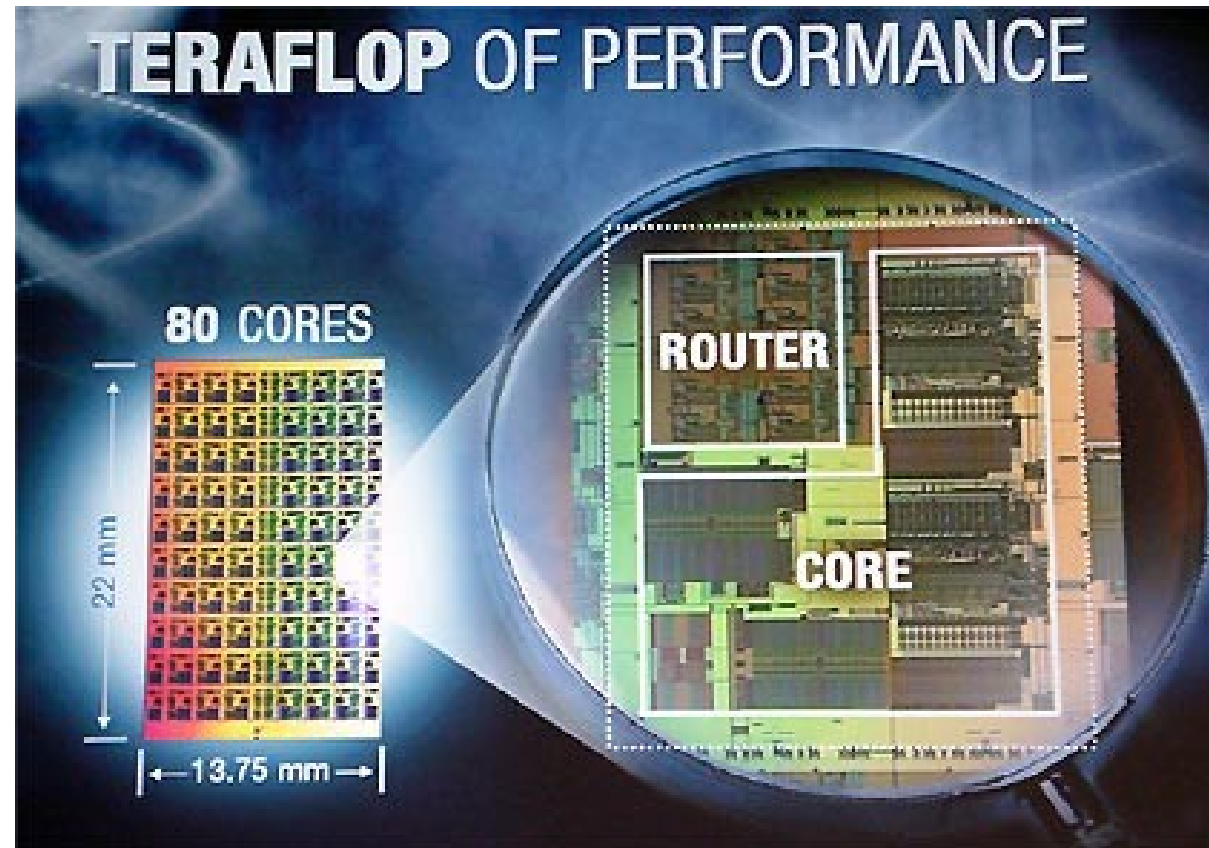
Tipo de Interconexão		Prós (+) e Contras (-)	
Barramento	Fio	O aumento do fio aumenta a resistência degradando o desempenho.	-
Chave Crossbar		O aumento do fio aumenta a resistência degradando o desempenho.	-
Network-on-Chip		Os fios são ponto-a-ponto entre roteadores e o desempenho não degrada em função do aumento de nós.	+
Barramento	Árbitro	O árbitro é um gargalo à medida que o número de nós aumenta.	-
Chave Crossbar		O árbitro pode ser centralizado ou descentralizado e não é o fator principal para degradação do desempenho em função do aumento dos nós.	+-
Network-on-Chip		As decisões de roteamento são distribuídas e não representam um gargalo.	+
Barramento	Largura de banda	A largura de banda é limitada e compartilhada por todos os nós.	-
Chave Crossbar		Cada interconexão é independente e a largura de banda de comunicação por conexão não é afetada pelas demais.	+
Network-on-Chip		A largura de banda não é afetada pelo aumento da rede.	+
Barramento	Latência	Latência é afetada pelo fio.	+
Chave Crossbar		Latência é afetada pelo fio.	+
Network-on-Chip		Latência é afetada pelas contenções em roteadores	-
Barramento	Compatibilidade	Em sua maioria são compatíveis com qualquer IP (<i>Intellectual Property</i>) incluindo os softwares.	+
Chave Crossbar		Em sua maioria são compatíveis com qualquer IP (<i>Intellectual Property</i>) incluindo os softwares.	+
Network-on-Chip		São necessários adaptadores (<i>wrappers</i>) entre os IPs e os softwares precisam de sincronização em sistemas <i>multi-core</i> .	-
Barramento	Complexidade	Conceitos simples e bem compreendidos.	+
Chave Crossbar		Conceitos simples e bem compreendidos.	+
Network-on-Chip		Projetistas precisam de uma reeducação em função dos novos conceitos.	-

Adaptado de Bjerregaard, A Survey of Research and Practices of Network-on-Chip, ACM Computing Surveys 2006

Protocolos

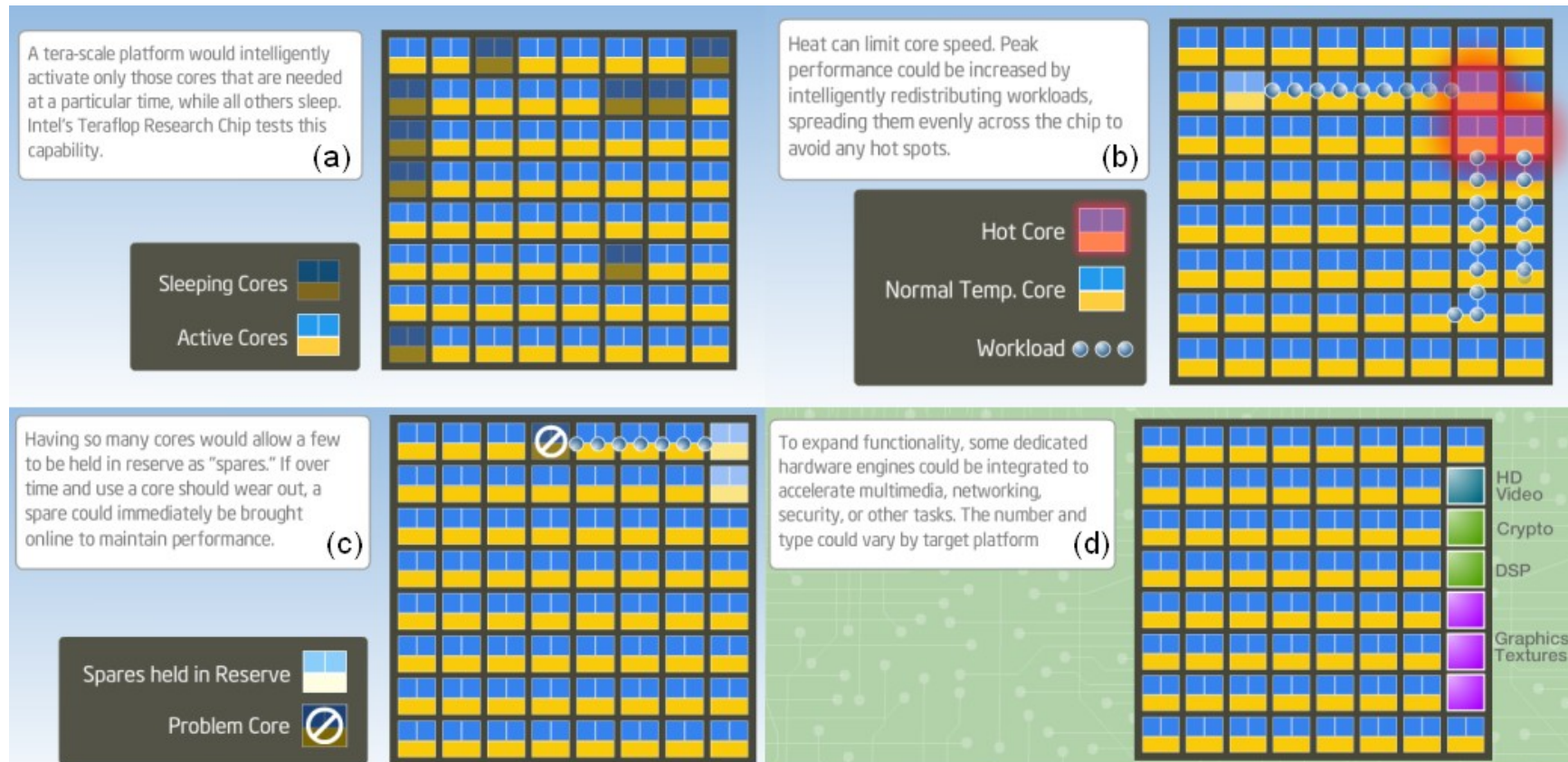
- Políticas e estratégias de transporte de dados em uma NoC é de responsabilidade dos protocolos.
- A definição do protocolo descreve as principais características de funcionamento da rede.
- Os protocolos precisam ser capazes de:
 - Garantir a entrega de dados.
 - Confiabilidade da rede.
 - A melhor rota.
 - Melhor desempenho, entre outros.

Research Manycore Chip



https://www.legitreviews.com/an-overview-of-intels-teraflops-research-chip_460

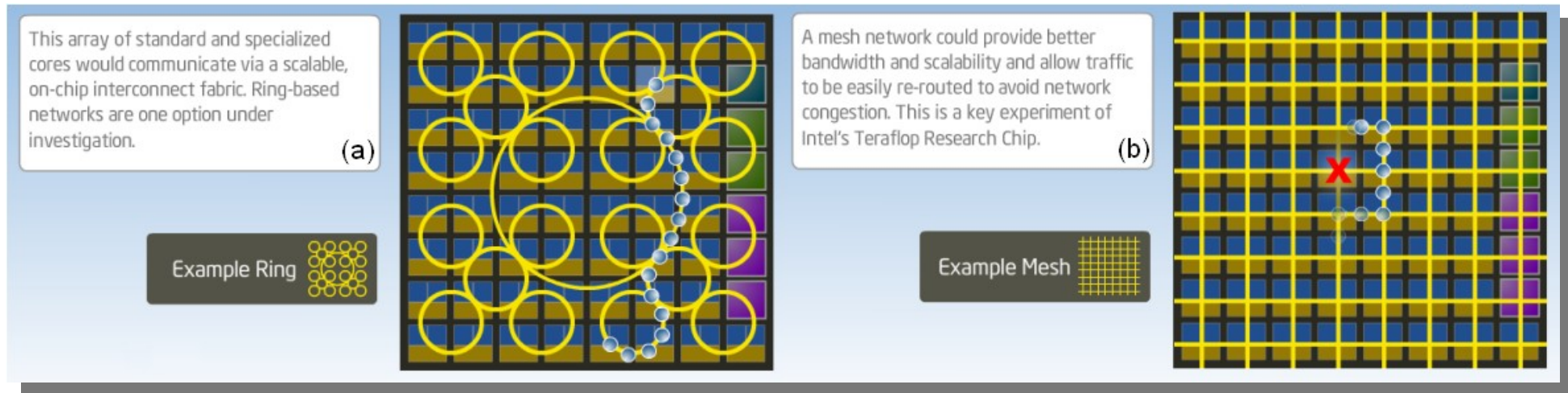
Research Manycore Chip



<https://www.youtube.com/watch?v=TAKGOUvtzpE>

https://www.youtube.com/watch?v=We_PRtRfINs

Research Manycore Chip

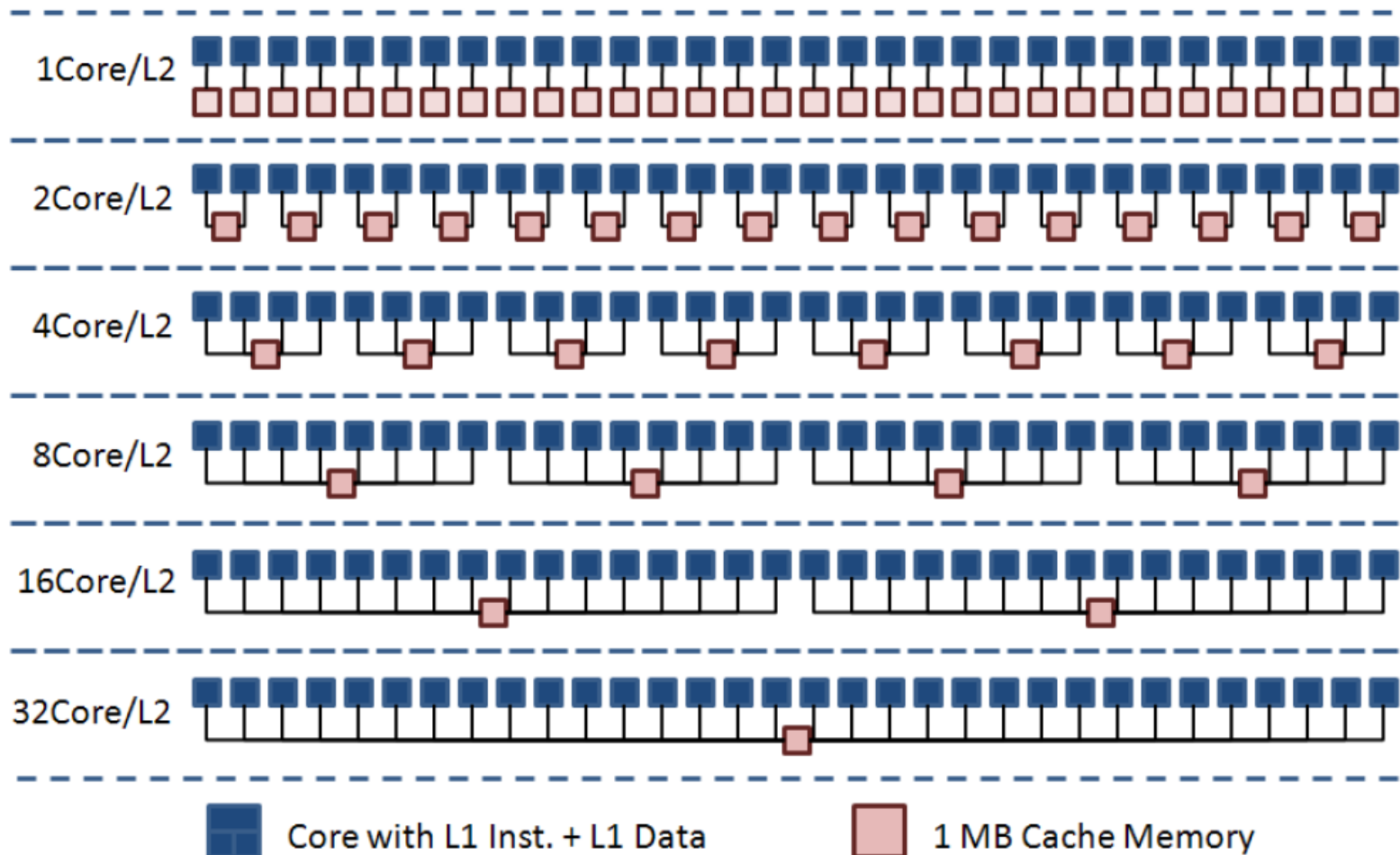


<https://www.youtube.com/watch?v=TAKGOUvtzpE>

https://www.youtube.com/watch?v=We_PRtRfiNs

Por que a Intel estuda dois tipos de topologias?

Processadores manycore - cache compartilhada



Alves, Avaliação do Compartilhamento das Memórias Cache no Desempenho de Arquiteturas Multi-Core, Dissertação, UFRGS, 2009