D S T Q Q S S

1 Puais São as etapos do projeto de un sostema digistal usando um FPGA? O processo é dividido em 6 etapes. 1. Projetor o Sistema o obter os acquivos HDI à Desenvoluer tostes no HOL e performar Simulação RTL O termo RTL reflete em o HDL estar pronte en nivel de regristrate A simulação chão se O HDL atinge as esperti coros e funções corretamente. 3. Crios analises e sinteses. O processo de analise che ca a sintaxe do codigo HOL, andisa a cetrutura des orgui, ves, constrai a hieraquia de design e estabelece a conerão dos sinois. O processo de sintese transforma os construtores HDL para componantes em nivel de portos logicos entos OS mapeia para FPGA e IDES 4- Posicionamento e soteamento setrata sobre onde sero posiciondo os elementos a cone Não des Sinois.

D S T Q Q S S 5. Gero OS organistos de consiguração.

As saidos são convertidos em um organisa
de imagem de programação pro o dispositi.
vo also. de configuração são bixabs no disfositi 2 Para que serve a ferramenta aurtes ! O antes 11 permite a onalise e sintese de projetos HDL, que permite ao desenvolvedor Compilar seus projetos, executar analises de tempo, examina diagramas RTL, simular a scaça de un projeto a diferentes estimulas e configuer o dispoitivo de destino. 3 Bra que serve a ferromenta ModelSim? 1 Hold sim é un simulador HDL. Ele suposta a simulação dos linguagens VHDL e verilge pde Simular o codigo a nivel RTL e gote vivel. Em nivel RTL e avalisado o cicarito a nival de comporto mento dos registrolores e em gote level é andisado a nivel de netlist

F

-

-

4 D que significa sintese de un sistema digital? A sintese de un sistema digital és processo de mover una específicação (un projeto abstrato de alto nivol (Ingragem de descrito) do hordware para una implementación detalhado (no nivel de partos logicos). Eun pocesso iterativo que requer mutiples simulações a fin de alconçor os funcionadidades deservates de seu design. 6 Wois as condições minimas recessorias pora redização de uma simulação funcional? 1 Preparar a simulação de projeto 3. Reduciós a simulação e analismos formas de anda é: · Descrição en hordware · Veramenta de Simulação