

Universidade Federal de Minas Gerais
Escola de Engenharia – Departamento de Engenharia Eletrônica
Disciplina: Laboratório de Sistemas Digitais
Guia de aula: 05
Assuntos: <ul style="list-style-type: none"> <li>• Tipos de dados básicos em VHDL e conversão de tipos.</li> <li>• Conceitos de sinais e variáveis.</li> <li>• Comandos para atribuição de sinais e variáveis.</li> </ul>
Objetivos: <ul style="list-style-type: none"> <li>• Entender os tipos de dados básicos da linguagem VHDL</li> <li>• Entender os tipos de dados definidos por algumas bibliotecas para a linguagem VHDL</li> <li>• Entender quando é possível e como deve-se realizar a conversão de tipos em VHDL</li> <li>• Conceituar sinais e entender onde podem ser utilizados</li> <li>• Conceituar variáveis e entender onde podem ser utilizadas</li> </ul>
<p>Espera-se que ao final do Estudo Dirigido o aluno saiba responder às seguintes questões:</p> <ol style="list-style-type: none"> <li>1) Qual a diferença entre os tipos <b>bit</b> e <b>std_logic</b>?</li> <li>2) Quais pacotes da <i>library "ieee"</i> são extensões definidas por desenvolvedores de ferramentas e devem ser evitadas por não serem pacotes padrão definidos pelo IEEE?</li> <li>3) Como realizar operações aritméticas (soma, subtração,...) usando <b>std_logic_vector</b>?</li> <li>4) Onde um <b>signal</b> deve ser declarado?</li> <li>5) Onde uma <b>variable</b> deve ser declarada?</li> <li>6) Qual a diferença entre um <b>signal</b> e uma <b>variable</b>?</li> <li>7) Qual a diferença entre um <b>signal</b> e uma variável de uma linguagem de programação, como C, por exemplo?</li> <li>8) Qual a diferença entre uma <b>variable</b> e uma variável de uma linguagem de programação, como C?</li> </ol>
<p>Parte das referências a serem estudadas:</p> <p>[1] pág. 22 a 26. Pág. 143 a 154.</p> <p>[8] pág. 13 a 16.</p>
<p>Lista de referências:</p> <p>[1] B. Mealy, F. Tappero. Free Range VHDL. Free Range Factory. 2012. The electronic version of this book can be downloaded free of charge from: <a href="http://www.freerangefactory.org">http://www.freerangefactory.org</a></p> <p>[8] Sabih H. Gerez. VHDL for Simulation and Synthesis. University of Twente. 2016 Disponível em: <a href="http://wwwhome.ewi.utwente.nl/~gerezsh/sendfile/sendfile.php/vhdl-sim-syn-soc.pdf?sendfile=vhdl-sim-syn-soc.pdf">http://wwwhome.ewi.utwente.nl/~gerezsh/sendfile/sendfile.php/vhdl-sim-syn-soc.pdf?sendfile=vhdl-sim-syn-soc.pdf</a></p>