

Universidade Federal de Minas Gerais
Escola de Engenharia – Departamento de Engenharia Eletrônica
Disciplina: Laboratório de Sistemas Digitais
Guia de aula: 03
Assuntos: <ul style="list-style-type: none"> ● Linguagens de Descrição de Hardware (HDLs). ● VHDL. ● Modelo de Descrição de um Sistema em VHDL (<i>library/package/entity/architecture</i>).

Objetivos: <ul style="list-style-type: none"> ● Conhecer os princípios de uma linguagem de descrição de hardware. ● Estudar os recursos de VHDL usados como modelos de descrições de sistemas em VHDL. ● Exercitar a montagem e compilação de um projeto com uma descrição de um sistema usando VHDL e o Quartus II (use o <i>template</i> do Quartus II).
Espera-se que ao final do Estudo Dirigido o aluno saiba responder as seguintes questões: <ol style="list-style-type: none"> 1) Se você tivesse que explicar para alguém leigo o que é VHDL e para que serve, o que você diria? 2) Qual o princípio fundamental de VHDL que o difere de uma linguagem de programação? 3) O que é uma <i>library</i> em VHDL e quais são as <i>libraries</i> fundamentais? 4) O que é um <i>package</i> em VHDL e quais <i>packages</i> estão padronizados? 5) Para que serve uma <i>design unit: entity</i> e quais os recursos de VHDL usados na descrição de uma <i>entity</i>? 6) Para que serve uma <i>design unit: architecture</i> em VHDL?
Atividades práticas em sala de aula: <ol style="list-style-type: none"> 1) Abra o Quartus II WebEdition. Identifique a pasta onde se localiza as <i>libraries</i> usadas em descrições VHDL. 2) Com o Quartus II WebEdition crie um novo projeto, com a família e o dispositivo FPGA existente no kit DE2. 3) Explore alguns recursos disponíveis no Quartus II WebEdition (No menu Edit->Insert Templates..). 4) Carregue para esse novo projeto uma descrição de um sistema digital existente no conjunto de Templates VHDL->Full Designs->Arithmetic. 5) Altere o design escolhido de 8 bits para 4 bits. 6) Compile (sintetize) a descrição do sistema dado para o dispositivo FPGA definido no início do projeto. 7) Adapte o arquivo de estímulos de entradas dado pelo professor na aula anterior, para realizar a simulação funcional do sistema que você acabou de sintetizar. 8) Realize a simulação funcional e observe se o comportamento da saída do sistema atendeu a sua expectativa. 9) Observe os arquivos gerados na síntese e simulação funcional. 10) Volte ao Quartus II, faça a associação de pinos do FPGA ao sistema digital sintetizado, gere o arquivo .sdo (bitstream) do sistema digital sintetizado e grave-o no FPGA do kit DE2 para testá-lo.

- 11) Observe que você pode criar o seu próprio template dentro do recurso Insert Templates que você explorou. Isso pode ser um importante recurso para você criar o seu próprio pacote de descrições de sistemas em VHDL