Universidade Federal de Minas Gerais

Escola de Engenharia – Departamento de Engenharia Eletrônica

Disciplina: Laboratório de Sistemas Digitais

Guia de aula: 09

Assuntos:

 Operadores em VHDL (concatenação de linhas de barramento, exibição de sinais internos para simulação, etc.)

Objetivos:

- Saber identificar o apropriado uso dos operadores em VHDL
- Identificar os diferentes tipos de operadores.

Espera-se que ao final do Estudo Dirigido o aluno saiba responder às seguintes questões:

- 1) Quais são os operadores lógicos em VHDL?
- 2) Quais são os operadores de relação em VHDL?
- 3) Quais são os operadores shift em VHDL?
- 4) Quais são os operadores adding em VHDL?
- 5) Quais são os operadores sign em VHDL?
- 6) Quais são os operadores multiplying em VHDL?
- 7) Que outro tipo de operadores existe, fora dos citados acima?
- 8) Como usar os operadores em VHDL?
- 9) Existem regras de precedência entre operadores em VHDL?

Parte das referências a serem estudadas:

[1] pág. 71 a 75.

[8] pág. 16 a 21.

[9] pág. 91 a 115.

Lista de referências:

[1] B. Mealy, F. Tappero. Free Range VHDL. Free Range Factory. 2012.

The electronic version of this book can be downloaded free of charge from: http://www.freerangefactory.org

[8] Sabih H. Gerez. VHDL for Simulation and Synthesis. University of Twente. 2016

Disponível em:

 $\underline{\text{http://wwwhome.ewi.utwente.nl/}^{\text{gerezsh/sendfile/sendfile.php/vhdl-sim-syn-soc.pdf?}} soc.pdf$

[9] Voleni A. Pedroni. Circuit Desing and Simulation with VHDL. The MIT Press. 2010. Referência opcional (no free).