

Guia 7

Aluno: Pierre Victor da Silva Sousa

Matrícula: 2018019710

1. O que são e para que servem as máquinas de estados finitos?

Um modelo de um sistema computacional, que consiste em um conjunto de estados (incluindo um estado inicial), um alfabeto de símbolos que serve como um conjunto de entradas possíveis para a máquina e uma função de transição que mapeia cada estado para outro estado (ou para próprio) para qualquer símbolo de entrada fornecido. A máquina opera alimentando-se de uma série de símbolos e se move por uma série de estados.

2. Quais as diferenças entre Máquinas de Mealy e Máquinas de Moore?

Na Máquina de Moore a saída depende somente do estado armazenado, exemplo um contador convencional, assim no diagrama de estados as transições não possuem qualquer sinal em anexo. Já a Máquina de Mealy depende do estado anterior e também das entradas do sistema, no diagrama de estados os irá incluir tanto o sinal de entrada como o de saída para cada vértice de transição.

3. Como modelar máquinas de estados finitos em VHDL: a. usando um único process? b. usando múltiplos processes?

a)

```
PROCESS ( Resetn, Clock )
  BEGIN
    IF Resetn...
      y <= A;
    ELSIF (Clock'EVENT AND Clock = '1') THEN
  CASE y IS
    WHEN A =>
      IF w = '0'
        THEN y <= A;
        ELSE y <= B;
      END IF;
    WHEN B =>
      .....
  END CASE;
END PROCESS;
```

b)

```

PROCESS ( w, y_present )
BEGIN
CASE y_present IS
WHEN A =>
IF w = '0' THEN
y_next <= A;
ELSE
y_next <= B;
END IF;
WHEN B => ....
END CASE;
END PROCESS;
PROCESS (Clock, Resetn)
BEGIN
IF Resetn ....
y_present <= A;
ELSIF (Clock'EVENT AND
Clock = '1') THEN
y_present <= y_next;
END IF;
END PROCESS;

```

4. O que é one-hot encoding?

A *codificação one-hot* é um método alternativo de atribuição de estado que tenta minimizar a lógica combinacional aumentando o número de flip-flops. O objetivo do método é tentar reduzir o número de conexões entre as portas lógicas no circuito combinacional do FSM. A presença de mais interconexões de portas resulta em atrasos de propagação mais longos e um FSM mais lento. Como o atraso de propagação através dos flip-flops é mais rápido, os FSMs exigem menos portas lógicas, mas não necessariamente menos flip-flops.

5. Como modelar os estados de uma Máquina de Estados Finitos em VHDL usando one-hot encoding?

Na máquina de estado finito com N estados requer N flip-flops. Os estados são atribuídos a números binários de N bits; onde apenas a posição do bit correspondente é igual a 1, os bits restantes são iguais a 0. Por exemplo, em uma máquina de estados finitos com quatro estados S_0 , S_1 , S_2 e S_3 , os estados são atribuídos aos valores binários 0001, 0010, 0100 e 1000, respectivamente. Observe que apenas uma posição de bit é igual a 1; os outros bits são todos iguais a 0. As 12 combinações binárias restantes são atribuídas a estados irrelevantes.