

2- Qual o princípio fundamental de VHDL que o difere de uma linguagem de programação?

O VHDL é uma linguagem usada para facilitar o design (projeto/concepção) de circuitos digitais em CPLDs, FPGAs e ASICs. As outras linguagens de programação são sequenciais por natureza, o VHDL não é (suas instruções são executadas ao mesmo tempo). Além de as linguagens de programação serem usadas para descrever algoritmos e o VHDL para descrever hardware.

4- O que é um *package* em VHDL e quais *packages* estão padronizados?

Package representa a estrutura hierárquica a qual a sua classe está alocada. Pacotes são agrupamentos que podem conter classes e outros pacotes. Packages padronizados: **std_logic_1164, numeric_std, numeric_signed, numeric_unsigned, numeric_bit, math_real, math_complex** ?.

Os pacotes só possuem letras minúsculas, não importa quantas palavras estejam contidas nele. Esse padrão existe para evitar ao máximo o conflito de pacotes de empresas diferentes. O padrão dar nome aos pacotes é relativo ao nome da biblioteca.

6- Para que serve uma *design unit: architecture* em VHDL?

A arquitetura descreve o que o circuito realmente faz. Em outras palavras, a arquitetura VHDL descreve a implementação interna da entidade associada. Pode haver qualquer número de arquiteturas equivalentes descrevendo uma única entidade. Isso dá ao programador VHDL a flexibilidade de projetar sistemas com características positivas ou negativas específicas, como tamanho (medindo o número de elementos digitais básicos necessários) ou operacional Rapidez, por várias razões, como facilitar a reutilização e conectividade do código. Uma arquitetura pode ser modelada de diferentes maneiras como: modelo de fluxo de dados , modelo comportamental, modelo estrutural e modelo híbrido.