

Universidade Federal de Minas Gerais
Escola de Engenharia – Departamento de Engenharia Eletrônica
Disciplina: Laboratório de Sistemas Digitais
Guia de aula: 07
Assuntos: <ul style="list-style-type: none"> • Máquinas de Estados Finitos. • <i>One-hot encoding</i> • Múltiplos process ou um único process?

Objetivos: <ul style="list-style-type: none"> • Entender como modelar máquinas de estados finitos em VHDL. • Apresentar modelos de máquinas de estados finitos usando um único processo e múltiplos processos. • Entender a diferença entre as máquinas de Mealy e de Moore. • Entender as vantagens e desvantagens da codificação <i>one-hot</i>. • Consolidar conceitos de concorrência entre processos. • Entender os tipos <i>Enumerated</i> em VHDL.

<p>Espera-se que ao final do Estudo Dirigido o aluno saiba responder às seguintes questões:</p> <ol style="list-style-type: none"> 1) O que são e para que servem as máquinas de estados finitos? 2) Quais as diferenças entre Máquinas de Mealy e Máquinas de Moore? 3) Como modelar máquinas de estados finitos em VHDL: <ol style="list-style-type: none"> a. usando um único process? b. usando múltiplos processes? 4) O que é one-hot encoding? 5) Como modelar os estados de uma Máquina de Estados Finitos em VHDL usando <i>one-hot encoding</i>?
--

<p>Atividades práticas em sala de aula:</p> <ol style="list-style-type: none"> 1) Acesse o endereço https://github.com/sistemas-digitais/pseudo-mux-fsm e obtenha o arquivo VHDL com a declaração da <i>Entity</i> (pseudo_mux.vhd). 2) A partir da entidade obtida do github, implemente uma máquina de estados finitos que apresente o seguinte comportamento: <ol style="list-style-type: none"> a. A saída Q acompanha o valor da entrada de dados selecionada. Inicialmente, a entrada de dados A está selecionada e a saída Q replica o valor da entrada de dados A. Ou seja, sempre que a entrada de dados A mudar de valor, a saída Q replica o mesmo valor. Quando a entrada de controle S é acionada, a próxima entrada de dados (nesse caso, a entrada B) passa a ser a entrada selecionada e a saída Q passa a replicar o valor da nova entrada de dados selecionada. Cada vez que a entrada S é acionada, a próxima entrada de dados é selecionada. 3) Com o Quartus II WebEdition crie um novo projeto, com a família e o dispositivo FPGA existente no kit DE2. 4) Utilizando como base os templates do Quartus II e os arquivos VHDL já disponibilizados para aulas anteriores, crie um modelo em VHDL para implementar a máquina de estados finitos projetada na atividade 1. 5) Sintetize a descrição do sistema dado para o dispositivo FPGA definido no início do projeto. 6) Acesse o Menu Tools → Netlist Viewers → State Machine Viewer. Observe se a máquina de estados mostrada é coerente com o que você esperava. 7) Implemente um testbench para verificar o funcionamento de sua máquina de estados finitos. 8) Realize a simulação funcional e observe se o comportamento da saída do sistema atendeu a sua expectativa. 9) Volte ao Quartus II e faça a associação de pinos do FPGA ao sistema digital sintetizado, gere o arquivo .sof (bitstream) do sistema digital sintetizado e grave-o no FPGA do kit DE2 para testá-lo.
--