

Universidade Federal de Minas Gerais
Escola de Engenharia – Departamento de Engenharia Eletrônica
Disciplina: Laboratório de Sistemas Digitais
Guia de aula: 04
Assuntos: <ul style="list-style-type: none"> ● Síntese de Sistemas Digitais em DLPs. ● Modelagem de SDs em VHDL para síntese e para simulação. ● Construções sintetizáveis e não sintetizáveis em VHDL.

Objetivos: <ul style="list-style-type: none"> ● Entender como o conceito de síntese se relaciona com a modelagem dos sistemas digitais em VHDL ● Introduzir as diferenças entre modelos para síntese e modelos para simulação em VHDL ● Realizar uma introdução do conceito de Testbench ● Conceituar Mapeamento tecnológico e como está relacionado ao fluxo de projeto em DLPs ● Exercitar os conceitos por meio da descrição de um sistema usando VHDL e o Quartus II
Espera-se que ao final do Estudo Dirigido o aluno saiba responder às seguintes questões: <ol style="list-style-type: none"> 1) Como funciona o processo de simulação de um sistema digital? 2) O que é o Ciclo Delta (<i>Delta Cycle</i>) e como ele se relaciona com simulação de sistemas digitais? 3) O que são Testbenches? 4) O que é síntese de sistemas digitais? 5) O que são construções sintetizáveis e construções não sintetizáveis? 6) Como implementar um modelo de sistema digital em VHDL que pode ser sintetizado? 7) O que é mapeamento tecnológico?
Atividades práticas em sala de aula: <ol style="list-style-type: none"> 1) Com o Quartus II WebEdition crie um novo projeto, com a família e o dispositivo FPGA existente no kit DE2. 2) Utilizando como base os templates do Quartus II e os arquivos VHDL já disponibilizados para aulas anteriores, crie um modelo em VHDL para um comparador de palavras, A e B, de 4 bits sem sinal que tenha três saídas: <i>maior</i>, <i>menor</i> e <i>iguais</i>, que indiquem, respectivamente, se $A > B$, $A < B$ e $A = B$. 3) Sintetize a descrição do sistema dado para o dispositivo FPGA definido no início do projeto. 4) Implemente um testbench para verificar o funcionamento de seu comparador de magnitude. 5) Realize a simulação funcional e observe se o comportamento da saída do sistema atendeu a sua expectativa. 6) Altere a ordem dos assinalamentos das saídas do modelo no código VHDL e realize novamente a simulação. Houve alguma alteração no comportamento? 7) Volte ao Quartus II e acesse o Menu <i>Tools</i> → <i>Netlist Viewers</i> → <i>RTL Viewer</i>. Observe se o diagrama mostrado é coerente com o que você esperava. 8) Acesse o Menu <i>Tools</i> → <i>Netlist Viewers</i> → <i>Technology Map Viewer (Post- Mapping)</i>. Clique duas vezes sobre as “caixas” para observar sua implementação interna. Analise como estas caixas se relacionam com os elementos lógicos do DLP. 9) Acesse agora o Menu <i>Assignments</i> → <i>Device</i> e modifique o <i>device family</i> para MAX3000A (CPLDs). Escolha um <i>device</i> da família, por exemplo o EPM3064ATC44-10. Sintetize novamente seu modelo. 10) Execute os passos 5 e 6 novamente e compare com os obtidos anteriormente. <ol style="list-style-type: none"> a. O <i>RTL Viewer</i> apresentou resultados diferentes ou iguais? Por que? b. O <i>Technology Map Viewer (Post- Mapping)</i> apresentou resultados diferentes ou iguais? Por que?