



## LSD GUIA 3

1. Se você tivesse que explicar para alguém leigo o que é VHDL e para que serve, o que você diria?

VHDL é uma linguagem, assim como o português, que usamos para descrever um circuito. Essa linguagem é mais próxima de uma linguagem de máquina, onde sua ideia é descrever o funcionamento de hardware, sendo assim, é diferente de como nós, humanos, entendemos uma linguagem de comunicação. Com essa descrição do hardware, é possível simular o comportamento do mesmo e verificar sua veracidade.

2. Qual o princípio fundamental de VHDL que difere de uma linguagem de programação?

O VHDL é uma linguagem usada para facilitar o design de circuitos digitais em CPLDs, FPGAs e ASICs. As outras linguagens de programação são sequenciais por natureza, o VHDL não, ele é paralelo. Além de as linguagens de programação serem usadas para descrever algoritmos e o VHDL para descrever hardware.



3 O que é uma library em VHDL e quais são as libraries fundamentais?

Library são um conjunto de pacotes que contêm diversos componentes incluídos que dão vantagem ao programador para descrever o Hardware. Esses componentes são vários tipos de dados operadores sobrecarregados, várias funções de conversão, matemática e assim por diante. As bibliotecas mais usadas são a IEEE biblioteca padrão do IEEE que deve ser declarada no início do programa e a biblioteca work que corresponde ao conjunto de arquivos salvos pelo projeto do programa em questão.

4 O que é um package em VHDL e quais packages estão padronizados?

Package representa a estrutura hierárquica a qual a sua classe está atrelada. Pacotes são agrupamentos que podem conter classes e outros pacotes. Packages Padronizados: std\_logic\_1164, numeric\_std, numeric\_signed, numeric\_unsigned, numeric\_bit, math\_real, math\_complex.



Os pacotes só possuem letras minúsculas, independente da quantidade de palavras contida. Esse padrão existe para evitar ao máximo o conflito de pacotes de empresas diferentes.

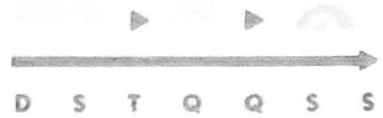
5. Para que serve uma design unit: entity e quais os recursos de VHDL usados na descrição de uma entity?

A entity descreve uma função lógica através de seu nome do modo (in, out, inout, buffer) e tipo de dados (bit, std\_logic, etc). Por exemplo, para uma porta AND chamada "AND2" com duas entradas A, B e uma saída X temos:

```
entity AND2 is  
  port (A, B: in bit; X: out bit);  
end entity AND2
```

6. Para que serve uma design unit: architecture em VHDL?

A arquitetura descreve o que o circuito realmente faz. Em outras palavras, a arquitetura VHDL descreve a implementação interna da entidade associada. Pode haver qualquer número de arquiteturas equivalentes descrevendo uma única entidade. Isso dá ao programador VHDL a flexibilidade de projetar sistemas



com características positivas ou negativas específicas, como tamanho (medindo o número de elementos digitais básicos necessários) ou operacional rapidez, por várias razões, como facilitar a reutilização e conectividade do código. Uma arquitetura pode ser modelada de diferentes maneiras como: modelo de fluxo de dados, modelo comportamental, modelo estrutural e modelo híbrido.