

## Guia 4

Aluno: Pierre Victor da Silva Sousa

Matricula: 2018019710

### 1. Como funciona o processo de simulação de um sistema digital?

O processo de simulação se inicia na criação de uma lista de eventos – como por exemplo, um vetor de estados das entradas do sistema. Estes eventos serão processados pela descrição VHDL ao longo do tempo configurado para simulação até que essa lista de eventos acabe, ou haja interrupção pelo usuário.

### 2. O que é o Ciclo Delta (Delta Cycle) e como ele se relaciona com simulação de sistemas digitais?

O Delta Cycle é um delay de 0ns que difere uma atribuição ( $a \leq b$ ) de uma declaração. Esse termo só se aplica em simulações de sistemas digitais e não é aplicada no hardware.

### 3. O que são Testbenches?

Testbench é o enriquecimento das simulações do sistema digital através de estímulos gerados pelo usuário, a fim de verificar o comportamento do sistema. No testbench podemos controlar o tempo da simulação, validar o comportamento do circuito através dos possíveis valores das entradas, entre outras funcionalidades.

### 4. O que é síntese de sistemas digitais?

A síntese de uma descrição de hardware é transformar o código VHDL desenvolvido pelo usuário em um mapeamento lógico para ser usado em FPGAs, assim como as linguagens de alto nível C++, C são convertidas em instruções de máquinas.

### 5. O que são construções sintetizáveis e construções não sintetizáveis?

Modelos sintetizados são aqueles que serão traduzidos para o hardware, enquanto os modelos não sintetizados não serão traduzidos para hardware, definem estímulos para simulação.

### 6. Como implementar um modelo de sistema digital em VHDL que pode ser sintetizado?

É permitida apenas uma única arquitetura para cada entidade a ser sintetizada.

A arquitetura de uma entidade pode ser comportamental ou estrutural composta de instanciações de outras entidades. Portanto, descrições hierárquicas podem ser usadas. São permitidas várias entidades por arquivo.

As descrições comportamentais de uma entidade terão um ou mais processos no corpo da arquitetura.

O VHDL sintetizável não deve conter referências ao tempo absoluto, como em atribuições com a palavra-chave `after`. Se o fizerem, serão ignorados.

Embora o sintetizador possa lidar com muitos tipos de dados, é altamente recomendável usar exclusivamente os tipos de dados de vetor de lógica padrão e lógica padrão para os sinais de E / S das entidades de nível superior. Estes são os tipos de dados usados nas descrições VHDL dos circuitos sintetizados. Aderir a eles facilita a reutilização de testbenches.

## 7. O que é mapeamento tecnológico?

O processo de mapeamento tecnológico consiste na escolha de um conjunto de instâncias de células disponíveis em uma biblioteca e suas interconexões, de forma a implementar todo o conjunto de funções booleanas descritas por um circuito lógico.