

Universidade Federal de Minas Gerais
Escola de Engenharia – Departamento de Engenharia Eletrônica
Disciplina: Laboratório de Sistemas Digitais
Guia de aula: 05
Assuntos: <ul style="list-style-type: none"> • Tipos de dados básicos em VHDL e conversão de tipos. • Conceitos de sinais e variáveis. • Comandos para atribuição de sinais e variáveis.

Objetivos: <ul style="list-style-type: none"> • Entender os tipos de dados básicos da linguagem VHDL • Entender os tipos de dados definidos por algumas bibliotecas para a linguagem VHDL • Entender quando é possível e como deve-se realizar a conversão de tipos em VHDL • Conceituar sinais e entender onde podem ser utilizados • Conceituar variáveis e entender onde podem ser utilizadas

<p>Espera-se que ao final do Estudo Dirigido o aluno saiba responder às seguintes questões:</p> <ol style="list-style-type: none"> 1) Qual a diferença entre os tipos bit e std_logic? 2) Quais bibliotecas declaradas sob a <i>library "ieee"</i> são extensões definidas por desenvolvedores de ferramentas e devem ser evitadas por não serem bibliotecas padrão definidas pelo IEEE? 3) Como realizar operações aritméticas (soma, subtração,...) sobre std_logic_vector? 4) Onde um signal deve ser declarado? 5) Onde uma variable deve ser declarada? 6) Qual a diferença entre um signal e uma variable? 7) Qual a diferença entre um signal e uma variável de uma linguagem de programação, como C, por exemplo? 8) Qual a diferença entre uma variable e uma variável de uma linguagem de programação, como C?

<p>Atividades práticas em sala de aula:</p> <ol style="list-style-type: none"> 1) Com o Quartus II WebEdition crie um novo projeto, com a família e o dispositivo FPGA existente no kit DE2. Dê o nome de ALU ao seu projeto. 2) Acesse o endereço https://github.com/sistemas-digitais/alu-vhdl-entity e obtenha o arquivo VHDL com a declaração da interface da ALU (alu.vhd). Nos comentários desse arquivo, bem como no arquivo README do repositório, está a descrição do comportamento esperado do módulo. Implemente esse comportamento. 3) Sintetize a descrição do sistema dado para o dispositivo FPGA definido no início do projeto. 4) Implemente um <i>testbench</i> para verificar o funcionamento de sua ALU. 5) Realize a simulação funcional e observe se o comportamento da saída do sistema atendeu a sua expectativa. 6) Altere a ordem dos assinalamentos das saídas do modelo no código VHDL e realize novamente a simulação. Houve alguma alteração no comportamento? 7) Volte ao Quartus II e acesse o Menu <i>Tools</i> → <i>Netlist Viewers</i> → <i>RTL Viewer</i>. Observe se o diagrama mostrado é coerente com o que você esperava. 8) Acesse o Menu <i>Tools</i> → <i>Netlist Viewers</i> → <i>Technology Map Viewer (Post- Mapping)</i>. Clique duas vezes sobre as “caixas” para observar sua implementação interna. 9) Verifique nas mensagens de <i>warning</i> do Quartus II WebEdition se existe alguma do tipo “<i>inferring latch(es) for signal or variable (...)</i>”. <ol style="list-style-type: none"> a. Idealmente, a síntese do seu modelo não deve apresentar nenhuma mensagem desse tipo. b. Procure descobrir o que causa esta mensagem, mesmo se a síntese do seu modelo não registrou mensagens do tipo.
