

Universidade Federal de Minas Gerais
Escola de Engenharia – Departamento de Engenharia Eletrônica
Disciplina: Laboratório de Sistemas Digitais
Guia de aula: 06
Assuntos: <ul style="list-style-type: none"> <li>• Declarações concorrentes.</li> <li>• Declaração <i>Process</i> em VHDL.</li> <li>• Lista de sensibilidade.</li> <li>• Declarações sequenciais em VHDL.</li> </ul>

Objetivos: <ul style="list-style-type: none"> <li>• Entender o comportamento das declarações concorrentes em VHDL.</li> <li>• Estudar a estrutura da declaração <i>Process</i> e seu funcionamento.</li> <li>• Entender a lista de sensibilidade do <i>Process</i> e como ela influencia no comportamento do modelo.</li> <li>• Aprender como utilizar atribuições a variáveis dentro de um <i>Process</i> para modelar comportamento sequencial.</li> </ul>
Espera-se que ao final do Estudo Dirigido o aluno saiba responder às seguintes questões: <ol style="list-style-type: none"> <li>1) Qual a diferença entre concorrência e paralelismo?</li> <li>2) Por que as construções concorrentes em VHDL não são chamadas de paralelas?</li> <li>3) Quando as construções concorrentes em VHDL podem apresentar comportamento paralelo?</li> <li>4) Qual a diferença entre se atribuir o valor a um sinal dentro de um <i>Process</i> ou fora dele?</li> <li>5) Qual a função da lista de sensibilidades de um processo?</li> <li>6) Quais as regras para se definir o que deve ser incluído na lista de sensibilidade de um Processo?</li> <li>7) Como se define atribuições sequenciais dentro de um <i>Process</i>?</li> <li>8) Se o modelo VHDL será sintetizado em um hardware que permite paralelismo, por que precisamos de construções sequenciais? Paralelo não é mais rápido?</li> </ol>
Atividades práticas em sala de aula: <ol style="list-style-type: none"> <li>1) Com o Quartus II WebEdition, crie um novo projeto, com a família e o dispositivo FPGA existente no kit DE2.</li> <li>2) Acesse o endereço <a href="https://github.com/sistemas-digitais/mean-4-clocks">https://github.com/sistemas-digitais/mean-4-clocks</a> e obtenha o arquivo VHDL com a definição do modelo (mean_4_clocks.vhd). Nos comentários desse arquivo, bem como no arquivo README do repositório, está a descrição do comportamento esperado do modelo. O exemplo 4.11, da página 192 da referência [5] também descreve o comportamento esperado.</li> <li>3) Crie um <i>testbench</i> para simular o modelo.</li> <li>4) Identifique bugs no modelo. Existem dois erros que impedem que o sistema funcione de forma correta. Descreva detalhadamente os erros identificados e como eles afetam o comportamento do modelo. <ol style="list-style-type: none"> <li>a. Dica 1: O primeiro erro tem relação a ordem de atribuições sequenciais. Altere a ordem ou transforme em atribuições concorrentes;</li> <li>b. Dica 2: o segundo erro tem relação com a precisão no cálculo da divisão por dois.</li> </ol> </li> <li>5) Corrija os erros e verifique o funcionamento correto usando o <i>testbench</i>.</li> <li>6) Verifique a descrição RTL criada pelo Quartus II (<i>Netlist Viewers</i> → <i>RTL Viewer</i>). Analise o diagrama.</li> <li>7) Adicione a entrada INPUT à lista de sensibilidade do processo, realize a síntese e verifique novamente a descrição RTL criada pelo Quartus II. Houve alguma alteração? O resultado foi conforme esperado?</li> <li>8) Altere a lista de sensibilidade do processo para que contenha somente a entrada INPUT. Realize a síntese e verifique novamente a descrição RTL criada pelo Quartus II. Houve alguma alteração?</li> <li>9) A partir da última alteração, remova o teste do <i>rising_edge</i> (CLK). Realize a síntese e analise a descrição RTL. <ol style="list-style-type: none"> <li>a. Execute novamente a simulação e veja o comportamento. Foi conforme o esperado?</li> <li>b. Você consegue identificar algum problema com esta implementação? Discuta com o professor.</li> </ol> </li> </ol>