

LSD Guia 2

1. Quais são as etapas do projeto de um sistema digital usando um FPGA?

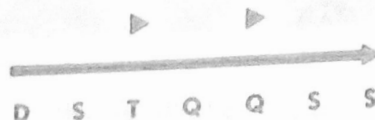
O processo é dividido em 6 etapas

1. Projetar o sistema e obter os arquivos HDL.

2. Desenvolver testes no HDL e realizar simulação RTL. O termo RTL reflete em o HDL estar pronto em nível de registrador. A simulação check se o HDL atinge as especificações e funções corretamente.

3. Criar análises e sínteses. O processo de análise check a sintaxe do código HDL, analisa a estrutura dos arquivos, constrói a hierarquia do design e estabelece a conexão dos sinais. O processo de síntese transforma os construtores HDL para componentes em nível de portas lógicas então os mapeia para FPGA e I/Os.

4. Posicionamento e roteamento. Trata-se sobre onde serão posicionados os elementos lógicos no espaço físico do FPGA e a conexão dos sinais.



5. Gera os arquivos de configuração. As caídas são convertidas em um arquivo de imagem de programação para o dispositivo alvo.

6. Programar o dispositivo. Os arquivos de configuração são baixados no dispositivo alvo.

2. Para que serve a ferramenta Quartus II web edition?

O Quartus II permite a análise e síntese de projetos HDL, que permite ao desenvolvedor compilar seus projetos, executar análises de tempo, examinar diagramas RTL, simular a execução de um projeto a diferentes estímulos e configurar o dispositivo de destino.

3. Para que serve a ferramenta ModelSim?

O ModelSim é um simulador HDL. Ele suporta a simulação das linguagens VHDL e Verilog e pode simular o código a nível RTL e gate level. Em nível RTL é analisado o circuito a nível de componentes dos registradores e em gate level é analisado a nível de netlist.



4 O que significa síntese de um sistema digital?

A síntese de um sistema digital é o processo de mover uma especificação (um projeto abstrato de alto nível (linguagem de descrição da hardware)) para uma implementação detalhada (no nível de portas lógicas).

5 O que é uma simulação funcional?

É um processo iterativo que requer múltiplas simulações a fim de alcançar as funcionalidades desejadas do seu design.

6 Quais as condições mínimas necessárias para realização de uma simulação funcional?

1. Preparar a simulação de projeto
2. Compilar os códigos HDL
3. Reduzir a simulação e analisar as formas de ondas

O mínimo para uma simulação funcional é:

- Descrição em hardware
- Ferramenta de simulação

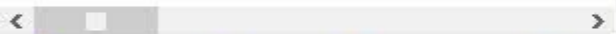


Project Navigator

Entity

Cyclone II: EP2C35F672C6

somador

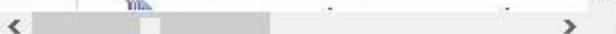


Hierarchy Files Design Units

Tasks

Flow: Compilation Customize...

Task	
✓	Compile Design
✓	> Analysis & Synthesis
✓	> Fitter (Place & Route)
✓	> Assembler (Generate programming files)
✓	> TimeQuest Timing Analysis
✓	> EDA Netlist Writer



All Search

Type	ID	Message
i	22036	For messages from NativeLink execution see the NativeLink log file C:/altera/13.0sp1/lsd2/somador_nativelink_simulation.rpt

