

Universidade Federal de Minas Gerais
Escola de Engenharia – Departamento de Engenharia Eletrônica
Disciplina: Laboratório de Sistemas Digitais
Guia de aula: 06
Assuntos: <ul style="list-style-type: none"> <li>• Declarações concorrentes.</li> <li>• Declaração Process em VHDL.</li> <li>• Lista de sensibilidade.</li> <li>• Declarações sequenciais em VHDL.</li> </ul>
Objetivos: <ul style="list-style-type: none"> <li>• Entender o comportamento das declarações concorrentes em VHDL.</li> <li>• Estudar a estrutura da declaração <i>Process</i> e seu funcionamento.</li> <li>• Entender a lista de sensibilidade do <i>Process</i> e como ela influencia no comportamento do modelo.</li> <li>• Aprender como utilizar atribuições a variáveis dentro de um <i>Process</i> para modelar comportamento sequencial.</li> </ul>
Espera-se que ao final do Estudo Dirigido o aluno saiba responder às seguintes questões: <ol style="list-style-type: none"> <li>1) Qual a diferença entre concorrência e paralelismo?</li> <li>2) Por que as construções concorrentes em VHDL não são chamadas de paralelas?</li> <li>3) Quando as construções concorrentes em VHDL podem apresentar comportamento paralelo?</li> <li>4) Qual a diferença entre se atribuir o valor a um sinal dentro de um <i>Process</i> ou fora dele?</li> <li>5) Qual a função da lista de sensibilidades de um processo?</li> <li>6) Quais as regras para se definir o que deve ser incluído na lista de sensibilidade de um Processo?</li> <li>7) Como se define atribuições sequenciais dentro de um <i>Process</i>?</li> <li>8) Se o modelo VHDL será sintetizado em um hardware que permite paralelismo, por que precisamos de construções sequenciais? Paralelo não é mais rápido?</li> </ol>
Parte das referências a serem estudadas: <p>[1] pág. 29 a 48. Pág. 56 a 68.</p> <p>[5] pág. 192 - Exemplo 4.11</p> <p>[8] pág. 9 a 12.</p> <p>[15]</p> <p>[16]</p>
Lista de referências: <p>[1] B. Mealy, F. Tappero. Free Range VHDL. <b>Free Range Factory</b>. 2012. The electronic version of this book can be downloaded free of charge from: <a href="http://www.freerangefactory.org">http://www.freerangefactory.org</a></p> <p>[5] Frank Vahid. <b>Sistemas Digitais: Projeto, Otimizações e HDLs</b>. Bookman. 2008.</p> <p>[8] Sabih H. Gerez. VHDL for Simulation and Synthesis. University of Twente. 2016 Disponível em: <a href="http://wwwhome.ewi.utwente.nl/~gerezsh/sendfile/sendfile.php/vhdl-sim-syn-soc.pdf?sendfile=vhdl-sim-syn-soc.pdf">http://wwwhome.ewi.utwente.nl/~gerezsh/sendfile/sendfile.php/vhdl-sim-syn-soc.pdf?sendfile=vhdl-sim-syn-soc.pdf</a></p> <p>[15] Rob Pike. <b>Concurrency Is Not Parallelism</b>. 2012. Disponível em: <a href="https://vimeo.com/49718712">https://vimeo.com/49718712</a>. Acesso em: 25/08/2018.</p> <p>[16] Rob Pike. <b>Concurrency Is Not Parallelism</b> (Slides). 2012. Disponível em: <a href="https://talks.golang.org/2012/waza.slide">https://talks.golang.org/2012/waza.slide</a>. Acesso em: 25/08/2018.</p>