

Elettronica Applicata
definizioni, formule ed esempi

Pietro Barbiero

Quest'opera contiene informazioni tratte da wikipedia (<http://www.wikipedia.en>) e dalle dispense relative al corso di Elettronica Applicata e Misure tenuto dal professor Del Corso Dante del Dipartimento di Automatica e Informatica del Politecnico di Torino (IT).



Quest'opera è stata rilasciata con licenza Creative Commons Attribuzione - Non commerciale - Condividi allo stesso modo 4.0 Internazionale. Per leggere una copia della licenza visita il sito web <http://creativecommons.org/licenses/by-nc-sa/4.0/>.

Indice

I	Circuiti digitali	9
1	Flip-flop	11
1.1	Tipologie di circuiti logici	11
1.1.1	Circuiti combinatori	11
1.1.2	Circuiti sequenziali	11
1.2	Circuiti di memoria	11
1.2.1	Circuito con latch	11
1.2.2	Circuito edge-triggred	11
1.3	Flip-flop (FF)	12
1.3.1	Tipologie	12
1.3.2	Latch FF	12
1.3.2.1	FF SR asincrono	12
1.3.2.2	FF SR sincrono	12
1.3.2.3	FF Latch D	13
1.3.3	Edge-triggred FF	14
1.3.3.1	FF MS D	14
1.3.3.2	FF DDR D	14
1.3.3.3	FF JK	15
1.3.4	Confronto risposte FF	16
1.3.5	Clear	16
1.4	Parametri elettrici dei FF	16
1.4.1	Ritardi	16
1.4.1.1	Tempo di setup	16
1.4.1.2	Tempo di hold	17
1.4.1.3	Tempo di propagazione	17
1.4.1.4	Tempo di salita (raise time)	17
1.4.1.5	Tempo di discesa (fall time)	17
1.4.1.6	Tempo di jitter del clock	17
1.4.1.7	Periodo minimo di clock	17
1.4.1.8	Frequenza massima di clock	17
1.4.2	Metastabilità	17
1.5	Esercizi	18
1.5.1	Risposta dei flip-flop	18
2	Registri e contatori	21
2.1	Trasmissione di segnali	21
2.1.1	Trasmissione seriale	21
2.1.2	Trasmissione parallela	21
2.2	Registro	21
2.2.1	Registro PIPO	21
2.2.2	Registro SISO	21
2.2.3	Registro SIPO	21

2.2.4	Registro PISO	21
2.3	Contatore	22
2.4	Divisore	22
3	Comparatori di soglia	23
3.1	Comparatore di soglia	23
3.1.1	Rumore	23
3.1.2	Comparatore di soglia con isteresi (ritardo)	24
3.1.3	Differenze con l'amplificatore	24
3.1.4	Parametri dei comparatori	24
3.2	<i>Esercizi</i>	26
3.2.1	<i>Comparatori</i>	26
4	Generatori di segnali	27
4.1	Parametri dei segnali periodici continui	27
4.2	Generatore di segnali	27
4.2.1	Parametri dei generatori a onda rettangolare	27
4.2.2	Parametri dei generatori a onda quadra	28
4.3	Circuito monostabile	28
4.4	Generatore di onda quadra	28
5	Logiche programmabili	31
5.1	Costi di progetto e produzione	31
5.1.1	Costo per prodotto	31
5.2	Stili di progetto	31
5.3	Classificazione dei circuiti digitali	32
5.4	Field Programmable Gate Array (FPGA)	32
5.4.1	Celle logiche programmabili	32
5.4.1.1	Programmable Array Logic (PAL)	32
5.4.1.2	Programmable Logic Array (PLA)	33
5.4.1.3	Programmable ROM (PROM)	33
5.4.2	Memorie per la programmazione delle celle	33
II	Interconnessioni	35
6	Introduzione	37
6.1	Entità delle interconnessioni	37
6.1.1	Interconnessione ideale	37
6.2	Modello RC passa basso o lineare	37
6.2.1	Ritardi	38
6.2.1.1	Tempo di trasmissione	38
6.2.1.2	Skew	38
6.3	Modello a parametri concentrati	38
6.4	Modello a linea di trasmissione	38
6.4.1	Esempi di linee di trasmissione	39
6.4.2	Onda incidente	39
6.4.3	Onda di riflessione	39
6.4.3.1	Coefficiente di riflessione	39
6.4.3.2	Tensione sulla linea	39

7	Connessioni con linee di trasmissione	41
7.1	Topologie di connessione	41
7.1.1	Prestazioni	41
8	Cicli di trasferimento	43
8.1	Cicli di trasferimento	43
8.1.1	Modello Sor-Dest	43
8.1.2	Ciclo completo	43
8.1.3	Classificazione dei cicli di trasferimento	43
8.1.4	Protocolli base	43
8.2	Protocolli per cicli di trasferimento	44
8.2.1	Protocollo sincrono	44
8.2.2	Protocollo asincrono	45
9	Sistemi a BUS	47
9.1	Protocolli di un sistema a BUS	47
9.2	Allocazione	47
9.2.1	Tecniche di gestione del bus	47
9.2.2	Arbitraggio	47
9.3	Indirizzamento	48
9.3.1	Slave	48
9.3.2	Selezione dello Slave	48

Elenco delle figure

1.1	Latch	11
1.2	Edge-triggered	12
1.3	FF SR asincrono	13
1.4	FF SR sincrono	13
1.5	FF Latch D	14
1.6	FF MS D	15
1.7	FF DDR D	15
1.8	FF JK	16
1.9	Diagrammi temporali	18
2.1	Registri	22
3.1	Comparatori di soglia	23
3.2	Comparatore di soglia con isteresi	24
4.1	Circuito monostabile	28
4.2	Generatore di onda quadra	29
6.1	Modello lineare	37
6.2	Modello a linea di trasmissione	40
7.1	Prestazioni	42
8.1	Tempo di scrittura	44

Parte I

Circuiti digitali

Capitolo 1

Flip-flop

1.1 Tipologie di circuiti logici

1.1.1 Circuiti combinatori

Un circuito combinatorio è un circuito logico in cui il valore delle uscite nell'istante t_0 è funzione solo degli ingressi applicati all'istante t_0

$$O(t_0) = f(I_i(t_0)) \quad (1.1)$$

1.1.2 Circuiti sequenziali

Un circuito sequenziale è un circuito logico in cui il valore delle uscite nell'istante t_0 è funzione: degli ingressi applicati all'istante t_0 e degli ingressi applicati prima di t_0 (bisogna memorizzarli)

$$O(t_0) = f(I_i(t_0), I_i(t_{-1}), \dots) \quad (1.2)$$

1.2 Circuiti di memoria

1.2.1 Circuito con latch

Un circuito di memoria con latch è un circuito sensibile ai livelli stabili: memorizza i bit durante i due stati stabili del segnale di ENABLE

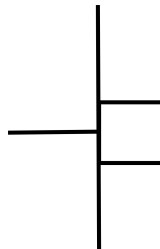


Figura 1.1: Latch

1.2.2 Circuito edge-triggered

Un circuito di memoria edge-triggered è un circuito sensibile ai fronti di transizione: memorizza i bit durante le transizioni $H \rightarrow L$ e/o $L \rightarrow H$ del segnale di CLOCK

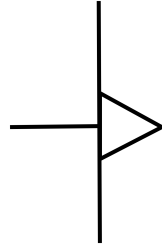


Figura 1.2: Edge-triggered

1.3 Flip-flop (FF)

Un flip-flop è un circuito sequenziale in grado di memorizzare uno stato logico

1.3.1 Tipologie

I FF possono essere suddivisi in due categorie:

- FF asincroni: possono cambiare stato in qualunque momento
- FF sincroni (con clock): possono cambiare stato solo in corrispondenza di un segnale di clock

1.3.2 Latch FF

1.3.2.1 FF SR asincrono

Un FF SR (Set Reset) asincrono è un FF composto da due porte NOR; gli stati di un FF SR asincrono sono:

- stati di comando
 - SET ($S = 1, R = 0$)
 - RESET ($S = 0, R = 1$)
- stato di memoria ($S = 0, R = 0$)
- stato proibito ($S = 1, R = 1$)

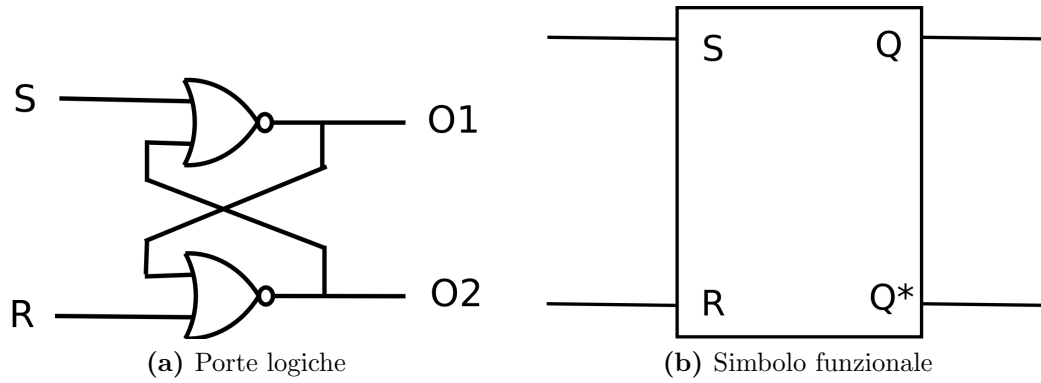
S	R	Q
1	0	1
0	1	0
0	0	Q
1	1	–

(1.3)

1.3.2.2 FF SR sincrono

Un FF SR (Set Reset) sincrono è composto da due porte AND in ingresso ad un FF SR asincrono: ogni porta AND ha un ingresso di ENABLE e un ingresso o di SET o di RESET; gli stati di un circuito FF SR sincrono sono:

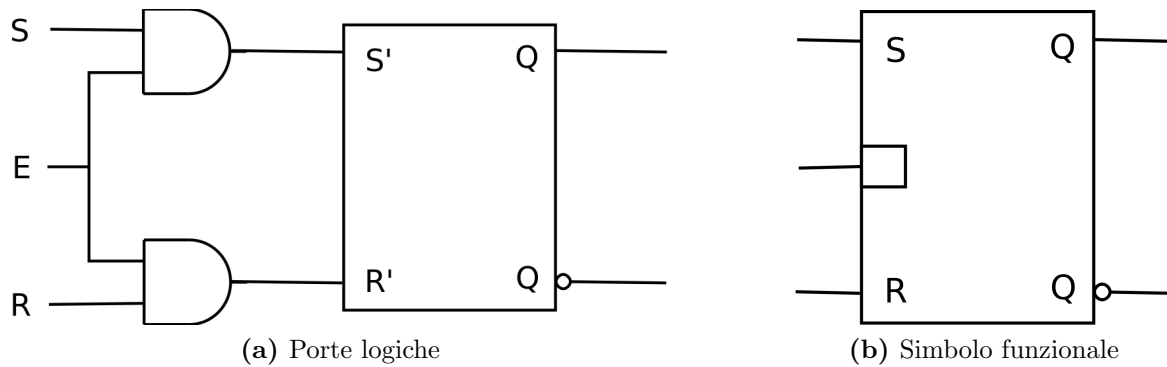
- stati di comando ($E = 1$)
 - SET ($S = 1, R = 0$)
 - RESET ($S = 0, R = 1$)

**Figura 1.3:** FF SR asincrono

- stato di memoria ($E = 0$)

E	S	R	S'	R'	Q
1	1	0	1	0	1
1	0	1	0	1	0
0	x	x	0	0	Q

(1.4)

**Figura 1.4:** FF SR sincrono

1.3.2.3 FF Latch D

Un FF Latch D è un FF composto da un unico ingresso D che va ai due ingressi S e R di un FF SR sincrono rispettivamente affermato e negato; gli stati di un circuito FF Latch D sono:

- stati di comando ($E = 1$)
 - SET ($D = 1$)
 - RESET ($D = 0$)
- stato di memoria ($E = 0$)

D	E	S	R	S'	R'	Q
1	1	1	0	1	0	1
0	1	0	1	0	1	0
x	0	x	x	0	0	Q

(1.5)

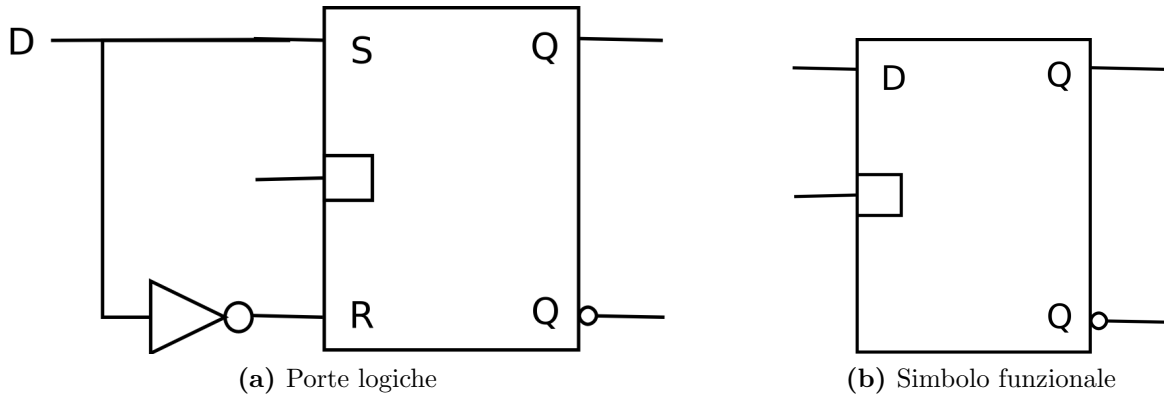


Figura 1.5: FF Latch D

1.3.3 Edge-triggered FF

1.3.3.1 FF MS D

Un FF MS (Master-Slave) D è un FF edge-triggered composto da: un FF Latch D attivato dal segnale di clock negato (master) e un FF SR sincrono in serie (slave); gli stati di un circuito FF Master-Slave D sono:

- stati di comando
 - master ($CLK = 0$)
 - * SET ($D = 1$)
 - * RESET ($D = 0$)
 - slave ($CLK = 1$)
 - * SET ($Q_m = 1$)
 - * RESET ($Q_m = 0$)
- stato di memoria
 - master ($CLK = 1$)
 - slave ($CLK = 0$)

D	CLK	Q_m	S	R	Q_s
x	1	1	1	0	1
x	1	0	0	1	0
1	0	1	1	0	Q_s
0	0	0	0	1	Q_s

(1.6)

1.3.3.2 FF DDR D

Un FF DDR (Double Data Rate) D è un FF edge-triggered composto da: due FF Latch D in parallelo con clock opposto; gli stati di un circuito FF DDR D sono:

- stati di comando
 - FF₁ ($CLK = 1$)
 - * SET ($D = 1$)
 - * RESET ($D = 0$)
 - FF₂ ($CLK = 0$)

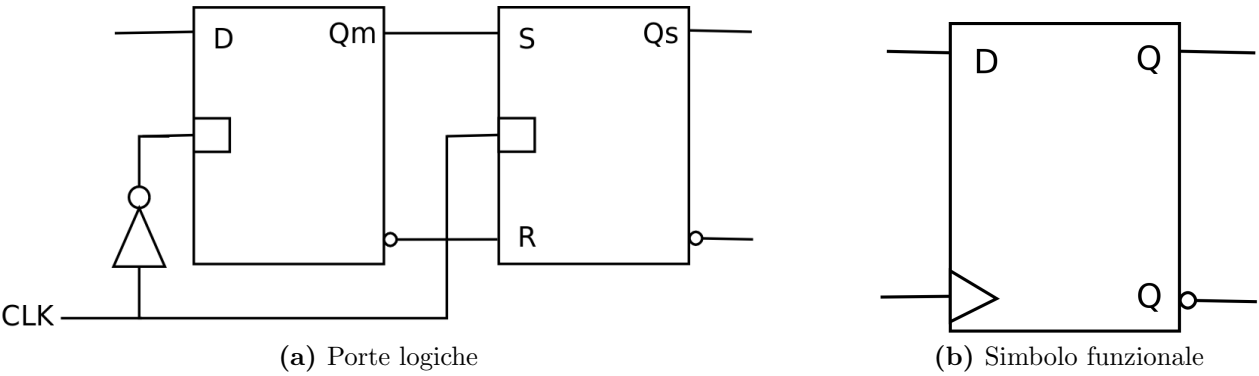


Figura 1.6: FF MS D

- * SET ($D = 1$)
- * RESET ($D = 0$)
- stati di memoria
 - FF_1 ($CLK = 0$)
 - FF_2 ($CLK = 1$)

D	CLK	Q_1	Q_2	Q
1	0	Q_1	1	Q_1
0	0	Q_1	0	Q_1
1	1	1	Q_2	Q_2
0	1	0	Q_2	Q_2

(1.7)

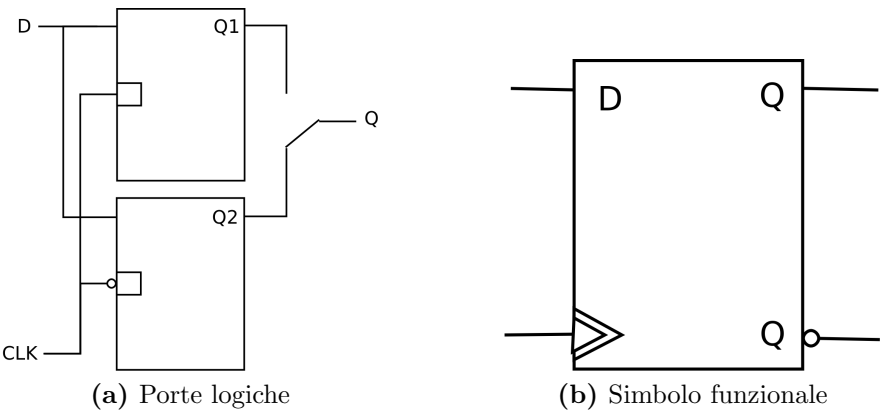


Figura 1.7: FF DDR D

1.3.3.3 FF JK

Un FF JK è un FF edge-triggred composto da un FF SR con reazione incrociata; gli stati di un circuito FF JK sono:

- stati di comando
 - SET ($J = 1, K = 0$)
 - RESET ($J = 0, K = 1$)
- stato di memoria ($J = 0, K = 0$)

- stato di scambio ($J = 1, K = 1$)

J	K	S	R	Q	Q^*
1	0	Q_{-1}^*	0	1	0
0	1	0	Q_{-1}	0	1
0	0	0	0	Q_{-1}	Q_{-1}^*
1	1	Q_{-1}^*	Q_{-1}	Q_{-1}^*	Q_{-1}

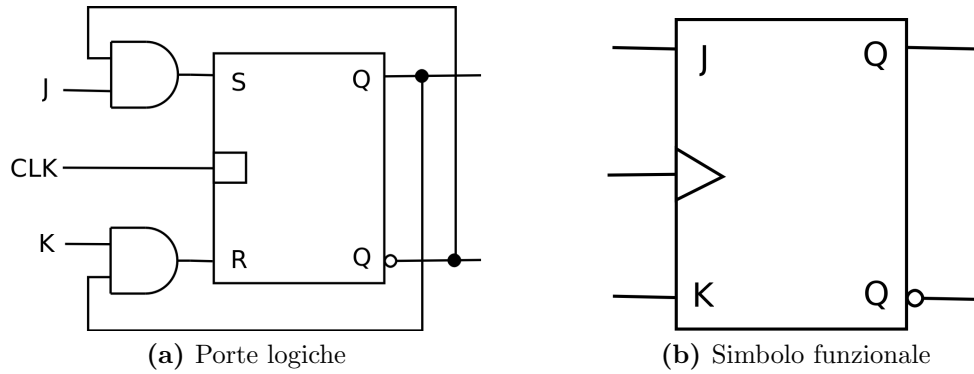
(1.8)


Figura 1.8: FF JK

1.3.4 Confronto risposte FF

I FF memorizzano il bit di ingresso secondo tempistiche differenti:

- FF latch D: memorizza D quando l'ENABLE è alto
- FF master-slave D: memorizza D quando il CLOCK esegue la transizione $L \rightarrow H$
- FF DDR D: memorizza D quando il CLOCK esegue le transizioni $L \rightarrow H$ e $H \rightarrow L$

1.3.5 Clear

Clear è un comando opzionale dei FF che permette di resettare a 0 l'uscita dei FF

1.4 Parametri elettrici dei FF

1.4.1 Ritardi

I ritardi nei circuiti con flip-flop sono di due tipologie:

- ritardo skew: ritardo tra una porta logica e l'altra
- ritardo jitter: ritardo relativo ad una singola porta logica dovuto al rumore

1.4.1.1 Tempo di setup

Il tempo di setup t_s è l'intervallo di tempo minimo in cui il segnale di ingresso D di un FF deve rimanere stabile prima di un fronte di clock

1.4.1.2 Tempo di hold

Il tempo di hold t_h è l'intervallo di tempo minimo in cui il segnale di ingresso D di un FF deve rimanere stabile dopo un fronte di clock

1.4.1.3 Tempo di propagazione

Il tempo di propagazione t_p è l'intervallo di tempo che intercorre tra: l'istante in cui un segnale esce da una porta logica e l'istante in cui una porta logica a valle della prima riceve il segnale

1.4.1.4 Tempo di salita (raise time)

Il tempo di salita t_r è l'intervallo di tempo in cui una porta logica passa dallo stato L (10%) allo stato H 90%

1.4.1.5 Tempo di discesa (fall time)

Il tempo di discesa t_f è l'intervallo di tempo in cui una porta logica passa dallo stato H (90%) allo stato L 10%

1.4.1.6 Tempo di jitter del clock

Il tempo di jitter del clock t_j è un rumore temporale sul periodo di clock

1.4.1.7 Periodo minimo di clock

Il periodo minimo di clock T_{clk} è l'intervallo di tempo minimo sufficiente affinché le uscite e gli ingressi di un circuito siano stabili

$$T_{min} = t_s + t_h + t_p + t_j + \frac{t_f}{t_r} \quad (1.9)$$

1.4.1.8 Frequenza massima di clock

La frequenza massima di clock f_{clk} è l'inverso del periodo minimo di clock

$$f_{max} = \frac{1}{T_{min}} \quad (1.10)$$

1.4.2 Metastabilità

La metastabilità è una condizione in cui le uscite di un circuito non sono determinabili

1.5 Esercizi

1.5.1 Risposta dei flip-flop

Esercizio 1. Tracciare la risposta ai segnali D e $CLOCK/ENABLE$ per i flip-flop D di tipo: *latch*, *master-slave* e *DDR*

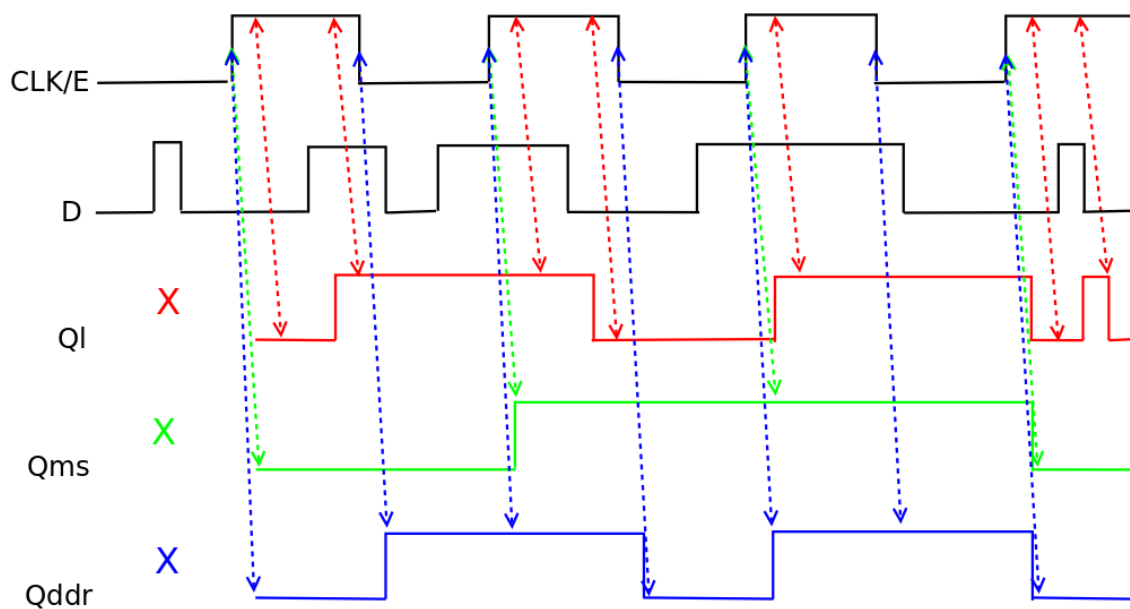
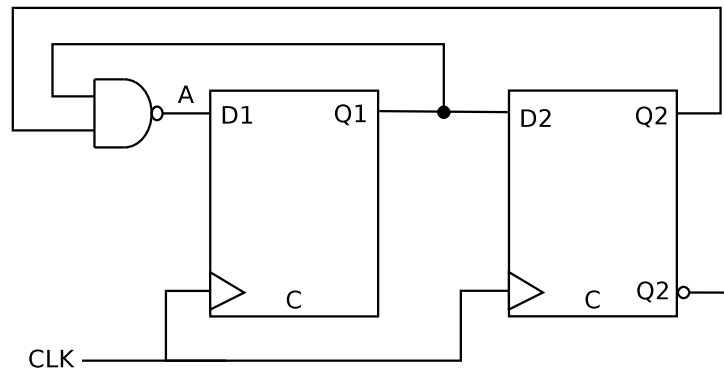
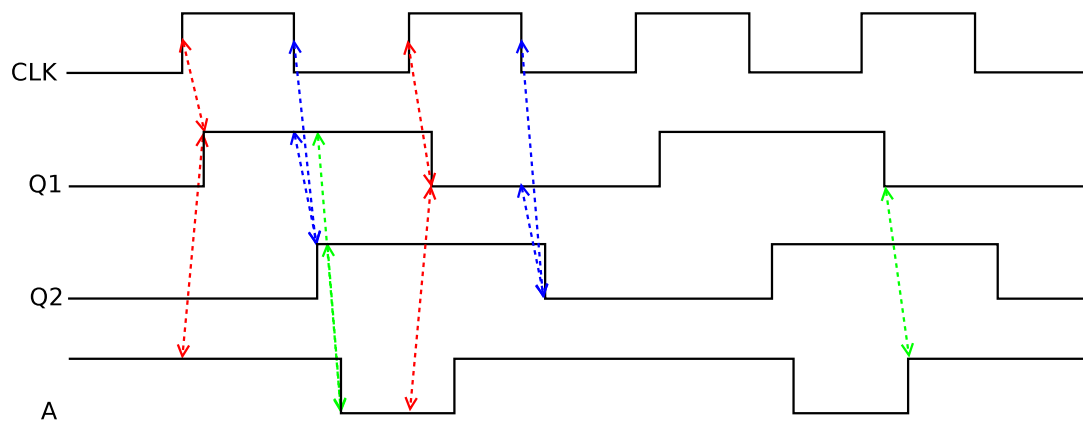


Figura 1.9: Diagrammi temporali

Esercizio 2. Analizzare il comportamento del circuito in figura supponendo che al tempo t_0 le uscite siano resettate a 0 dal comando *CLEAR*; calcolare la frequenza massima del clock del primo FF dati: $t_{CKQ} = 5 \text{ ns}$, $t_{LH} = 3 \text{ ns}$ (AND), $t_{HL} = 4 \text{ ns}$ (AND), $t_s = 3 \text{ ns}$



1) analisi



2) frequenza massima del clock del primo FF

$$T_{min} = t_{CKQ} + t_{HL} + t_s = 12 \text{ ns} \implies f = \frac{1}{T_{min}} = 83.3 \text{ MHz} \quad (1.11)$$

Capitolo 2

Registri e contatori

2.1 Trasmissione di segnali

2.1.1 Trasmissione seriale

La trasmissione seriale è una tecnica di trasmissione di segnali in cui i bit del segnale vengono inviati da un mittente uno di seguito all'altro e giungono al ricevente in sequenza nello stesso ordine di partenza; si possono trasmettere n bit con n cicli di clock; il segnale è distribuito nel tempo

2.1.2 Trasmissione parallela

La trasmissione parallela è una tecnica di trasmissione di segnali in cui il mittente e il ricevente effettuano n trasmissioni seriali di n segnali su n canali; si trasmettono n bit (uno per segnale) ad ogni colpo di clock; il segnale è distribuito nello spazio

2.2 Registro

Un registro è un circuito elettronico in grado di memorizzare una serie di bit

2.2.1 Registro PIPO

Un registro PIPO (Parallel Input Parallel Output) è un registro composto da n FF aventi ingressi e uscite in parallelo (trasmissione parallela)

2.2.2 Registro SISO

Un registro SISO (Serial Input Serial Output) o shift-register è un registro composto da n FF aventi ingressi e uscite in serie (trasmissione seriale)

2.2.3 Registro SIPO

Un registro SIPO (Serial Input Parallel Output) è un registro composto da n FF aventi ingressi in serie e n uscite in parallelo (conversione seriale \rightarrow parallelo)

2.2.4 Registro PISO

Un registro PISO (Parallel Input Serial Output) è un registro composto da n FF aventi ingressi in parallelo e uscita in serie (conversione parallelo \rightarrow seriale)

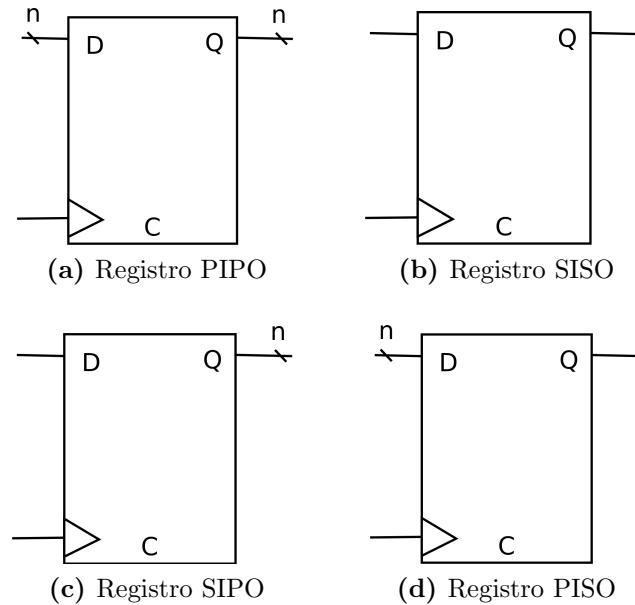


Figura 2.1: Registri

2.3 Contatore

Un contatore è un circuito elettronico in grado di contare il numero di volte che si verifica un determinato evento; esistono due tipologie di contatori:

- contatori UP: contano in verso crescente
- contatori DOWN: contano in verso decrescente

2.4 Divisore

Un divisore è un circuito elettronico che riceve in ingresso un segnale di frequenza f_I e restituisce in uscita un segnale di frequenza F_I/n ; un divisore può essere implementato attraverso n FF retroattivi in serie in cui l'uscita di ogni FF pilota il clock di quello successivo

Capitolo 3

Comparatori di soglia

3.1 Comparatore di soglia

Un comparatore di soglia è un circuito elettronico che:

- riceve in ingresso un segnale analogico I
- confronta il segnale in ingresso con una soglia S
- restituisce in uscita un segnale binario O

$$- I > S \implies O = H$$

$$- I < S \implies O = L$$

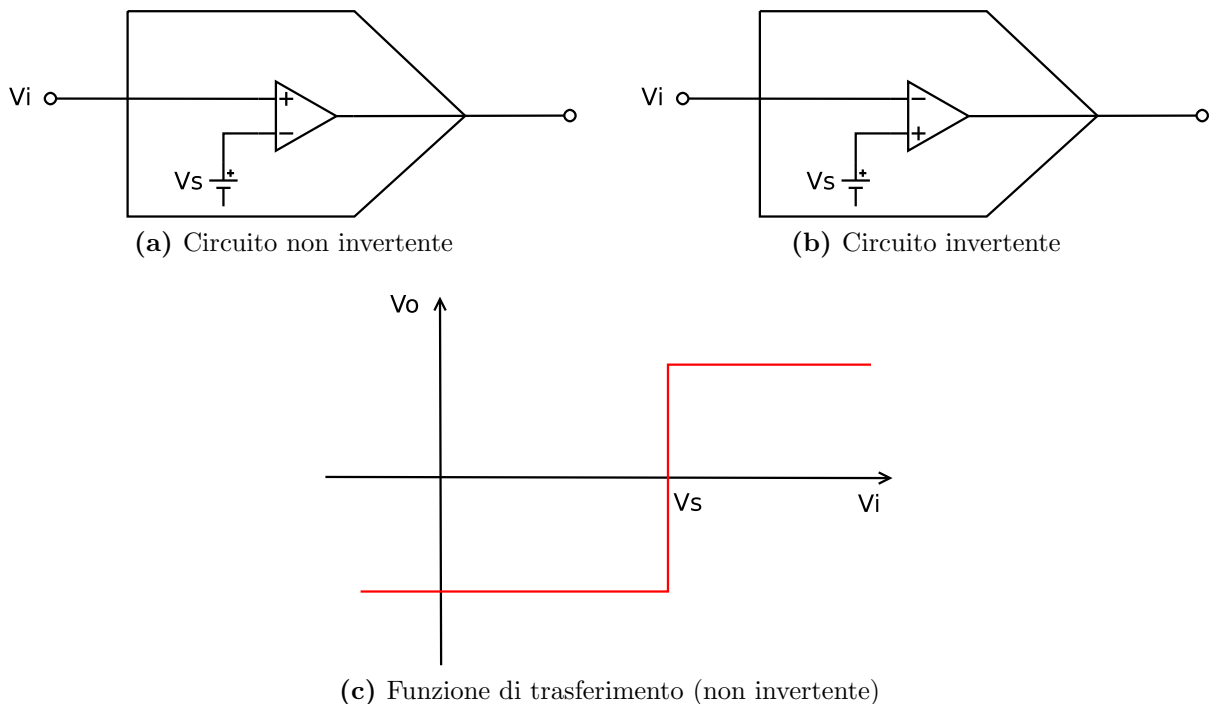


Figura 3.1: Comparatori di soglia

3.1.1 Rumore

Il rumore presente nei segnali reali può causare involontariamente l'attraversamento multiplo della soglia

3.1.2 Comparatore di soglia con isteresi (ritardo)

Un comparatore di soglia con isteresi è un comparatore avente due soglie S_H e S_L in cui:

- l'uscita O commuta in H soltanto se: il segnale è crescente e attraversa V_{S_H}
- l'uscita O commuta in L soltanto se: il segnale è decrescente e attraversa V_{S_L}

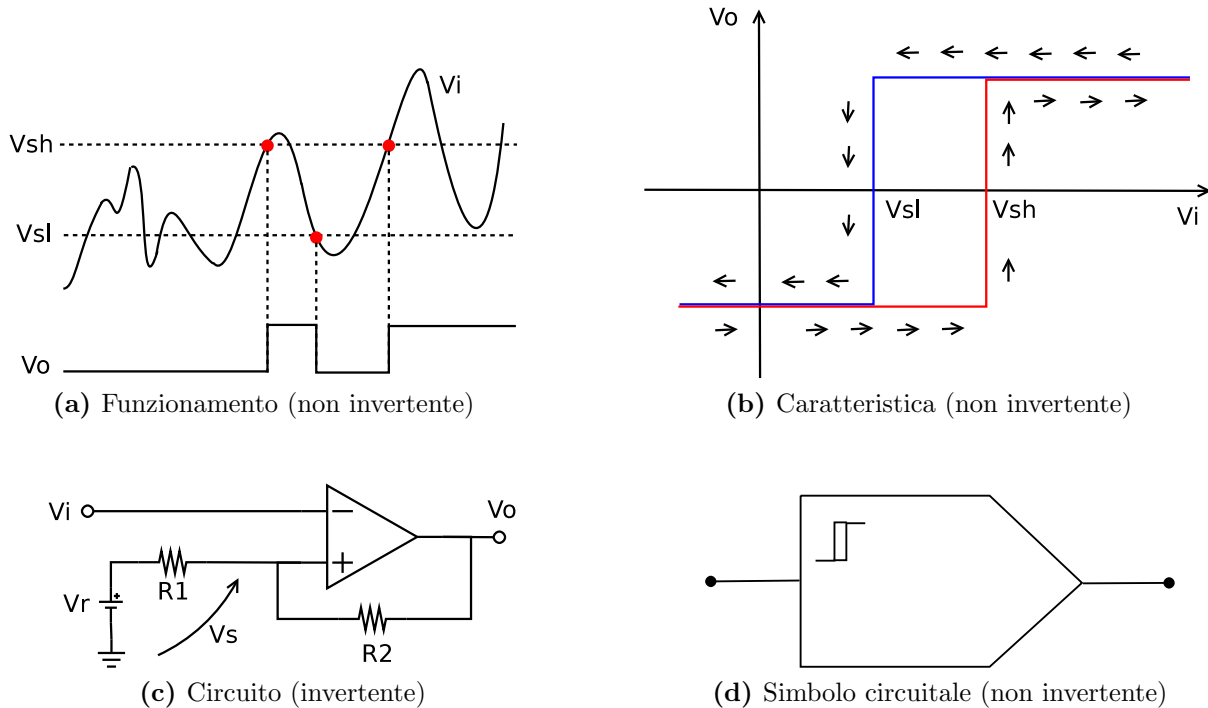


Figura 3.2: Comparatore di soglia con isteresi

3.1.3 Differenze con l'amplificatore

Il comparatore ha le seguenti differenze con l'amplificatore:

- reazione sul morsetto positivo dell'OA (negativa per A)
- tensione differenziale di ingresso qualunque (~ 0 per A)
- commuta quando $V_d = 0$
- uscita satura ai livelli di alimentazione (mai satura per A)

3.1.4 Parametri dei comparatori

I parametri dei comparatori di soglia sono:

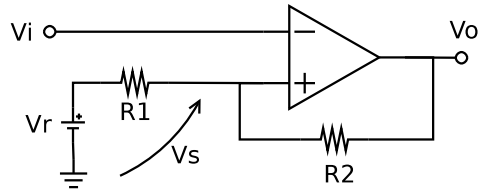
- statici
 - tensioni differenziali e di modo comune massime (non danneggiamento)
 - correnti di polarizzazione (bias)
 - tensioni e correnti di offset

- uscita
 - tensioni di stato (livelli logici $H - L$)
 - correnti erogabili
- dinamici
 - tempi di salita t_r e discesa t_f (dal 10% al 90% della variazione)
 - ritardo di propagazione $t_{p_{HL}}$ e $t_{p_{LH}}$ (dalla ricezione del segnale al 50% della variazione)

3.2 Esercizi

3.2.1 Comparatori

Esercizio 3. Dato il comparatore in figura avente i seguenti parametri: $R_1 = 22k\Omega$, $R_2 = 120k\Omega$, $V_R = 3V$, $alim = \pm 15V$; determinare i valori delle soglie V_{s1} e V_{s2}



1) V_O

$$V_O \sim alim - 1 = \pm 14V$$

2) V_S

$$V_{s1} = V_{OH} \frac{R_1}{R_1 + R_2} + V_R \frac{R_2}{R_1 + R_2} = 4.62V$$

$$V_{s2} = V_{OL} \frac{R_1}{R_1 + R_2} + V_R \frac{R_2}{R_1 + R_2} = 0.42V$$

Capitolo 4

Generatori di segnali

4.1 Parametri dei segnali periodici continui

I parametri dei segnali periodici continui sono:

- parametri del I ordine
 - forma d'onda (sinusoide, onda quadra, onda triangolare)
 - periodo T : intervallo di tempo in cui il segnale compie un'oscillazione completa e torna allo stato iniziale
 - frequenza f : numero di oscillazioni nell'unità di tempo

$$f = \frac{1}{T} \quad (4.1)$$

- ampiezza
 - * ampiezza di picco A_p : massima variazione della grandezza dal valor medio
 - * ampiezza picco-picco A_{pp} : massima escursione tra il punto di oscillazione più basso e il punto di oscillazione più alto
- duty cycle (ciclo di lavoro): rapporto tra il tempo τ in cui il segnale è in uno stato attivo e il tempo T in cui viene effettuata l'osservazione

$$d = \frac{\tau}{T} \quad (4.2)$$

- parametri del II ordine
 - livello DC
 - distorsione

4.2 Generatore di segnali

Un generatore di segnali è un circuito elettronico in grado di generare un segnale elettrico predeterminato

4.2.1 Parametri dei generatori a onda rettangolare

I parametri dei generatori di segnali a onda rettangolare (o generatori di impulsi) sono:

- livelli di tensione massimi di uscita $V_H - V_L$
- periodo del segnale $T = t_H + t_L$

- duty-cycle $DC = t_H/T \neq 0.5$
- tempo di salita t_r e di discesa t_f

4.2.2 Parametri dei generatori a onda quadra

I parametri dei generatori di segnali a onda quadra sono:

- livelli di tensione massimi di uscita $V_H - V_L$
- periodo del segnale $T = t_H + t_L$
- duty-cycle $DC = t_H/T = 0.5$
- tempo di salita t_r e di discesa t_f

4.3 Circuito monostabile

Un circuito monostabile è un generatore di segnali che genera un impulso di larghezza W in corrispondenza di una transizione all'ingresso

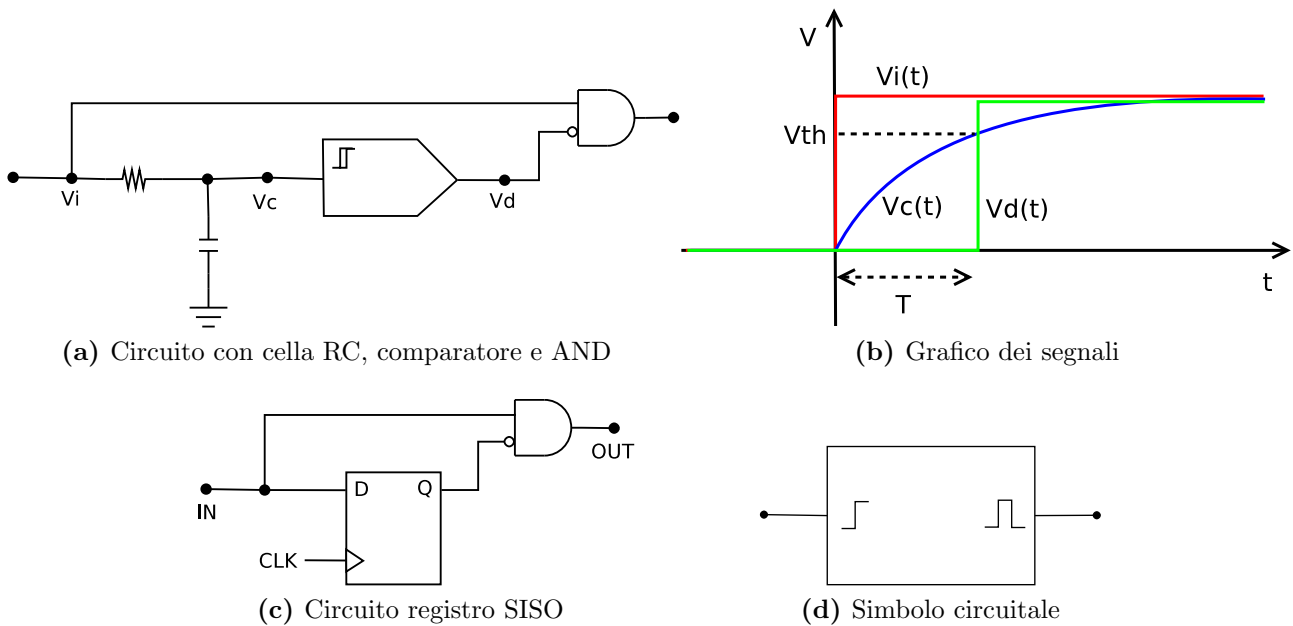
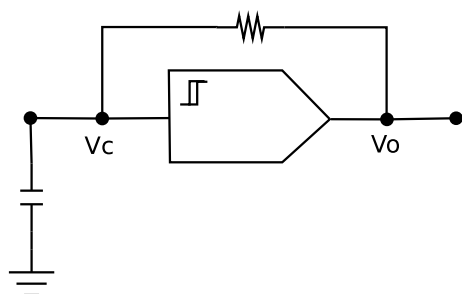


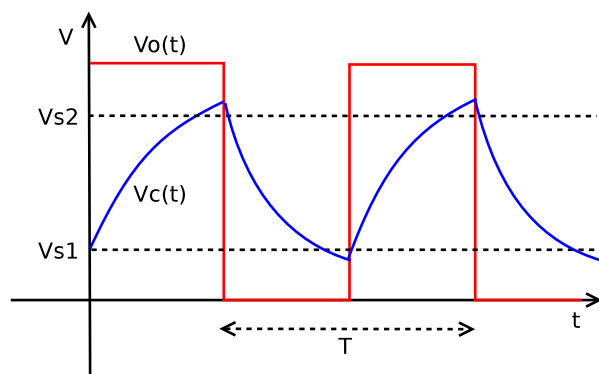
Figura 4.1: Circuito monostabile

4.4 Generatore di onda quadra

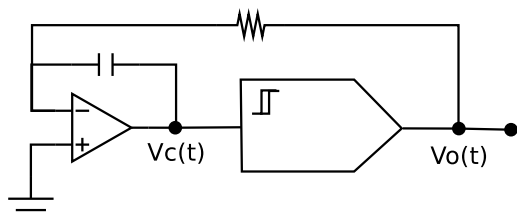
Un generatore di onda quadra è un generatore di segnali che genera un'onda quadra



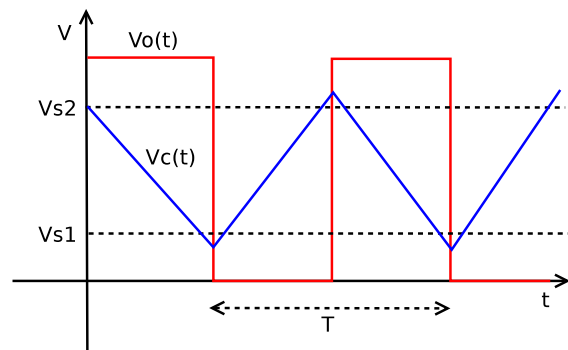
(a) Circuito con cella RC e comparatore



(b) Grafico dei segnali



(c) Circuito con integratore e comparatore



(d) Grafico dei segnali

Figura 4.2: Generatore di onda quadra

Capitolo 5

Logiche programmabili

5.1 Costi di progetto e produzione

I costi di progetto e produzione di un prodotto possono essere classificati in:

- Non-Recurring Engineering cost (NRE): costo pagato una tantum: costo di progetto + costo degli impianti di produzione
- costo unitario di produzione (Cu): costo per produrre un singolo oggetto: costo materiale + costo manodopera

5.1.1 Costo per prodotto

Il costo per prodotto Cp è dato dalla somma tra: il costo unitario di produzione e il rapporto tra l' NRE cost e il numero N di oggetti prodotti

$$Cp = \frac{NRE}{N} + Cu \quad (5.1)$$

5.2 Stili di progetto

Gli stili di progetto per i circuiti elettronici possono essere classificati in:

- commodity
 - circuiti Components Off-The Shelf (porte, registri memorie, microprocessori, periferiche,...)
 - NRE molto basso
 - funzione completamente variabile
- processori
 - hardware generico con funzioni definite dal SO
 - NRE basso
 - funzione variabile tramite programmazione software
- circuiti logici programmabili
 - circuiti prefabbricati
 - NRE medio

- funzione variabile dall'utente
- semicustom
 - circuiti parzialmente prefabbricati
 - *NRE* medio-alto
 - funzione variabile dalle aziende
- custom
 - circuiti specializzati (transceiver, processori video,...)
 - *NRE* molto alto
 - funzione fissa

5.3 Classificazione dei circuiti digitali

I circuiti digitali possono essere classificati in:

- logiche standard (porte logiche, microprocessori)
 - ottimizzazione bassa
 - flessibilità massima
- logiche programmabili (PLD, FPGA, CPLD)
 - ottimizzazione media
 - flessibilità media
- Application Specific Integrated Circuit (circuiti per applicazioni specifiche)
 - ottimizzazione massima
 - flessibilità minima

5.4 Field Programmable Gate Array (FPGA)

Una FPGA è una logica programmabile complessa composta da:

- celle logiche programmabili
- interconnessioni programmabili
- celle di I/O programmabili

5.4.1 Celle logiche programmabili

5.4.1.1 Programmable Array Logic (PAL)

Un circuito PAL è costituito da una matrice di AND programmabile e da una matrice di OR non programmabile

5.4.1.2 Programmable Logic Array (PLA)

Un circuito PLA è costituito da una matrice di AND e da una matrice di OR programmabili

5.4.1.3 Programmable ROM (PROM)

Un circuito PROM è costituito da una matrice di AND cablata come decoder (per la decodifica di indirizzi; contiene i collegamenti per tutti gli indirizzi possibili) non programmabile e da una matrice di OR programmabile

5.4.2 Memorie per la programmazione delle celle

Le informazioni di programmazione delle celle possono essere memorizzate in:

- memoria volatile (RAM, registri)
- memoria non volatile riprogrammabile (EPROM, EEPROM, FLASH)
- memoria non volatile non riprogrammabile (PROM)

Parte II

Interconnessioni

Capitolo 6

Introduzione

6.1 Entità delle interconnessioni

In una interconnessione tra due circuiti intervengono le seguenti entità:

- driver: è il circuito che trasmette il segnale attraverso l'interconnessione
- receiver: è il circuito che riceve il segnale trasmesso attraverso l'interconnessione
- interconnessione: è il mezzo trasmissivo attraverso il quale vengono trasferite informazioni sotto forma di segnali elettrici

6.1.1 Interconnessione ideale

Un'interconnessione ideale massimizza la velocità di trasmissione e minimizza il numero di errori

6.2 Modello RC passa basso o lineare

Il modello RC è un modello che descrive le entità che intervengono nell'interconnessione tra due circuiti attraverso resistenze e capacità:

- il driver è modellizzato da circuito di Thevenin
- il receiver è modellizzato da una capacità
- l'interconnessione è modellizzata da un cavo senza perdite di corrente: i punti ai capi del cavo sono equipotenziali

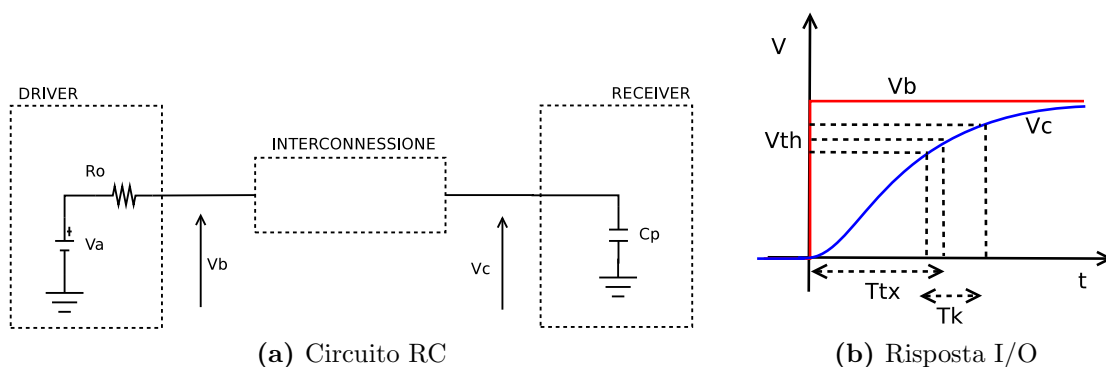


Figura 6.1: Modello lineare

6.2.1 Ritardi

6.2.1.1 Tempo di trasmissione

Il tempo di trasmissione t_{TX} è l'intervallo di tempo medio che intercorre tra l'invio di uno stato logico da parte del driver e il riconoscimento dello stato logico da parte del receiver

In un modello lineare il tempo di trasmissione dipende dai valori (variabili in certi intervalli) assunti dalle seguenti grandezze:

- livelli iniziale e finale di uscita del driver
- soglia del receiver
- resistenza di uscita del driver
- capacità di ingresso del receiver

6.2.1.2 Skew

Lo skew (o disallineamento) è la differenza tra il tempo di trasmissione massimo e il tempo di trasmissione minimo

$$t_k = t_{TX_{max}} - t_{TX_{min}} \quad (6.1)$$

Lo skew riduce il tempo di setup minimo del ricevitore

6.3 Modello a parametri concentrati

Il modello a parametri concentrati è un modello che descrive le entità che intervengono nell'interconnessione tra due circuiti attraverso resistenze, induttanze e capacità:

- il driver è modellizzato da circuito di Thevenin
- il receiver è modellizzato da una capacità
- l'interconnessione è modellizzata da una serie di celle composte da induttanze e capacità

Il modello a parametri concentrati funziona bene per i circuiti stampati

6.4 Modello a linea di trasmissione

Il modello a parametri concentrati è un modello che descrive le entità che intervengono nell'interconnessione tra due circuiti attraverso una semplificazione del modello a parametri concentrati; i parametri del modello a linea di trasmissione sono:

- il driver è modellizzato da circuito di Thevenin
- il receiver è modellizzato da una capacità
- l'interconnessione è modellizzata da una linea di trasmissione; i parametri di una linea di trasmissione sono:

– capacità C_U e induttanza L_U unitarie

* per piste strette

- aumenta $L \implies$ aumenta Z_∞
- aumenta $L \implies$ diminuisce P

- * per piste larghe
 - diminuisce $L \implies$ diminuisce Z_∞
 - aumenta $C \implies$ diminuisce P
- impedenza caratteristica

$$Z_\infty = \sqrt{\frac{L_U}{C_U}} \sim (10, 1000)\Omega \quad (6.2)$$

- velocità di propagazione

$$P = \frac{1}{\sqrt{L_U C_U}} \sim (0.6, 0.8)c \sim (18, 24)cm/ns \quad (6.3)$$

- lunghezza l
- tempo di propagazione t_P (dipende solo da come è fatta la linea di trasmissione)
- tempo di trasmissione t_{TX} e skew t_k (dipendono dalle soglie di driver e receiver e da t_P)

A regime la linea di trasmissione è un collegamento diretto

6.4.1 Esempi di linee di trasmissione

Esempi di linee di trasmissione sono:

- cavi coassiali ($Z_\infty \sim (47, 100)\Omega$)
- cavi piatti ($Z_\infty \sim (100, 1000)\Omega$)
- doppini ($Z_\infty \sim (100, 600)\Omega$)
- piste su circuito stampato ($Z_\infty \sim (10, 300)\Omega$)

6.4.2 Onda incidente

L'onda incidente o prima onda $V_B(t)$ è l'onda che contiene il segnale inviato dal driver

$$V_B(t) = \frac{Z_\infty}{Z_o + Z_\infty} V_A \quad (6.4)$$

6.4.3 Onda di riflessione

L'onda di riflessione è un segnale che “rimbalza” e torna verso il driver se: l'impedenza caratteristica Z_∞ della linea di trasmissione varia da in un certo punto della linea; oppure se l'impedenza equivalente del driver Z_o o del receiver Z_i sono diverse da Z_∞

$$V_r(t) = \Gamma V_B(t) \quad (6.5)$$

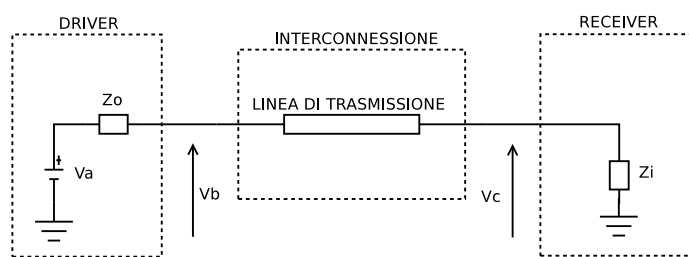
6.4.3.1 Coefficiente di riflessione

Il coefficiente di riflessione misura la quantità di corrente riflessa dall'onda di riflessione

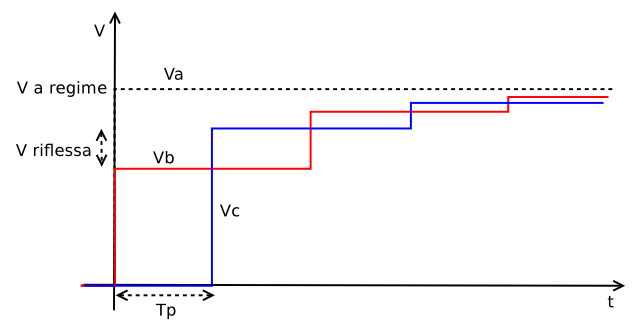
$$\Gamma = \frac{Z - Z_\infty}{Z + Z_\infty} = \begin{cases} 0 & \iff Z = Z_\infty \text{ (linea chiusa)} \\ 1 & \iff Z \rightarrow \infty \text{ (linea aperta)} \\ -1 & \iff Z = 0 \text{ (linea in corto)} \end{cases} \quad (6.6)$$

6.4.3.2 Tensione sulla linea

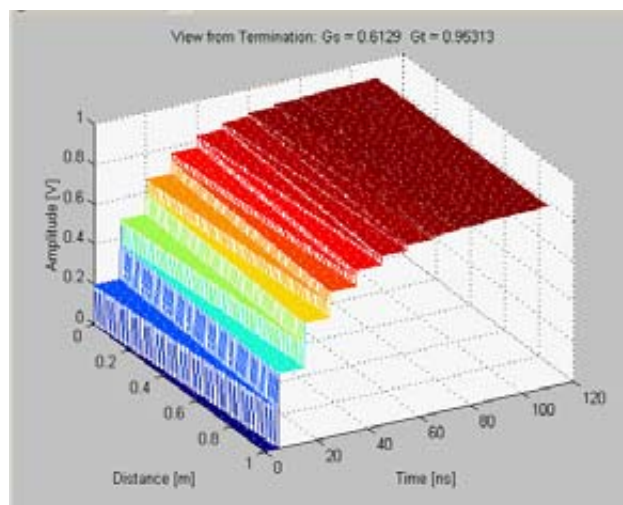
La tensione totale sulla linea di trasmissione è la somma di onda incidente e di onda riflessa



(a) Circuito a linea di trasmissione



(b) Risposta dovuta all'onda di riflessione



(c) Diagramma tensione-spazio-tempo

Figura 6.2: Modello a linea di trasmissione

Capitolo 7

Connessioni con linee di trasmissione

7.1 Topologie di connessione

Le connessioni possono essere classificate a seconda della loro topologia in:

- connessioni punto-punto (un driver, una linea di trasmissione, almeno un receiver e una terminazione)
- connessioni a bus (multi driver e multi receiver)

7.1.1 Prestazioni

Le prestazioni di una connessione dipendono dal rapporto tra Z_o e Z_∞ :

- commutazione su onda incidente (Incident Wave Switching): $Z_o \ll Z_\infty$
 - vantaggi: la soglia V_{th} viene attraversata al primo gradino: quindi alta velocità; consente il pilotaggio delle uscite in parallelo
 - svantaggi: il driver ha $\Gamma < 0$: quindi per evitare onde riflesse negative è necessario che la resistenza del receiver $Z_R = Z_\infty$: quindi la resistenza Z_R scarica corrente a massa: quindi c'è un consumo di energia elevato
- commutazione su onda riflessa (prima riflessione): $Z_o = Z_\infty$
 - vantaggi: la terminazione Z_R è un circuito aperto: quindi basso consumo di energia
 - svantaggi: la soglia V_{th} può non essere attraversata al primo gradino: il ritardo massimo del sistema si ha nel lato driver con $t_k = 2t_p$; consente il pilotaggio delle uscite da parte di un solo driver
- commutazione su riflessioni multiple: $Z_o \gg Z_\infty$
 - vantaggi: basso consumo di energia
 - svantaggi: le salite sono molto lente dovute a riflessioni multiple

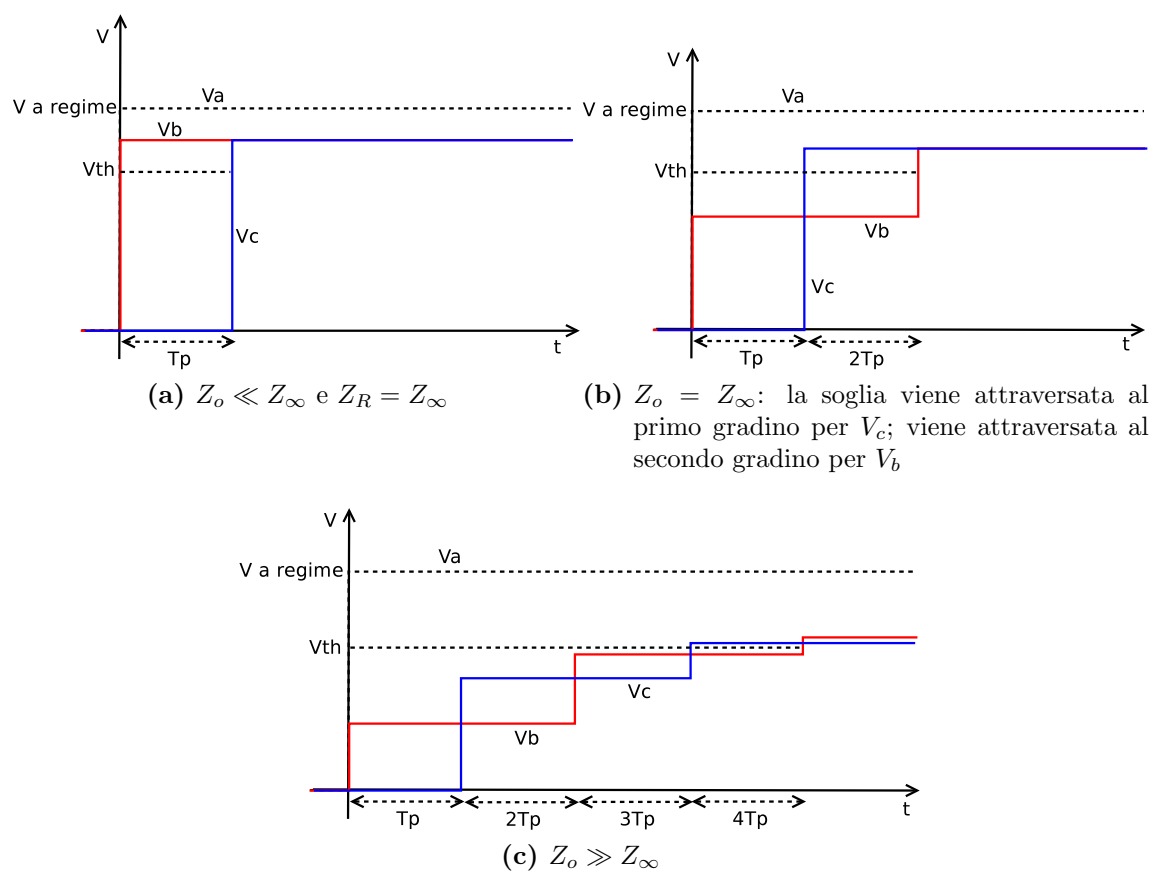


Figura 7.1: Prestazioni

Capitolo 8

Cicli di trasferimento

8.1 Cicli di trasferimento

8.1.1 Modello Sor-Dest

Il modello Sor-Dest è composto da:

- sorgente
- destinazione
- n connessioni per il trasporto di singoli bit
- connessioni per il controllo

8.1.2 Ciclo completo

Un ciclo completo o chiuso è un ciclo di trasferimento in cui lo stato iniziale e finale sono uguali

8.1.3 Classificazione dei cicli di trasferimento

I cicli di trasferimento delle informazioni sono classificati in:

- ciclo di scrittura: i bit di controllo e di informazione viaggiano nella stessa direzione; attivato dalla sorgente
 - parametro critico: skew t_k
 - veloci (le memorie DDR quando devono essere lette effettuano una scrittura nei registri della CPU per far viaggiare dati e segnali di controllo nella stessa direzione e aumentare la velocità)
- ciclo di lettura: i bit di controllo e di informazione viaggiano in direzioni opposte; richiesto dalla destinazione
 - parametro critico: tempo di trasmissione $T_{TX_{max}}$
 - lente

8.1.4 Protocolli base

I protocolli base per i cicli di trasferimento sono:

- protocollo sincrono
 - temporizzazione fissa delle operazioni

- garantito il rispetto delle specifiche del caso peggiore per ogni operazione
- protocollo asincrono
 - temporizzazione adattiva delle operazioni
 - prima di continuare ogni modulo attende un ACK (ACKnowledge: conferma) dell'altro modulo coinvolto nel trasferimento

8.2 Protocolli per cicli di trasferimento

8.2.1 Protocollo sincrono

Un protocollo sincrono è un protocollo in cui la sorgente inserisce i ritardi fissi:

- t_A : per garantire il tempo di setup t_s alla destinazione
- t_B : per garantire il tempo di hold t_h alla destinazione

$$\begin{cases} t_A \geq t_s + t_k \\ t_B \geq t_h + t_k \end{cases} \implies t_{WR} \geq 2t_k + t_s + t_h \quad (8.1)$$

$$t_{RD} \geq t_a + t_s + t_h + 4t_{TX_{max}} \quad (8.2)$$

I tempi t_s e t_h sono fissi e dipendono dal FF, mentre lo skew t_k è variabile e dipende dall'interconnessione

Il ritardo t_a è interno alla destinazione

La sorgente deve conoscere i parametri di temporizzazione della destinazione

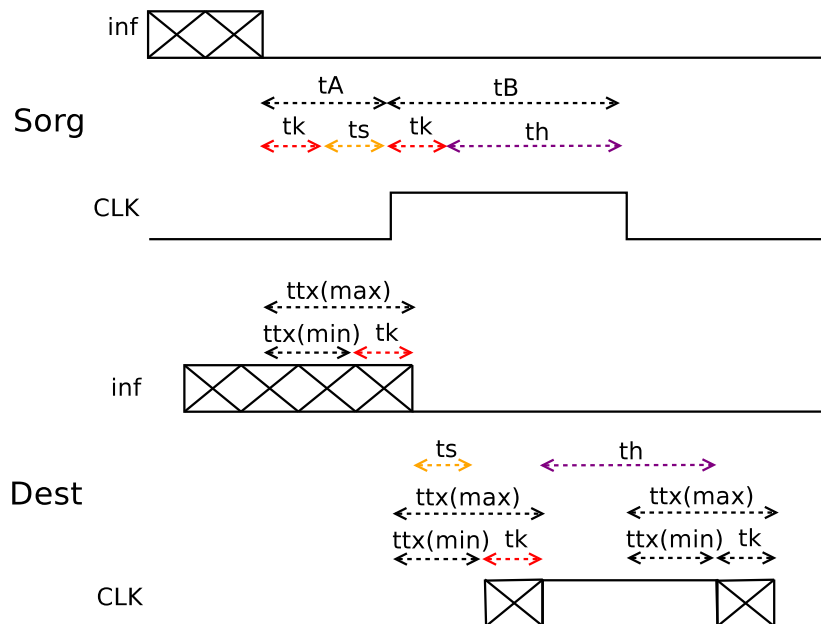


Figura 8.1: Tempo di scrittura

8.2.2 Protocollo asincrono

Un protocollo asincrono è un protocollo con handshake (interlacciamento con conferme) in cui:

- la sorgente invia un'informazione alla destinazione
- dopo un tempo $t_{TX_{max}}$ la destinazione acquisisce il segnale
- un circuito tra sorgente e destinazione inserisce i tempi di setup t_s e hold t_h per la destinazione
- il circuito frapposto invia un ACK alla sorgente
- dopo un tempo $t_{TX_{max}}$ la sorgente acquisisce l'ACK e invia un ACK di conferma alla destinazione
- dopo un tempo $t_{TX_{max}}$ la destinazione acquisisce l'ACK di conferma e invia un ACK alla sorgente
- dopo un tempo $t_{TX_{max}}$ la sorgente acquisisce l'ultimo ACK

$$t_{WR} \geq t_k + t_s + t_h + 4t_{TX_{max}} \quad (8.3)$$

$$t_{RD} \geq t_k + t_1 + t_2 + 4t_{TX_{max}} \quad (8.4)$$

Il ritardo t_1 è dovuto al setup e all'hold della destinazione; il ritardo t_2 è il tempo di accesso alla sorgente dati. La sorgente non deve conoscere a priori le tempistiche del modulo destinazione.

Capitolo 9

Sistemi a BUS

9.1 Protocolli di un sistema a BUS

I protocolli di un sistema a BUS sono:

- protocollo di allocazione: serve per selezionare correttamente il Master del BUS
- protocollo di indirizzamento: serve per selezionare correttamente uno Slave
- protocollo di trasferimento: serve per trasferire correttamente le informazioni tra Master e Slave

9.2 Allocazione

9.2.1 Tecniche di gestione del bus

Le tecniche di gestione del bus sono:

- token passing: il GRANT viene assegnato ai Master a turno
 - svantaggio: il GRANT viene assegnato anche ai Master che non ne hanno bisogno
- collision detection: il GRANT viene assegnato a tutti i Master che lo richiedono
 - svantaggio: perdite di tempo in caso di collisioni (accessi contemporanei al bus da parte di due Master)
- arbitraggio: un arbitro riceve le REQUEST dei Master e assegna ad un solo Master alla volta il GRANT

9.2.2 Arbitraggio

L'arbitraggio del BUS si può effettuare attraverso tecniche diverse:

- First Come First Served: il primo Master a inoltrare una REQUEST ottiene il GRANT
 - svantaggio: è necessario gestire richieste contemporanee
- arbitraggio a priorità: all'interno di una finestra temporale l'arbitro immagazzina le REQUEST inoltrate e concede il GRANT in base ad una gerarchia
 - svantaggio: è necessario gestire le REQUEST a priorità più bassa perché rischiano di non essere mai servite (starvation)

- arbitraggio con fairness: l'arbitro congela lo stato delle REQUEST all'interno di una finestra temporale, serve quelle REQUEST e non ne accetta di nuove finché non ha finito di servirle
- arbitraggio a priorità rotante: ogni volta che l'arbitro concede il GRANT ad un Master la priorità dei Master cambia

9.3 Indirizzamento

9.3.1 Slave

Lo Slave è composto da 4 subunità:

- unità di decodifica di indirizzo
- unità di temporizzazione e controllo
- unità buffer dati
- unità interna (registri, memoria, unità operative)

9.3.2 Selezione dello Slave

La selezione dello Slave può avvenire attraverso 2 tecniche:

- indirizzamento codificato: ogni memoria è individuata da un codice binario (e.g.: 11 individua la memoria nella quarta posizione)
 - con N bit si possono raggiungere 2^N dispositivi
- indirizzamento lineare: ogni memoria è individuata da un bit di una stringa di bit (e.g.: 1000 individua la memoria nella quarta posizione)
 - con N bit si possono raggiungere N dispositivi

9.4 Prestazioni

9.4.1 Parametri del BUS

I parametri del BUS sono:

- width (larghezza del BUS) W
- speed (velocità di trasmissione del BUS): S
- throughput T

$$T = W \cdot S \quad (9.1)$$