

Laboratorio di Segnali e Sistemi - canale M-Z

Relazione sulla sesta esperienza di laboratorio

Gruppo 29: L. Pietropaoli, S. Scacco, A. Scarpa

27 settembre 2024

Indice

1 Abstract	1
2 Strumentazione	1
3 Discussione sulle incertezze	2
4 Porta NOT	3
4.1 Commutazione statica	3
4.2 Commutazione dinamica	6
5 Porta XOR	6
6 Flip-Flop S-R	10
7 Conclusioni	14

1 Abstract

In questa esperienza di laboratorio è stata presa confidenza con la logica digitale, in particolare è stata realizzata ed è stata studiata la commutazione di una porta **NOT**, di una porta **XOR** e di un **Flip-Flop** di tipo **set-reset (S-R)**. A disposizione per la costruzione di questi circuiti erano esclusivamente porte NAND, perciò obiettivo di questa esperienza è stato anche verificarne la versatilità e la capacità di adattarsi a più scopi realizzativi.

2 Strumentazione

- i. Generatore di funzioni *GW Insteek* AFG-2225.
- ii. Generatore di tensione continua *GW Insteek* GPE-4323.
- iii. Oscilloscopio digitale *Keysight* DSOX1102G.
- iv. Multimetro *Keysight* 34460A.
- v. Operazionale *Texas Instruments* 74LS00 (4 porte NAND). Datasheet in [Figura 1](#).
- vi. LED rossi, trasparenti a luce rossa, verdi.
- vii. Componenti circuituali vari, breadboard, resistenze, condensatori, cavi, snodi a T e connettori BNC.

Reperibile sul sito del costruttore: <https://www.ti.com/document-viewer/SN74LS00/datasheet/specifications#SDLS0258238>.

Si osserva, in particolare, che il logico 1 si ottiene con valori di tensione in uscita superiori a 2 V, e il logico 0 si ottiene con valori di tensione in uscita inferiori a 0.8 V, per il modello in questione.

			MIN	NOM	MAX	UNIT
V_C	Supply voltage	SN54xx00	4.5	5	5.5	V
	c	SN74xx00	4.75	5	5.25	
V_{IH} High-level input voltage			2			V
V_{IL}	Low-level input voltage	SNx400, SN7LS400, and SNx4500		0.8		V
		SNS4LS00			0.7	

Figura 1: Si riporta il datasheet dell’operazionale usato (mod. **SN74LS00** Texas Instruments).

3 Discussione sulle incertezze

Gli strumenti di laboratorio non godono di precisione infinita e sono soggetti ad errori casuali e sistematici. Si utilizzeranno per i calcoli le seguenti stime delle incertezze:

- i. **Generatore** di tensione continua: dallo studio del datasheet, l’errore si calcola come di una parte su 10 mila, più un’aggiunta di 3 mV di incertezza. Siccome, tuttavia, si tratta di uno strumento digitale che mostra solo cifre significative fino al decimo di volt, l’errore che si può associare è di 0.03 mV (σ di una distribuzione uniforme su 0.1 V). Per questo, tutte le misure di tensione in ingresso sono state opportunamente verificate con il multmetro, che ha precisione molto maggiore e incertezza molto minore.
- ii. **Oscilloscopio**: per le misure di tensione, il datasheet indica che l’incertezza dipende dalla scala delle misure realizzate. Per le scale usate sull’oscilloscopio, l’incertezza associata per le misure di tensione è, per le scale utilizzate in questa esperienza, pari al 3%.
- iii. **Multimetro Keysight 34460A**: dal manuale dell’utente, si associa l’incertezza di lettura pari allo 0.018% per le misure di resistenza e 0.0115% per le misure di tensione continua.
- iv. **Multimetro GW Insteek**: si dovrebbe associare una accuratezza dello 0.5%, tuttavia le fluttuazioni delle misure erano così grandi che si è ritenuto più pertinente assegnarle di volta in volta in base alla variabilità delle stesse. Assegniamo quindi 10 nF di incertezza ai condensatori elettronici e 0.2 nF su quelli non elettronici.

Inoltre, in ogni calcolo effettuato si è eseguita la propagazione delle incertezze.

4 Porta NOT

La prima porta costruita è in [Figura 2](#):

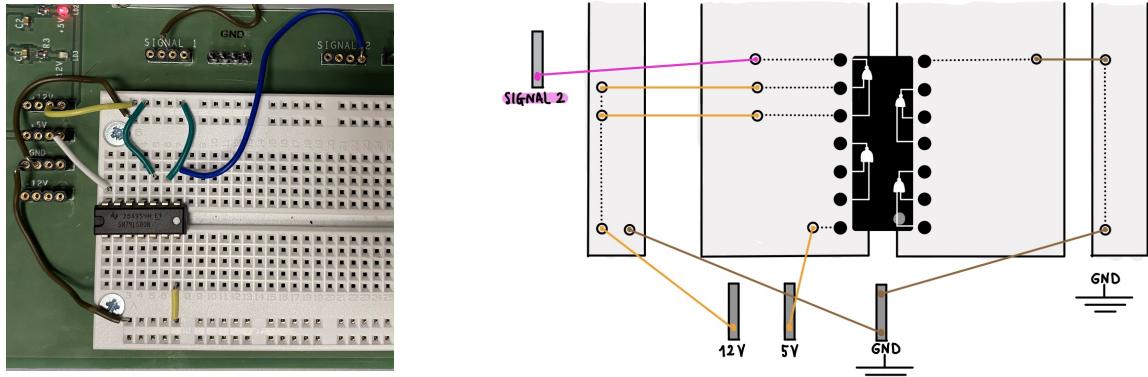


Figura 2: realizzazione della porta NOT. Come si può vedere una porta logica del genere si può ottenere a partire da una singola NAND (in foto quella in basso a destra guardando il circuito con la V_{CC} in alto a destra dell'operazionale) mandando in entrambi i suoi input lo stesso valore (cavetti verdi). In questa foto l'uscita è stata già collegata per comodità a SIGNAL 2 sulla basetta, che successivamente porterà all'oscilloscopio ([sottosezione 4.2](#), in cui però al posto del segnale in continua usato in [sottosezione 4.1](#) si collegherà un'onda triangolare). A destra uno schema del circuito.

4.1 Commutazione statica

Caveat: prima di iniziare le prese dati di questa esperienza si è verificata ad occhio la commutazione di tutte e quattro le porte del LS7400.

Si riportano in [Tabella 1](#) i valori misurati sperimentalmente della tensione continua in ingresso (regolata "a mano" sul generatore in continua e poi misurata al multimetro tra un livello d'ingresso e ground) e la tensione in uscita dalla porta NOT (misurata con il multimetro tra uscita della porta e ground).

A	Ingresso (V_i)	Uscita (V_o)	\bar{A}
0	0.100 ± 0.001 V	4.319 ± 0.001 V	1
0	0.335 ± 0.001 V	4.189 ± 0.001 V	1
0	0.481 ± 0.001 V	4.094 ± 0.001 V	1
0	0.964 ± 0.001 V	3.346 ± 0.001 V	1
0	1.037 ± 0.001 V	2.646 ± 0.001 V	1
?	1.115 ± 0.001 V	1.752 ± 0.001 V	?
?	1.149 ± 0.001 V	1.155 ± 0.001 V	?
?	1.157 ± 0.001 V	0.994 ± 0.001 V	?
1	1.191 ± 0.001 V	0.130 ± 0.001 V	0
1	1.623 ± 0.001 V	0.130 ± 0.001 V	0
1	2.540 ± 0.001 V	0.130 ± 0.001 V	0
1	3.584 ± 0.001 V	0.130 ± 0.001 V	0

Tabella 1: Dati sperimentali sulla commutazione del NOT. I valori dell'1 logico sono colorati in blu, mentre i valori dello zero logico sono rossi. I valori centrali sono quelli in cui la commutazione vera e propria avviene.

Ogni misura presenta le incertezze associate al multimetro, perciò per la tensione in uscita si è scelto di inserire il valore conservativo di 1 mV per non dover inventare ulteriori cifre significative (anche se, secondo il *datasheet* del multimetro, l'errore dovrebbe essere molto più piccolo). La [Figura 3](#) presenta i punti sperimentali.

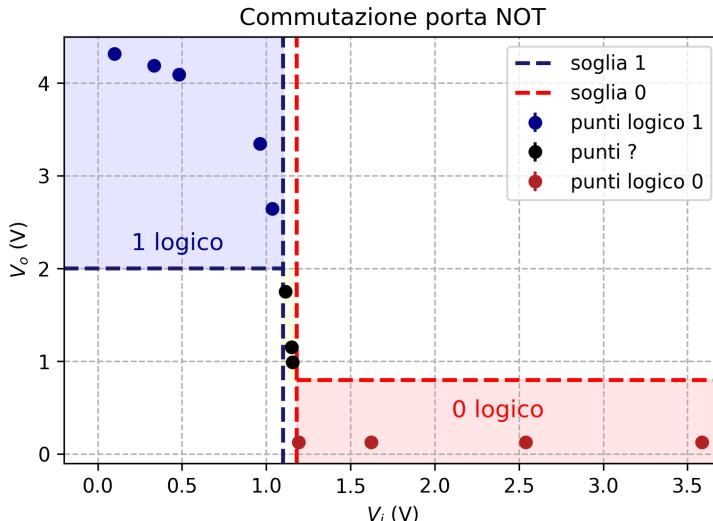


Figura 3: Punti sperimentali ottenuti per V_o vs V_i .

Dal grafico si osserva che l'andamento correttamente spiega che cosa succede alla porta **NOT** al variare della tensione:

- > Quando l'ingresso è basso (logica 0), cioè quando in ingresso al **NAND** arrivano 0 e 0, l'uscita è alta (oltre la soglia dell'1 logico di 2 V), cioè logica 1.
- > Quando l'ingresso è alto (logica 1), cioè quando in ingresso al **NAND** arrivano 1 e 1, l'uscita è bassa (sotto la soglia dello 0 logico di 2 V), cioè logica 0.
- > Quando l'ingresso è poco superiore al volt, si entra in una zona di transizione imprecisata, che analizziamo qui sotto.

Al di là del comportamento ideale appena descritto, dalla [Figura 3](#) intuiamo qualcos'altro su cosa faccia davvero la porta logica:

- > Non potendo fornire in input valori di tensione continua inferiori a 0.1 V (probabilmente per qualche riporto di feedback sull'alimentatore stesso), forse è per questo che non si osservano i pieni 5 V nella regione iniziale di HI, ma qualcosa di poco inferiore.
 - > Tensione nulla in ingresso o meno, è comunque assente una regione di saturazione dell'uscita, che invece inizia a scendere fin da subito. [Figura 5](#) mostra lo stesso comportamento dell'uscita quando, anziché un valore di tensione costante, si manda un'onda triangolare.
 - > Mentre l'1 logico corrisponde a valori di tensione in uscita variabili, allo zero logico l'uscita è costantemente fissa a 0.130 V.
- Perché 0.130 V e non 0 V? Perché un'uscita di 0 V è assolutamente ideale, mentre bisogna tener conto degli effetti dissipativi del circuito (di cui in fase di misura fa parte anche il multmetro con i suoi puntali).

Per meglio studiare la zona di commutazione logica, si sono provati ad eseguire un fit nella regione di discesa e due interpolazioni scegliendo i punti che sembravano più significativi, per capire dove effettivamente avvenisse la transizione. I due metodi utilizzati sono stati riassunti in [Figura 4](#).

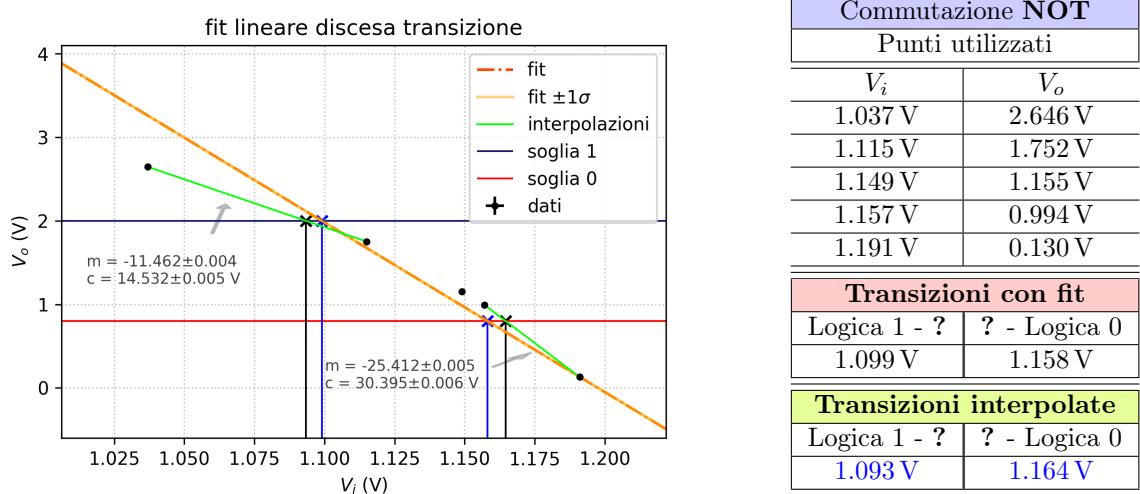


Figura 4: Sulla sinistra, i due metodi utilizzati per cercare di stimare le tensioni di transizione dalla logica 1 a logica indeterminata (a 2 V) e dalla logica indeterminata alla logica 0 (a 0.8 V). In particolare, le verticali blu indicano i valori di transizione ottenuti mediante fit, mentre le verticali nere indicano le transizioni provenienti dall'interpolazione di ciascuna coppia di punti. A destra, i punti utilizzati e i risultati ottenuti.

Le incertezze sui punti utilizzati e sui risultati finali, a causa dell'errore ridottissimo dovuto al multimetro stesso, sono stati sovrastimati a circa 1 mV, che è il valore conservativo di incertezza oltre il quale non ce la sentiamo di scendere.

Per quanto riguarda i due metodi, si osserva che i punti non sono veramente allineati, perciò non si tratta di un fit accurato. In questo caso, l'interpolazione sembra essere il metodo migliore per stimare i valori di tensione in input che fanno oltrepassare la soglia logica, e quindi diamo essi per buoni:

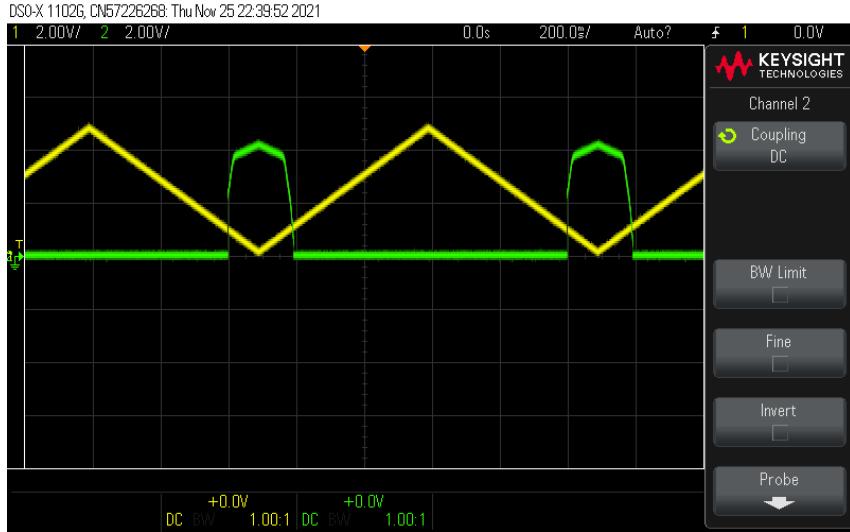
$$\text{logica 1 - transizione} \quad V = 1.093 \pm 0.001 \text{ V} \quad (4.1)$$

$$\text{transizione - logica 0} \quad V = 1.164 \pm 0.001 \text{ V} \quad (4.2)$$

Si tratta comunque di un intervallo di transizione molto rapido, come ci si aspetta da una porta **NAND** correttamente funzionante.

4.2 Commutazione dinamica

Come già anticipato, si è fatta un'altra prova per testare la commutazione dinamica della porta NOT costruita: si è mandato come V_i un segnale d'onda triangolare di ampiezza picco-picco ≈ 2.5 V, di frequenza 1 Hz, e si è osservato l'uscita all'oscilloscopio. Ciò che si è ottenuto è visibile in [Figura 5](#):



[Figura 5](#): Commutazione dinamica del NOT vista all'oscilloscopio. Input in giallo e output in verde. Si osserva che quando l'impulso triangolare vale qualcosa che è sotto la soglia di commutazione della porta l'uscita è HI (con un valore variabile come descritto in precedenza), mentre al di sopra di tale soglia l'uscita va regolarmente a LO.

Si nota che l'uscita della porta **NOT** segue lo stesso andamento del grafico riportato in [sottosezione 4.1](#). Questo perché l'onda triangolare in input calibra linearmente le tensioni in input esattamente come se fungesse da "asse x" per l'uscita della porta.

Si osserva, quindi, lo stesso comportamento nella regione iniziale di 1 logico che si aveva in regime di continua ([Figura 3](#)). Tuttavia, si vede anche graficamente come l'onda triangolare faccia 0 V senza che la NOT sembri giungere ad alcuna regione di saturazione. Probabilmente, quindi, non è tanto il generatore che non riuscendo a inviare 0 V non ci permette di vedere una regione piatta, ma è proprio il comportamento reale della porta logica che non ha una regione di saturazione, e quindi scende subito.

5 Porta XOR

La costruzione della porta XOR è più elaborata del semplice adattamento di una NAND a costruire un NOT. Dette A e B le variabili di cui si vuole fare l'operazione:

$$Q = A \text{ XOR } B = (\bar{A} * B) + (B * \bar{A}) ,$$

nelle [Figura 7](#) - [Figura 10](#) i segnali corrispondenti alla variabile A sono portati dal cavetto rosso (di cui si è variato l'attacco a massa - 0 logico - o ad una tensione continua di ≈ 5 V - 1 logico) e collegati a un led trasparente, mentre quelli relativi alla variabile B (a cui è stato collegato un'onda quadra periodica tra 0 V e 5 V, di periodo) sono portati da SIGNAL 1 tramite un cavo giallo e collegati al led rosso. A questo punto c'è un circuito formato da quattro porte NAND: A viene portato su una porta, diciamo, 1 e su una porta 3, mentre B su un'altra porta 2 e anch'esso sulla porta 3.

Il risultato della porta 3 viene poi bipartito sulle porte 1 e 2. A loro volta, i risultati delle porte 1 e 2 vengono convogliati nella porta 4, l'ultima, che dà proprio Q (collegata a un led verde).

Il montaggio progettato è visibile in [Figura 6](#), mentre in [Tabella 2](#) sono indicate le resistenze usate a protezione dei led.

R_1	0.467 kΩ
R_2	0.468 kΩ
R_3	0.466 kΩ

Tabella 2: Valori misurati delle resistenze utilizzate per la costruzione della porta **XOR**.

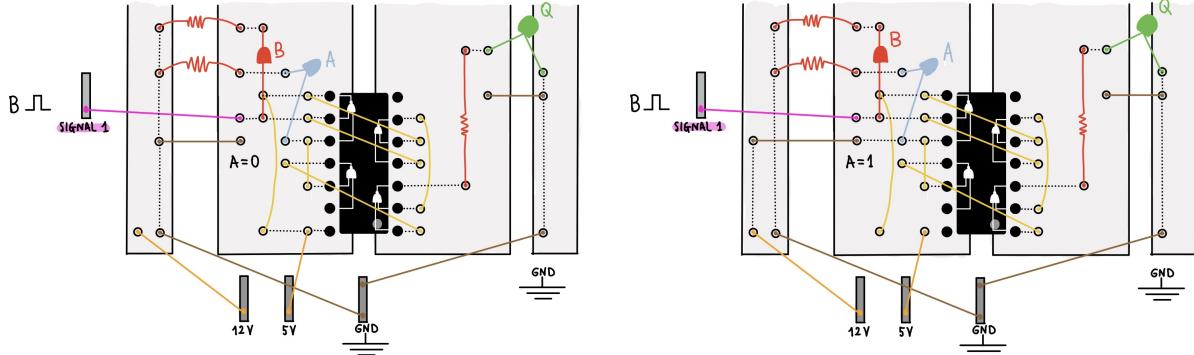


Figura 6: Schema dello XOR con il segnale A a massa (sinistra) e a 1 logico (destra).

Figura 7, Figura 8, Figura 11 e Figura 10 mostrano la realizzazione dei quattro casi dello XOR. La Tabella 3 dà ragione al montaggio eseguito e in particolare possiamo osservare che:

- > Nuovamente come nello studio del NOT, il livello basso non corrisponde a 0 V ma qui addirittura a 0.133 V (e sembrerebbe poter avere luogo una lieve correlazione con la lunghezza del circuito).
- > Non abbiamo scritto incertezze alle misure di tensione ai segnali A, B e Q per non appesantirci, essendo tale scrittura solo una verifica del comportamento del circuito, e essendo comunque le incertezze molto piccole (ordine di 1×10^{-4} V).

Infine, diminuendo la frequenza dell'onda quadra collegata a B, si è riusciti a misurare le tensioni ai capi dei led anche con il multimetro, in Tabella 3:

A	B	Q	V_A	$V_B (\sqcap\sqcup)$	V_Q
0	0	0	trascur.	0.216 V	0.133 V
0	1	1	trascur.	1.981 V	1.948 V
1	0	1	2.019 V	0.228 V	1.949 V
1	1	0	2.019 V	1.981 V	0.133 V

Tabella 3: Misure di tensione ai capi dei led per lo studio della porta **XOR** nei quattro stati possibili. "trascur." indica segnale trascurabile (cioè a massa). Incertezze molto piccole, dell'ordine del mV.

Si osserva che la tensione **HIGH**, che ci saremmo aspettati con valore vicino a 5 V, invece ha valori che si attestano attorno alla soglia dei 2 V, che è basso.

Il motivo dipende dalla presenza delle resistenze in serie ai led. L'uscita dalle porte **NAND** è correttamente pari a 5 V, solo che le tensioni dissipate sulle resistenze si aggirano attorno a 3 V, così che nei led vi siano solamente i 2 V che misuriamo.

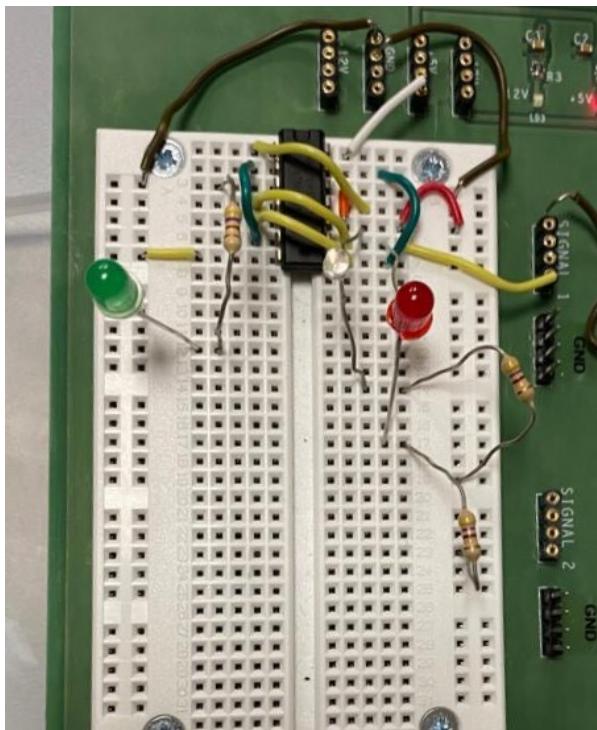


Figura 7: porta **XOR** con input $A = 0$, $B = 0$ e output $Q = 0$.

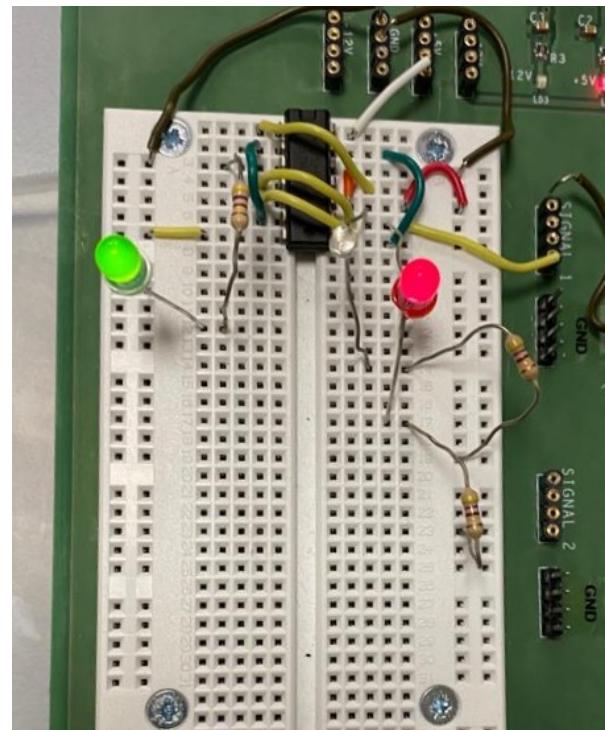


Figura 8: porta **XOR** con input $A = 0$, $B = 1$ e output $Q = 1$.

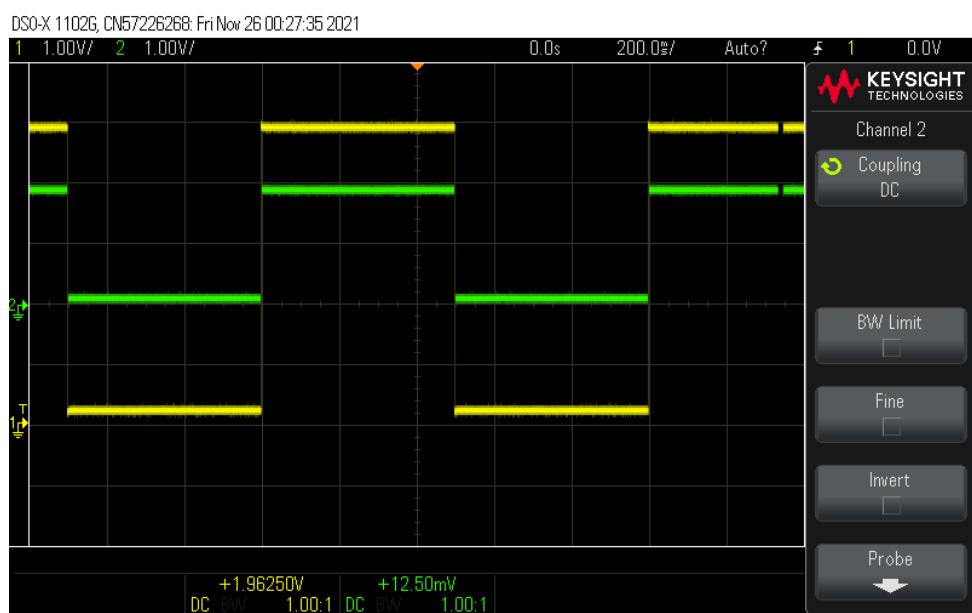


Figura 9: Screenshot dell'oscilloscopio per il circuito **XOR** con input $A = 0$ e B oscillante fra 0 e 1 tramite onda quadra.

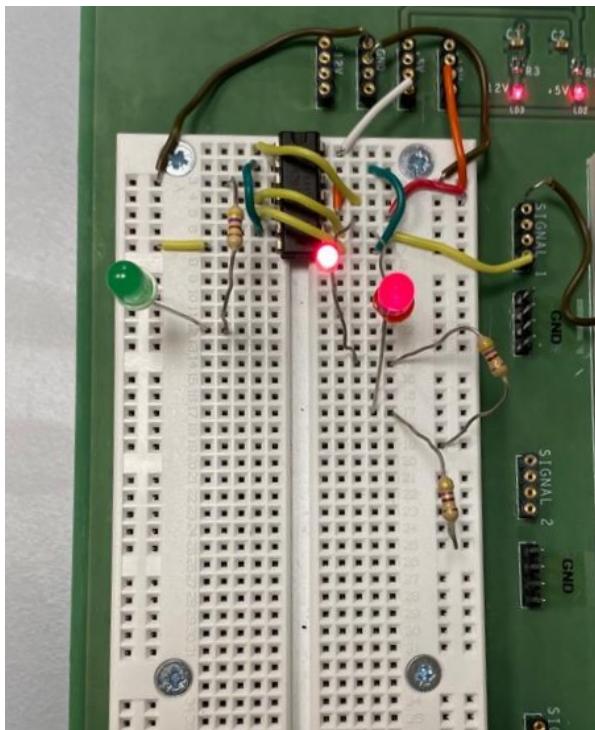


Figura 10: porta **XOR** con input **A = 1**, **B = 0** e output **Q = 1**.

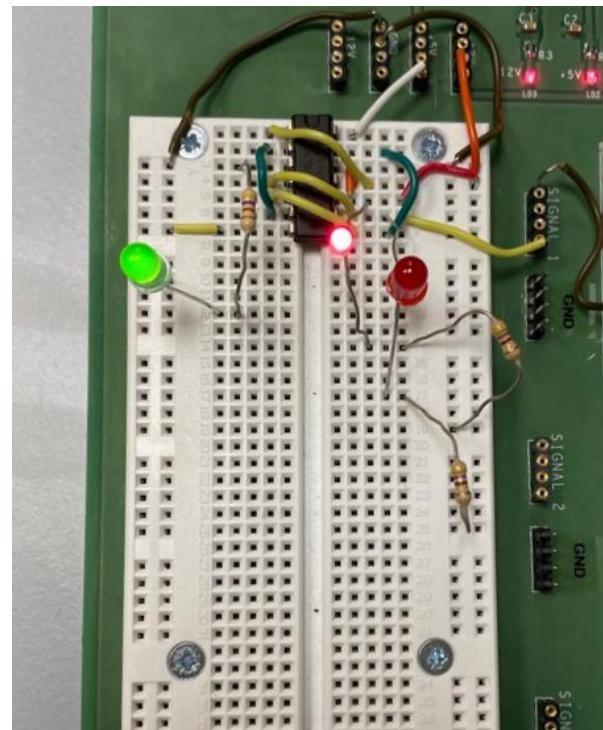


Figura 11: porta **XOR** con input **A = 1**, **B = 1** e output **Q = 0**.

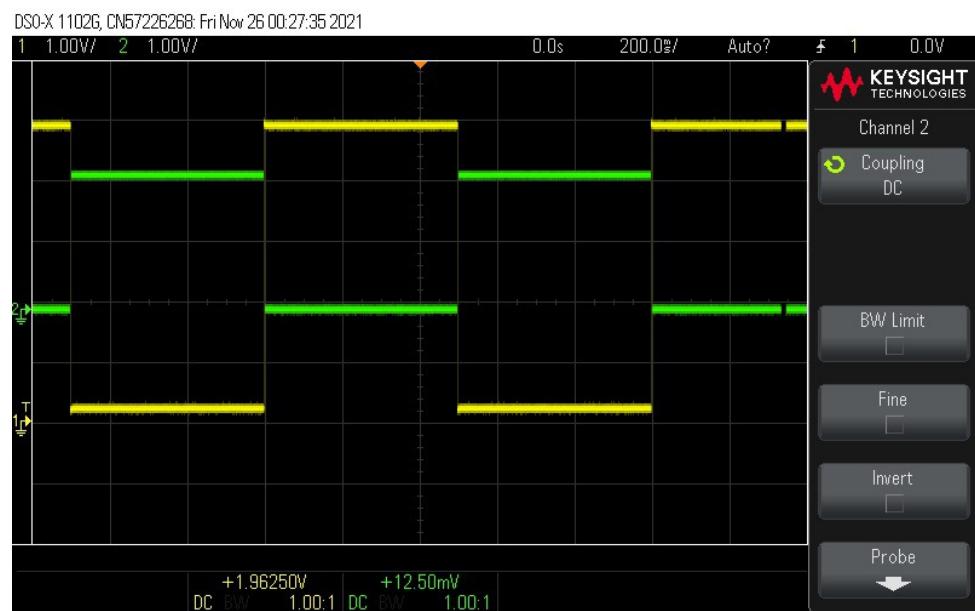


Figura 12: Screenshot dell'oscilloscopio per il circuito **XOR** con input **A = 1** e **B** oscillante fra 0 e 1 tramite onda quadra.

6 Flip-Flop S-R

Il flip-flop montato è del tipo attivo alto, ed è ottenuto semplicemente da un attivo basso in cui \bar{S} e \bar{R} sono prodotti da due NAND a cui si dà, rispettivamente, S e R e un clock (impulso quadrato). Come risultato, si ha appunto un flip-flop in logica positiva in cui le due porte NOR sono implementate tramite due serie di NAND. Il riporto delle uscite Q e \bar{Q} avviene chiaramente allo stesso modo.

Nei circuiti nelle figure riportate i led verdi identificano S (in basso nelle foto) e R (in alto), il led rosso indica Q e il led trasparente è per \bar{Q} . Come si vede, inoltre, SIGNAL 1 dà l'impulso di clock (cavetto giallo), mentre i valori logici per S e R sono ottenuti portando o ground o 5 V agli ingressi delle opportune NAND tramite il cavetto arancio (S) e rosso (R).

Gli altri collegamenti sulla basetta sono in un layout relativamente simile a quello per la costruzione dello XOR, eccetto i riporti che sono ottenuti dal cavetto verde più a sinistra (riporto di Q) e dal cavetto giallo che gli passa sopra (riporto di \bar{Q}). Il cavetto verde più a destra, infine, porta il clock sulle prime NAND, quelle in cui entrano S e R.

Riportiamo nella Figura 13 lo schema circuitale generale utilizzato per il **Flip-Flop**. Inoltre le resistenze utilizzate nella costruzione del circuito sono le seguenti:

R_1	0.467 k Ω
R_2	0.468 k Ω
R_3	0.466 k Ω
R_4	0.466 k Ω

Tabella 4: Valori misurati delle resistenze utilizzate per la costruzione del circuito **FLIP FLOP**.

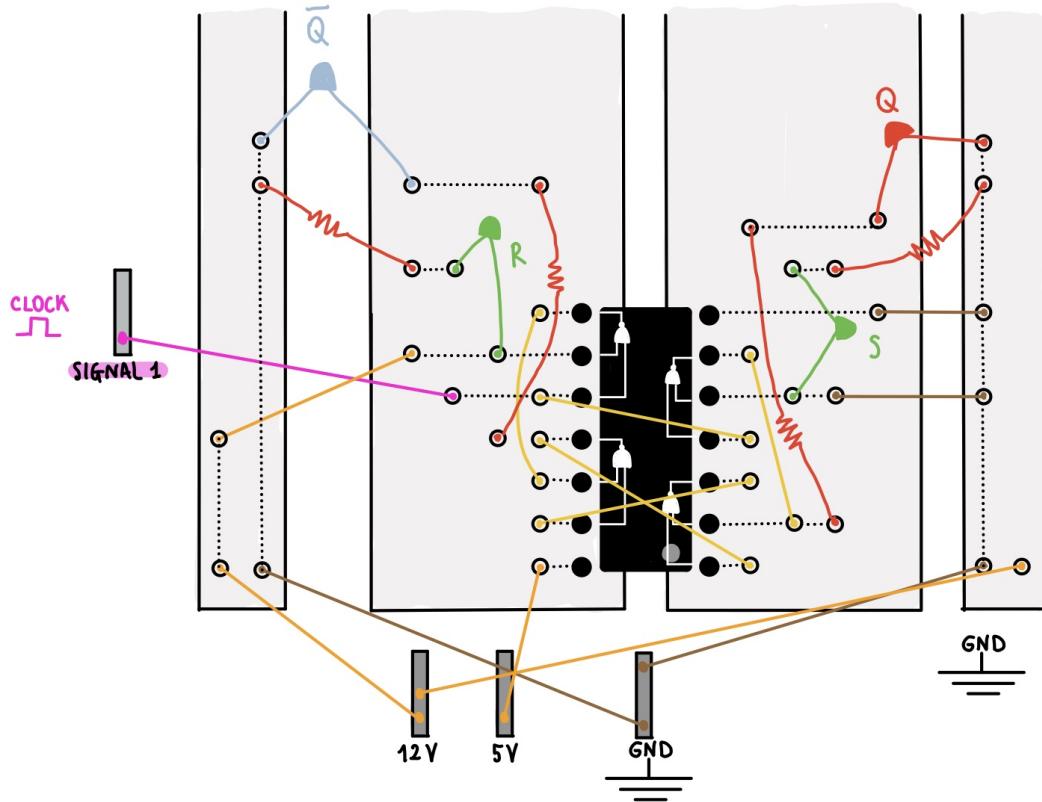


Figura 13: Schema circuitale del FLIP FLOP in configurazione SET=0 e RESET=1. Le resistenze sono le stesse usate per lo XOR, i loro valori sono stati già indicati in [sezione 5](#).

Infine, si sono testati tutti i possibili input per il circuito. Si è scelto di procedere come segue:

- > La variabile di clock si è scelta essere un'onda quadra di ampiezza 5 V, offset nullo e frequenza 1 Hz.
- > Le variabili S e R sono tensioni continue di 0 V o 5 V, per avere in tutto 4 possibili loro input.

I risultati sono visibili nelle Figura 14 - Figura 19:

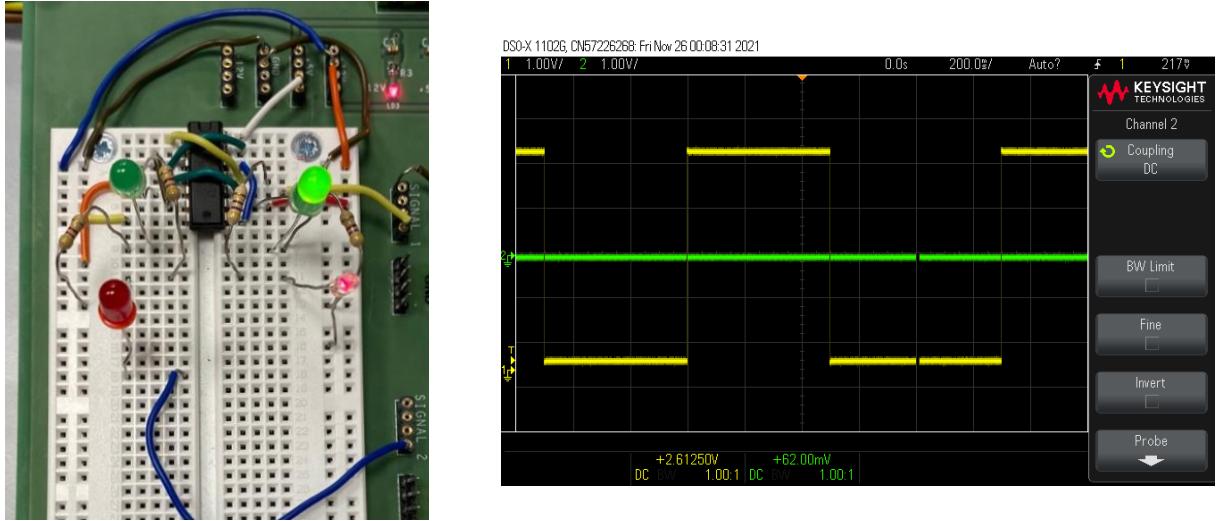


Figura 14: Circuito Flip Flop con ingressi $S = 0$, $R = 1$. Siamo in fase di **Reset**.

Osserviamo dalla Figura 14 che:

- > Il led verde a sinistra è spento ($S = 0$), mentre il led verde a destra è acceso ($R = 1$). Il led rosso è spento ($Q = 0$), mentre il led trasparente è acceso ($\bar{Q} = 1$).
- > Sullo schermo dell'oscilloscopio (a destra), si osserva, accanto al clock in giallo, l'output Q in uscita, che è sempre nullo, come deve essere.

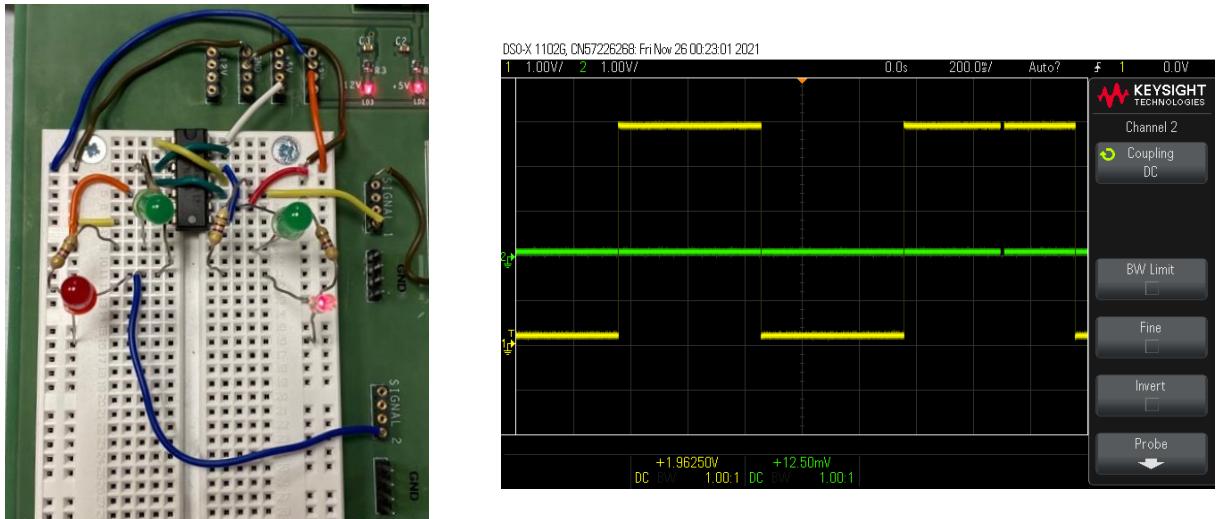


Figura 15: Circuito Flip Flop con ingressi $S = 0$, $R = 0$. Siamo in fase di **Memory** di $Q = 0$, dovuta alla Figura 14.

Osserviamo dalla Figura 15 che:

- > Entrambi i led verdi sono spenti ($S = 0$, $R = 0$). Il led rosso è spento ($Q = 0$), mentre il led trasparente è acceso ($\bar{Q} = 1$).
- > Sullo schermo dell'oscilloscopio (a destra), si osserva, accanto al clock in giallo, l'output Q in uscita, che è sempre nullo. La fase di memoria è funzionante: abbiamo ancora $Q = 0$.

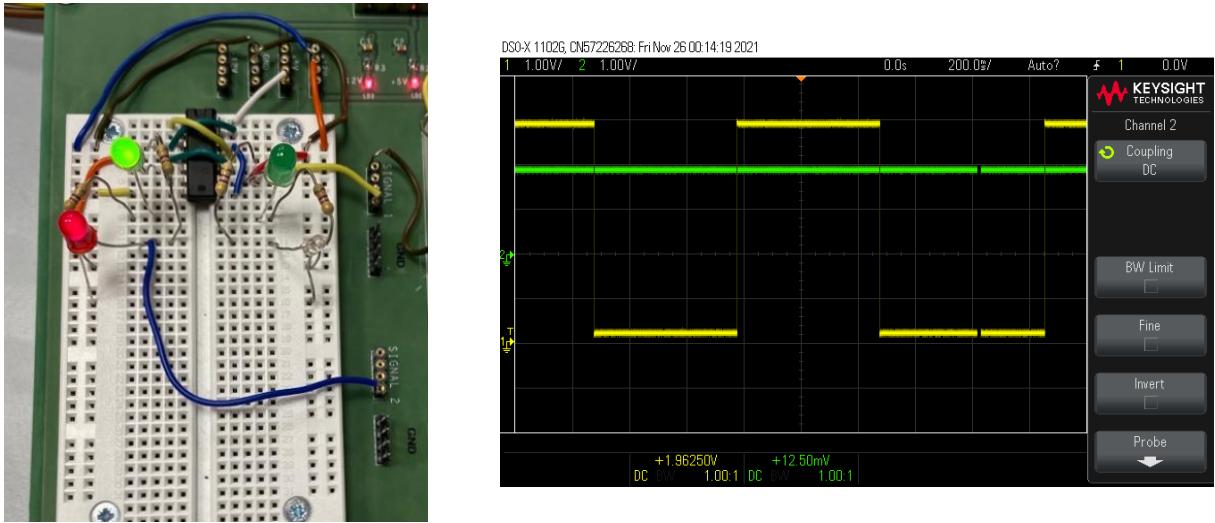


Figura 16: Circuito Flip Flop con ingressi $S = 1$, $R = 0$. Siamo in fase di **Set**.

Osserviamo dalla [Figura 16](#) che:

- > Il led verde a sinistra è acceso ($S = 1$), mentre il led verde a destra è spento ($R = 0$). Il led rosso è acceso ($Q = 1$), mentre il led trasparente è spento ($\bar{Q} = 0$).
- > Sullo schermo dell'oscilloscopio (a destra), si osserva, accanto al clock in giallo, l'output Q in uscita, che è sempre alto, con tensione attorno ai 2 V, come deve essere (ricordiamo che l'oscilloscopio sta studiando le tensioni ai capi dei led, non direttamente sulle uscite, come visibile nello schema circuitale, pertanto non stiamo considerando la tensione dissipata nelle resistenze).

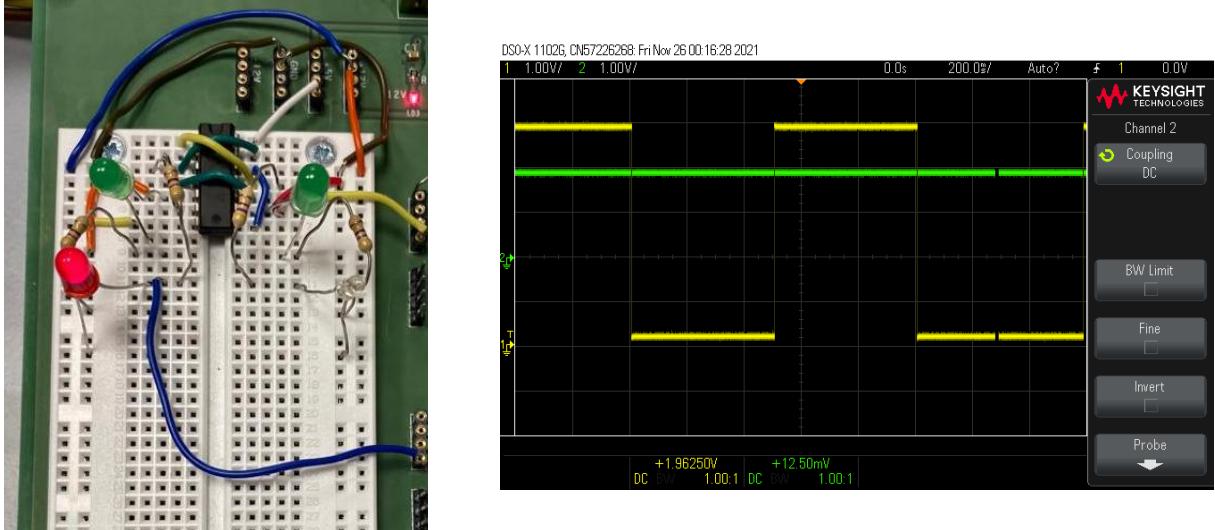


Figura 17: Circuito Flip Flop con ingressi $S = 0$, $R = 0$. Siamo in fase di **Memory** di $Q = 1$, dovuta alla [Figura 16](#).

Osserviamo dalla [Figura 17](#) che:

- > Entrambi i led verdi sono spenti ($S = 0$, $R = 0$). Il led rosso è acceso ($Q = 1$), mentre il led trasparente è spento ($\bar{Q} = 0$).
- > Sullo schermo dell'oscilloscopio (a destra), si osserva, accanto al clock in giallo, l'output Q in uscita, che è sempre nullo. La fase di memoria è funzionante: abbiamo ancora $Q = 1$, e sempre, per i motivi sopracitati, i 2 V.

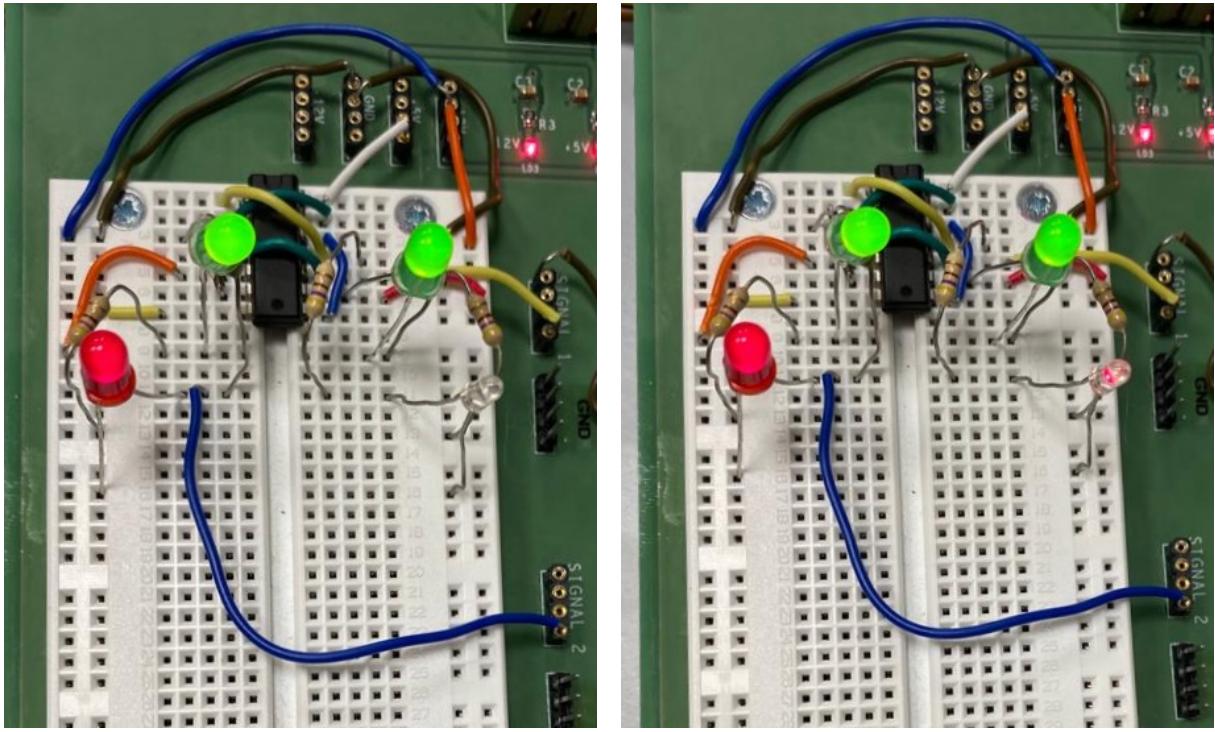


Figura 18: Circuiti Flip Flop con ingressi $S = 1$, $R = 1$. Siamo in fase **Not Allowed**.

Osserviamo dalla Figura 18 che:

- > Entrambi i led verdi sono accesi ($S = 1$, $R = 1$). Il led rosso è acceso ($Q = 1$), mentre il led trasparente è oscillante (tra l'acceso e lo spento). La situazione è quindi completamente imprevedibile.
- > Non soltanto, ci siamo fortuitamente accorti che questo bizzarro outcome può essere invertito: toccando per sbaglio con un dito il piedino del led verde corrispondente a S , Il led rosso inizia a lampeggiare (tra l'acceso e lo spento), mentre è il led trasparente a restare acceso. La situazione è completamente speculare.

Visualizzando all'oscilloscopio entrambi gli outcome in Figura 19:

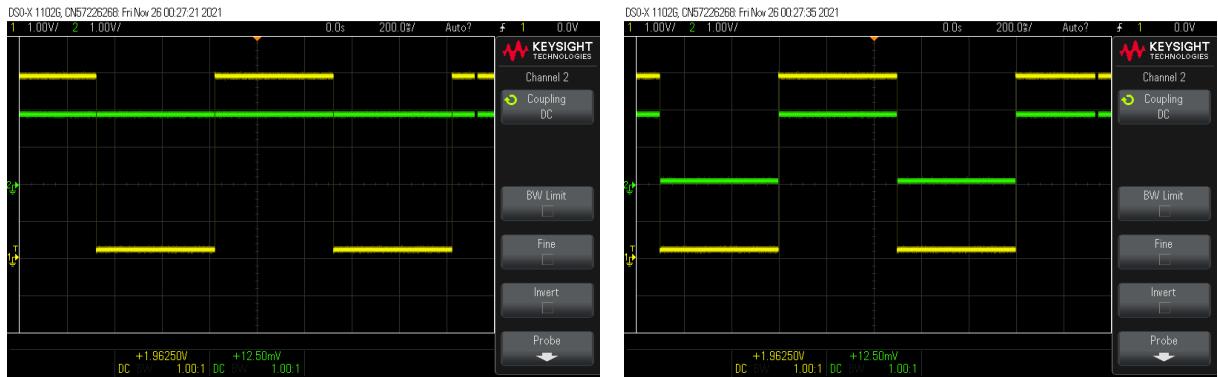


Figura 19: Immagini all'oscilloscopio dell'outcome Q e del clock nelle due fasi **Not Allowed** del circuito. L'outcome a sinistra corrisponde al led rosso acceso ($Q = 1$), mentre il caso a destra al led rosso lampeggianto.

Alcune considerazioni che ci sono venute in mente a riguardo per spiegare il motivo del bizzarro risultato se $S = 1$ e $R = 1$ sono:

- > Prima di montare il caso $S = 1$ e $R = 1$, il **FLIP FLOP** aveva $Q = 1$ in memoria. Attivando set e reset insieme, abbiamo supposto che l'effetto complessivo sul bit che già era memorizzato si annullasse, cioè che le due azioni contraddittorie di S e R che cercano di spegnere e accendere il led rosso si elidessero, lasciando tuttavia $Q = 1$ in memoria, e quindi il led acceso.

- > Per il bit \bar{Q} , l'effetto complessivo della azione di set e reset supponiamo sia lo stesso. Cioè, siccome da S e R arrivano informazioni contraddittorie, si lascia il controllo al clock del valore che la variabile \bar{Q} può assumere. E quindi \bar{Q} semplicemente sovrascrive il valore del clock.
- > Quando, invece, si tocca con un dito il led verde collegato al reset, avrebbe senso andasse a massa, ponendo $R = 0$. Quindi, quello che ci aspetteremmo succedesse è un semplice set. E invece, così non è, perché si accende. Si tratta quindi di un'ipotesi erronea.

Del resto, il comportamento del circuito è imprevedibile, quindi non è molto fruttuoso elaborare ipotesi sul suo funzionamento.

Infine, si è nuovamente aumentato il periodo del clock per avere il tempo di prendere con il multimetro i dati di tensione ai capi dei led con il multimetro:

	S	R	Q_n	\bar{Q}_n		V_S	V_R	V_Q	$V_{\bar{Q}}$
	0	1	0	1	trascur.	2.014 V	0.141 V	1.853 V	
	1	0	1	0	2.015 V	trascur.	1.923 V	0.140 V	
M = 1	0	0	Q_{n-1}	\bar{Q}_{n-1}	trascur.	trascur.	1.924 V	0.142 V	
M = 0	0	0	Q_{n-1}	\bar{Q}_{n-1}	trascur.	trascur.	0.145 V	1.856 V	
perturb.	1	1	-	-	2.013 V	2.013 V	1.922 V		
	1	1	-	-	2.013 V	2.013 V		1.922 V	

Tabella 5: Misure di tensione per lo studio del **Flip-Flop**. Si evidenzia il comportamento impredicibile quando $S = R = 1$. La notazione "trascur." riguarda le tensioni nulle in ingresso per S ed R , misurate trascutibili, mentre l'ondata quadra indica l'oscillazione dei valori di tensione per Q e \bar{Q} negli stati indeterminati. "perturb.", infine, indica la perturbazione esterna causata dal dito che tocca il piedino dell'oscilloscopio.

Di nuovo, le tensioni misurate con il multimetro sono quelle ai capi dei led, e non quelle in uscita dalla porta **NAND**. Inoltre, le incertezze di misura le abbiamo supposte dell'ordine del mV sebbene il datasheet indicasse incertezze molto più piccole.

Infine, si osserva ancora una volta che lo zero logico del bit Q non è esattamente a 0, ma sta a 0.15 V, dovuti probabilmente a qualche effetto di feedback della porta, o degli OP-Amp contenuti all'interno.

7 Conclusioni

Riassumendo i risultati ottenuti, si evince che:

1. Grazie alle stime dei valori di tensione nella porta **NAND** che fanno oltrepassare la soglia logica, possiamo considerare la porta **NAND** perfettamente funzionante.
2. Il comportamento delle porte **NOT** e **XOR** e del circuito **FLIP FLOP** in tutte le configurazioni possibili è esattamente quello aspettato, anche se il **NOT** non presenta il classico andamento piatto in regime di 1 logico.
3. I valori misurati per la tensione **HIGH** sia nello studio della porta **XOR** sia nel **FLIP FLOP** sono inferiori al valore aspettato di 5 V e ciò è ovviamente dovuto a causa della dissipazione di tensione sulle resistenze in serie ai led, dato che abbiamo misurato la tensione alle loro estremità.
Sarebbe stato forse più esplicita una misura diretta della tensione in uscita dalla porta, e non ai capi del led, e lo stesso per la visualizzazione all'oscilloscopio, tuttavia più scomoda in termini di montaggio e di presa dati. Il risultato è comunque lo stesso.